

様 式 F - 7 - 1

科学研究費助成事業（学術研究助成基金助成金）実施状況報告書（研究実施状況報告書）（平成 23 年度）

1. 機関番号

1	4	6	0	3
---	---	---	---	---

 2. 研究機関名 奈良先端科学技術大学院大学

3. 研究種目名 若手研究(B) 4. 補助事業期間 平成 23 年度～平成 25 年度

5. 課題番号

2	3	7	0	0	0	6	0
---	---	---	---	---	---	---	---

6. 研究課題 経年劣化と消費電力を改善する高性能・高信頼アーキテクチャ

7. 研究代表者

研究者番号	研究代表者名	所属部局名	職名
4 0 5 6 7 1 5 3	ヤオ ジュン	情報科学研究科	助教
	姚 駿		

8. 研究分担者

研究者番号	研究分担者名	所属研究機関名・部局名	職名

9. 研究実績の概要

本研究は、電力性能比向上と、高信頼化に基づく製品寿命延長を両立できるプロセッサ構成方式の確立を目的としている。高信頼化の一般的手法である多重化は消費電力の観点から無駄が多いため、電力効率と信頼性は一般にトレードオフの関係にある。これらの点に着目し、平成 23 年度に、3 重化を用いない不安定モジュール検出できる自己チューニング機構の提案と評価；時間冗長化と空間冗長化を融合するアーキテクチャの提案と評価の 2 つを計画した。

H23年度に 2 重化によるエラー検出・自動訂正機能付き DARA プロセッサを 7 月にテーブルアウトし、11 月に ASIC 化を完了した。線路を照射する実験により、高率のエラー注入を行い、信頼性を測定したところ、正常動作できることが分かった。結果に関する口頭発表（学会発表 4 に該当）を行った。本研究領域で著名な国際会議に 1 件採択され、7 月中旬に発表を行う予定。また、ASIC 化したアクセラレータ（LAPP）に基づき、明示的な冗長化高信頼プロセッサ EReLA を提案した。LAPP の ASIC 化に関する口頭発表を 2 件（学会発表 5、6）、EReLA に関する口頭発表を 2 件（学会発表 9、10）報告した。

H23年度実施計画の に関する故障箇所特定のために、一時的に全ての演算結果を比較する機構を考案し、モデル構築を行った。口頭発表（学会発表 3、7 に該当）を行った。また、原著論文を 5 月に投稿予定である。実施計画 に関する 1.5way DARA 構成方式のモデル構築を行った。結果を査読付き国際会議に発表（学会発表 1）した。

H24年度の実施計画、回路ユニットの経年劣化低減のためのコア内細粒度動的電源電圧制御機構の提案と評価のアイデアを進展させ、設計を行った。口頭発表と査読付き国際学会発表（学会発表 2、8）を行った。また、口頭発表 1 件を予定している。

10. キーワード

(1) 国際情報交流	(2)	(3)	(4)
(5)	(6)	(7)	(8)

11. 現在までの達成度

(区分)(1) 当初の計画以上に進展している。

(理由)

研究実績に記入したように、H23年度は2つの計画がある。電力効率と信頼性を両立できるプロセッサ機能を考案し、シミュレータの構築を行った。本来H24年度に予定していた1つの計画について、一部、H23年度に実施、シミュレータによる構成検討を行った。高信頼・低消費電力を両立できるプロセッサに関する2つの構成方法の提案を行った。1つは従来型の汎用プロセッサに対して2重化に基づくエラー検出および回復制御回路(DARA構造)を追加し、3重化に相当する信頼性を目指す。特に、通常FFを用いて実装したDARAに対し、線照射の実験において、耐故障動作を有効化した場合はソフトエラーの挿入を検出して再実行による回復に成功していることが動作ログより確認できた。

優位性比較では、DARAの細粒度耐故障動作により、故障発生率が非常に高い状況においても、ソフトエラーの検出/再実行による回復を行えることを確認した。通常FFを用いて実装したDARAの面積である5.09mm²と、冗長化FFを用いて実装したDARAの面積である8.51mm²を比較することにより、現実の大規模回路で冗長化FFを利用する場合の面積オーバーヘッドの目安を示すことができた。

もう1つは、アクセラレータ型プロセッサ向けの高信頼低消費電力構成方式を考案し、明示的な冗長化高信頼プロセッサEreLAを提案した。アクセラレータ型プロセッサが汎用型よりも細粒度に演算器を切り離すことが可能であり、平均使用寿命を大きく向できる可能性を示した。この構造の特性の1つが、命令写像による2重化によって、エラーを検出する仕組みに基づき、自己チューニングを行い、故障位置を特定できる点である。また、RazorFFと相性のよい高信頼手法を用いてsetupエラーを検出し、自動的に再写像による機構により、さらに低電力を達成できる結果を示した。

12. 今後の研究の推進方策 等

(今後の推進方策)

H23年度の成果、特に線照射の実験の結果で示した2重化検出機能と再実行構造が、従来の3重化と同じ信頼性を達成できることに基づき、できれば消費電力を増加させることなく、高信頼化する方法を探索する。また、高信頼化手法をベースに、プログラムの極低電力実行方式を考案、実装を行う。

H24年度計画1：3重化を用いずに不安定モジュールを検出できる自己チューニング機構の実装。H23年度には、3重化を用いない永久故障を発生したモジュールの検出手法を提案し、シミュレータで有効性を示した。H23年度にASIC化した設計物にこのモジュールを追加し、実動作を検証する。

H24年度の計画2：コア内細粒度動的電源電圧制御機構の提案と評価。コア単位よりも粒度の小さい電圧制御を適用して、安定化を図る方法も考えられる。H23年度の結果をベースとして、利用する3本のパイプラインに対して各々異なる電圧と周波数を印加する方法がある。具体的には、パイプラインまたはアレイ演算器にRazorフリップフロップを利用し、タイミング・エラー検出機能とそれをベースとする電圧周波数最適化機能を追加する。この構造は、従来型Razor提案よりいっそう電圧を下げられる可能性がある。DARAのエラー検出・回復機能を有効に利用し、かつ、電力性能比を向上させるために、電源電圧を変化させた場合のエラー発生率と再実行による実行時間の遅延を測定し、全体の実行時間を最適化できる。電源電圧、動作周波数、および、実行時間の関係から、消費エネルギー・性能・信頼性の最適化を図ることが可能と考えられる。

H25年度にハード・ソフトエラーに対する耐性を高め、タイミング・エラーに対する耐性を高める機構について、得られた結果をとりまとめ、成果発表を行う。

(次年度の研究費の使用計画)

未使用額が生じた要因は、研究の進捗状況に合わせ、予算執行計画を変更したことに伴うものである。

前述H24年度計画1に示した3重化することなく永久エラーに対応できるプロセッサを設計し、VDECのRohm180nmセルライブラリで、5mm角ASICを試着予定がある。RTL設計するため、学生を2人6ヶ月を雇用する。結果を海外発表1回行うことも含めて、H24年度に請求した額とH23年度未使用額を合わせて、170万円の研究経費を使用する予定である。

H25年度に、H24年度の研究成果を発表する予定がある。国際発表1回、論文誌の別刷代を合わせ、60万円を研究経費請求する予定がある。

13.研究発表(平成23年度の研究成果)

〔雑誌論文〕計(0)件 うち査読付論文 計(0)件

著者名		論文標題			
雑誌名	査読の有無	巻	発行年	最初と最後の頁	
掲載論文のDOI(デジタルオブジェクト識別子)					

〔学会発表〕計(10)件 うち招待講演 計(0)件

発表者名		発表標題		
Jun YAO, Ryoji WATANABE, Kazuhiro YOSHIMURA, Takashi Nakada, Hajime Shimada, Yasuhiko Nakashima		An Efficient and Reliable 1.5-way Processor by Fusion of Space and Time Redundancies		
学会等名	発表年月日	発表場所		
5th Workshop on Dependable and Secure Nanocomputing (WDSN'11)	2011/06/30	Hong Kong, China		

発表者名		発表標題		
笹川幸宏, 姚駿, 中田尚, 中島康彦		演算器の適応的冗長化による高効率DVS方式の提案		
学会等名	発表年月日	発表場所		
並列/分散/協調処理に関するサマー・ワークショップ2011	2011/07/28	鹿児島市		

発表者名		発表標題		
大上俊, 吉村和浩, 姚駿, 中田尚, 中島康彦		演算器アレイにおける高信頼化命令写像手法		
学会等名	発表年月日	発表場所		
並列/分散/協調処理に関するサマー・ワークショップ2011	2011/07/28	鹿児島市		

発表者名		発表標題	
岡田翔伍, 増田政基, 姚駿, 嶋田創, 小林和淑		冗長/非冗長化FFによる耐ソフトウェア多重化プロセッサの性能評価	
学会等名		発表年月日	発表場所
デザインガイア2011		2011/11/29	宮崎市

発表者名		発表標題	
森高晃大, 下岡俊介, 吉村和浩, 姚駿, 中田尚, 中島康彦		大規模演算器アクセラレータのための複数FPGA連結手法	
学会等名		発表年月日	発表場所
デザインガイア2011		2011/11/29	宮崎市

発表者名		発表標題	
齊藤光俊, 下岡俊介, 吉村和浩, 姚駿, 中田尚, 中島康彦		演算器アレイ型アクセラレータの実装とその分析	
学会等名		発表年月日	発表場所
デザインガイア2011		2011/11/29	宮崎

発表者名		発表標題	
狭間洋平, 姚駿, 中田尚, 中島康彦		二重化を用いた演算器アレイにおける故障箇所特定手法	
学会等名		発表年月日	発表場所
デザインガイア2011		2011/11/30	宮崎市

発表者名	発表標題	
Yukihiro SASAGAWA, Jun YAO, Takashi Nakada, Yasuhiko Nakashima	Improving DVS Efficiency by Tolerating IR-drops with an Adaptive Redundant Data-Path	
学会等名	発表年月日	発表場所
WRA 2011 : 2nd Workshop on Resilient Architectures (in conjunction with MICRO-2011)	2011/12/3	Porto Alegre, Brasil

発表者名	発表標題	
Tanvir Ahmed, Jun YAO, Yasuhiko NAKASHIMA	Achieving Effective Fault Tolerance in FU array by Adding AVF Awareness	
学会等名	発表年月日	発表場所
計算機アーキテクチャ研究会191	2012/03/27	長崎市

発表者名	発表標題	
王昊, 姚駿, 中島康彦	多様なアクセスパターンに適応するアクセラレータ向けメモリアクセス機構	
学会等名	発表年月日	発表場所
計算機アーキテクチャ研究会191	2012/03/28	長崎市

〔図書〕計(0)件

著者名	出版社		
書名	発行年	総ページ数	

14. 研究成果による産業財産権の出願・取得状況

〔出願〕 計(1)件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	出願年月日	国内・外国の別
データ供給装置及びデータ処理装置	中島康彦、姚駿	同左	特許、2012-61110	2012年03月16日	国内

〔取得〕 計(0)件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	取得年月日	国内・外国の別
				出願年月日	

15. 備考

<http://arch.naist.jp/yaojun/>
 DARAはオープンソースになった:
<http://arch.naist.jp/openDARA/>