

論文内容の要旨

博士論文題目 高性能と低消費電力を実現するプロセッサに関する研究

氏名 吉村 和浩

1 章では、研究背景として組込み機器用途および汎用計算機用途のプロセッサの現状と問題を示し、研究目的と論文構成を示している。

2 章では、これまでのプロセッサ技術を含め、高まるプロセッサへの高性能と低消費電力の要求に対して、提案されている研究について述べ、新しいプロセッサの必要性を示している。

3 章では、近年大規模化するプロセッサの周辺回路の設計を省略し、大学研究室規模でもプロセッサの開発に注力できるプロセッサ開発環境を示している。このプロセッサ開発環境は、ソフトウェアシミュレータによる評価、FPGA による設計・実機検証を経て、LSI 試作・評価を段階的に行うことができ、開発期間や費用に応じて柔軟に対応できる特徴を有することを示している。

4 章では、VLIW 型命令キューを用いて VLIW 方式の余剰演算能力を利用し、他スレッドをスーパスカラ実行することでヘテロジニアスマルチスレッド実行する異種命令混在実行プロセッサ OROCHI を提案している。そして、OROCHI において従来手法である OS スケジューラによるソフトウェア制御と提案手法である VLIW 型命令キューによるハードウェア制御の 2 つのスレッド制御についてソフトウェアシミュレータを用いた予備評価を行った。その結果、従来手法により優先スレッドである FR-V の性能を 95%まで向上できることを示し、スレッド制御を適用しないベースモデルと比較して提案手法により 2%の性能を向上できたことを示している。さらに、OROCHI の開発では 3 章で述べた段階的に行う開発環境を用いて 8 人/年・研究期間 3 年の開発で LSI 動作に成功したことを報告している。試作した OROCHI の回路規模、動作周波数、性能および消費電力より電力効率による総合評価を行った結果、OROCHI はマルチコアプロセッサと比較して 79%の回路規模で、汎用プログラムとマルチメディアプログラムを同時実行した場合 1.31 倍の電力効率を実現したことを示している。

5 章では、メニコアアーキテクチャおよび粗粒度再構成アーキテクチャの長所を持ち、演算器アレイにより画像処理の高速実行を実現する線形アレイ型パイプラインプロセッサ LAPP を提案している。そして、LAPP が多数の演算器に効率良く命令を割り当てるための命令写像手法とそのアルゴリズムを提案している。次

に、本命令写像および値伝搬の評価モデルを示し、ハードウェア設計による予備評価の結果、比較モデルの 84%の回路規模になること、および、比較モデルを持つアレイ段の 88%の回路規模を実現することを示している。さらに、LAPP のソフトウェアシミュレータによる評価から LSI 試作までを行い、3 章で述べた段階的に行う開発環境を用いて 6 人/年・研究期間 4 年で LSI 試作に成功したことを報告している。LAPP の試作結果より得た消費電力パラメータを用いてソフトウェアシミュレータにより評価した結果、36 段構成 LAPP が 9.5 コアを搭載するメニコアプロセッサと同回路規模となることを示し、メニコアプロセッサの 10.9 倍の電力効率を実現することを示している。

以上により OROCHI と LAPP はそれぞれ組込み機器と汎用計算機の用途で高性能と低消費電力が求められるプロセッサにおいて候補となりうる優位性を示している。

(論文審査結果の要旨) (A4 1枚 1、200字程度)

携帯情報端末よりも小型な組み込み機器では依然として半導体チップ上に実装できる回路規模は限られており、組み込み機器向けプロセッサには省回路規模を前提とした高性能と低消費電力の両立が求められている。一方、大型の半導体チップを許容できる汎用計算機では、画像処理や科学技術計算のために膨大な計算量が要求されており、電力効率に優れたプロセッサが求められている。

本論文は、組み込み機器と汎用計算機それぞれの用途に対して高性能と低消費電力を実現するプロセッサを提案したもので、得られた主要な成果は以下のとおりである。

【1】異種命令混在実行プロセッサの仕組みを確立した。従来VLIWプロセッサと従来スーパースカラプロセッサのバックエンド部分を共有した上で、従来VLIWプロセッサの余剰演算能力を利用し、スーパースカラ方式にて別スレッドの命令をアウトオブオーダー実行する仕組みを示した。さらに、ヘテロジニアスマルチスレッド実行において、優先・非優先スレッドの制御が重要であることを示し、異種命令混在実行の仕組みを利用したハードウェアレベルのスレッド制御手法を提案した。

【2】異種命令混在実行プロセッサの有効性を実証した。異種命令混在実行の仕組みを有するプロセッサをソフトウェアシミュレータにより性能評価することに加え、本プロセッサにおける提案スレッド制御手法と従来スレッド制御手法によるスレッド実行性能を明らかにした。さらに、本プロセッサのLSI試作により回路規模および消費電力を評価した結果、マルチコアプロセッサよりも回路規模を削減し、電力効率が優れていることを示した。

【3】線形演算器アレイ型パイプラインプロセッサにおける命令写像および高速実行の仕組みを確立した。メニコアアーキテクチャと粗粒度再構成アーキテクチャの長所を組み合わせ、多数の演算器から構成される演算器アレイに既存機械語命令を写像する仕組みと演算器にデータを供給する値伝搬モデルを示した。そして、写像された命令列を高速実行するとともに、既存低消費電力化技術を機能ユニットに長期間計画的に適用することで高性能と低消費電力を実現した。

【4】線形演算器アレイ型パイプラインプロセッサにおける命令写像および高速実行の仕組みの有効性を実証した。演算器アレイでの命令写像および高速実行の仕組みを有するプロセッサをソフトウェアシミュレータにより性能評価することに加え、本プロセッサのLSI試作により回路規模および消費電力を評価した。その結果、本プロセッサは同回路規模のメニコアプロセッサよりも高性能かつ低消費電力を実現し、電力効率が優れていることを示した。

以上、本論文は学術上、實際上寄与するところが少なくない。よって、本論文は博士(工学)の学位論文として価値あるものと認める。