

平成22年度科学研究費補助金実績報告書（研究実績報告書）

1. 機関番号 1 4 6 0 3 2. 研究機関名 奈良先端科学技術大学院大学
3. 研究種目名 若手研究 (B) 4. 研究期間 平成22年度～平成25年度
5. 課題番号 2 2 7 0 0 0 5 4
6. 研究課題名 VLSIの通常動作状況を考慮した高精度遅延テストに関する研究

7. 研究代表者

| 研究者番号 | 研究代表者名 | 所属部局名 | 職名 |
|-----------------|-------------------|---------|----|
| 2 0 3 1 4 5 2 8 | オオタケ サトシ 大竹 哲史 | 情報科学研究科 | 助教 |

8. 研究分担者(所属研究機関名については、研究代表者の所属研究機関と異なる場合のみ記入すること。)

| 研究者番号 | 研究分担者名 | 所属研究機関名・部局名 | 職名 |
|-------|--------|-------------|----|
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |

9. 研究実績の概要

下欄には、当該年度に実施した研究の成果について、その具体的内容、意義、重要性等を、交付申請書に記載した「研究の目的」、「研究実施計画」に照らし、600字～800字で、できるだけ分かりやすく記述すること。また、国立情報学研究所でデータベース化するため、図、グラフ等は記載しないこと。

近年、VLSI(超大規模集積回路)の微細化・高速化に伴うトランジスタの遅延ばらつきが大きくなっており、生産テストにおける動作タイミングの正確性を保証する遅延テストが不可欠になっている。遅延は動作時の温度や電圧などにより変動するため、そのVLSIが実際に使われる温度や電力消費状況を考慮しなければ正確なテストはできないが、既存の手法ではまだほとんど考慮されておらず、今後歩留まり損失や不良品の見逃しが深刻な問題になると考えられる。

本研究では、通常動作状況をテスト制約として抽出し、これを用いて高精度な遅延テストを実現することを目的とする。高精度遅延テストは、(1)VLSIの用途に依存しないテストと、(2)用途を考慮したテストの2段階で行うことを考える。本年度は、(1)を実現するためのテスト時の通常動作状況への制約方法としてテスト生成ツール(ATPG)が生成するテスト系列に対するソフトウェア制約を用いる方法を検討した。本年度の成果を以下に示す。

1. フレームワーク構築:市販のテスト生成ツールの入力となるテスト対象回路の入出力に、擬似的(ソフトウェア的に)に制約回路を接続(制約)してテスト生成を行うための環境を構築。
2. 疑似制約回路設計:与えられた順序回路から、レジスタ転送レベルの状態遷移情報およびデータ転送情報を利用したテスト生成制約回路設計法を提案。
3. 実験的評価:テスト生成時間とテスト系列長を評価するとともに、歩留まり損失および消費電力を評価した。これらの成果の一部を国際会議で発表した。

10. キーワード

- (1) VLSIテスト技術 (2) 遅延故障テスト (3) 通用消費電力
 (4) テスト生成制約 (5) レジスタ転送レベル (6) _____
 (7) _____ (8) _____

(裏面に続く)

11. 研究発表（平成22年度の研究成果）

〔雑誌論文〕 計（ 3 ）件 うち査読付論文 計（ 3 ）件

| 著者名 | 論文標題 | | | |
|---|---|----|---------------|---------|
| Marie Engelene Jimenez Obien, Satoshi Ohtake, Hideo Fujiwara | Delay fault ATPG for F-scannable RTL circuits | | | |
| 雑誌名 | 査読の有無 | 巻 | 発行年 | 最初と最後の頁 |
| Proceedings of IEEE International Symposium on Communications and Information Technologies | 有 | なし | 2 0 1 0 | 頁番号なし |

| 著者名 | 論文標題 | | | |
|---|---|----|---------------|---------------------|
| Marie Engelene Jimenez Obien, Satoshi Ohtake, Hideo Fujiwara | Constrained ATPG for functional RTL circuits using F-scan | | | |
| 雑誌名 | 査読の有無 | 巻 | 発行年 | 最初と最後の頁 |
| Proceedings of IEEE International Test Conference | 有 | なし | 2 0 1 0 | 頁番号なし Paper 21.1 |

| 著者名 | 論文標題 | | | |
|---|--|----|---------------|---------|
| Hiroshi Iwata, Satoshi Ohtake, Michiko Inoue, Hideo Fujiwara | Bipartite full scan design: A DFT method for asynchronous circuits | | | |
| 雑誌名 | 査読の有無 | 巻 | 発行年 | 最初と最後の頁 |
| Proceedings of IEEE Asian Test Symposium | 有 | なし | 2 0 1 0 | 206-211 |

〔学会発表〕 計（ 0 ）件 うち招待講演 計（ 0 ）件

| 発表者名 | 発表標題 | |
|------|-------|------|
| | | |
| 学会等名 | 発表年月日 | 発表場所 |
| | | |

〔図書〕 計（ 0 ）件

| 著者名 | 出版社 | | |
|-----|-----|-------|--|
| | | | |
| 書名 | 発行年 | 総ページ数 | |
| | | | |

12. 研究成果による産業財産権の出願・取得状況

〔出願〕 計（ 0 ）件

| 産業財産権の名称 | 発明者 | 権利者 | 産業財産権の種類、番号 | 出願年月日 | 国内・外国の別 |
|----------|-----|-----|-------------|-------|---------|
| | | | | | |

〔取得〕 計（ 0 ）件

| 産業財産権の名称 | 発明者 | 権利者 | 産業財産権の種類、番号 | 取得年月日 | 国内・外国の別 |
|----------|-----|-----|-------------|-------|---------|
| | | | | | |

13. 備考

※ 研究者又は所属研究機関が作成した研究内容又は研究成果に関するwebページがある場合は、URLを記載すること。

| |
|--|
| |
|--|