

論文内容の要旨

博士論文題目 大域非同期局所同期システムにおけるテスト品質向上に関する研究

氏名 岩田 大志

VLSI回路の大規模化、多機能化、高速化などにより、大域非同期局所同期 (GALS) 設計方式が用いられるが、回路全体で均一な信頼性を確保するためには、同期式部分、非同期式部分それぞれに対して、高品質のテストが必要になる。従来のテスト技術には、同期式回路部については過剰テストの問題が生じ、非同期式回路部においてはテスト不足の問題がある。

同期式回路のテストにおいては、縮退故障に代表される論理故障に対しては、組合せ回路部に対して完全な故障検出効率が求められる。一方、パス遅延故障に代表される遅延故障に対しては、回路の順序機能を考慮せずにテストを行った場合には、本来テストしてはいけない通常動作では活性化しないパス (フォールスパス) をテストすることによる過剰テストにより、深刻な歩留まり低下を招く。現在の設計フローにおいては、フォールスパスを判定してテスト対象から除外するのが唯一の解であるが、従来のフォールスパス判定法は論理合成時の制約が大きく、実用的ではない。

非同期式回路のテストにおいては、論理故障に対して完全な故障検出効率を得るためのテスト容易化設計法が提案されているが、これに伴うハードウェアオーバーヘッドが極めて大きく、現実的ではない。

本論文では、これらの問題を解決する方法として、同期式回路に対して論理合成に制約を与えないフォールスパス判定法、ならびに、非同期式回路に対するハードウェアオーバーヘッドの小さなテスト容易化設計法を提案している。

第1章では、本研究の目的と意義および背景について述べており、本論文の概説を行っている。

レジスタ転送レベル (RTL) 回路情報を用いた、RTLフォールスパス判定法が提案されている。この手法では、論理合成の際に回路モジュールの境界を越えて論理最適化を行わない制約を与えることにより、判定されたRTLフォールスパスをゲートレベルへマッピングしている。この制約を置くことは実際のVLSI設計においては非現実的であるため、第2章では、任意の論理合成を行った場合にもRTLフォールスパスをゲートレベルへマッピングする方法を提案している。この方法では、論理合成時の論理最適化により、一部のRTLフォールスパスをゲートレベルへマッピングできない場合が生じる。本章ではさらに、最小の論理合成制約で完全なマッピングを得る手法も提案している。

第3章では、既存手法よりも小さい面積オーバーヘッドで完全な故障検出を達成する非同期式回路のテスト容易化設計を提案している。

最後に、第4章では、以上の研究成果の結論を述べている。

論文審査結果の要旨

本論文は、今後の大規模な VLSI チップの実現に必要となる大域非同期局所同期設計のテスト品質に着目し、同期式回路部分および非同期式回路部分のテストにおける問題を考察し、チップ全体で均一なテスト品質を得るための技術として、それぞれ過剰テストの問題を緩和する方法およびテスト不足を補う方法を考察している。

本論文の主な成果は以下に要約される。

1. 同期式回路の過剰遅延テストの緩和には、フォールスパス判定が不可欠であるが、ゲートレベルでの判定は困難である。レジスタ転送レベル (RTL) で効率よく判定する手法が提案されているが、RTL フォールスパスに対応するゲートレベルパスを求めるには、論理合成に非現実的な制約を与える必要があった。提案する RTL フォールスパスマッピング技術は、論理合成に制約を与えずに RTL フォールスパスに対応するゲートレベルパスを求める画期的な手法であり、ベンチマーク回路を用いた実験では、短時間で高いマッピング率が得られることを示している。
2. 1. の手法では、一部の RTL フォールスパスをマッピングできない場合があるため、完全なマッピング率を保証するための最小の論理合成制約を求める方法を提案している。ベンチマーク回路を用いた実験では、論理合成の際に求めた制約を用いた場合でも、遅延および面積オーバーヘッドはほとんど無いことを示している。
3. 既存の非同期式回路のテスト容易化設計として、同期式回路向けのスキャン設計に基づく手法が提案されており、論理故障に対して同期式回路と同等の故障検出を達成しているが、同期式のスキャン FF を新たに回路内に追加するため、面積および遅延オーバーヘッドが大きく非現実的なものであった。これらの問題を解決するため、非同期式回路中で通常動作に用いられる記憶素子を利用してスキャン FF を実現する方法を提案し、面積オーバーヘッドの削減を達成するとともに、既存手法の中で最小の遅延オーバーヘッドで故障検出能力を向上している。

以上のように、本論文は、大域非同期局所同期システムのテスト品質を向上するための同期式回路に対するフォールスパス判定技術および非同期回路に対するテスト技術を提案したものであり、学術上、實際上寄与するところが少なくない。したがって、本論文は博士（工学）の学位論文として価値あるものと認める。