

(7) (8) (裏面に続く)

11.研究発表（平成21年度の研究成果）

〔雑誌論文〕 計（2）件 うち査読付論文 計（2）件

著 者 名	論 文 標 題				
岡伸也	部分スルー可検査性に基づく順序回路のテスト生成法				
雑 誌 名	査読の有無	巻	発 行 年	最初と最後の頁	
電子情報通信学会和文論文誌D-I	有	J92-D	2009	2207-2216	

著 者 名	論 文 標 題				
Ryoichi Inoue	A Fault Dependent Test Generation Method for State-Observable FSMs to Increase Defect Coverage under the Test Length Constraint				
雑 誌 名	査読の有無	巻	発 行 年	最初と最後の頁	
IEICE Transactions on Information and Systems	有	E93-D	2009	24-32	

著 者 名	論 文 標 題				
雑 誌 名	査読の有無	巻	発 行 年	最初と最後の頁	

〔学会発表〕 計（12）件 うち招待講演 計（0）件

発 表 者 名	発 表 標 題		
Yuki Yoshikawa	A Synthesis Method to Alleviate Over-testing of Delay Faults Based on RTL Don't Care Path Identification		
学 会 等 名	発表年月日	発 表 場 所	
IEEE VTS'09 (27th VLSI Test Symposium)	2009.5.5	Santa Cruz, USA	

発 表 者 名	発 表 標 題		
Michiko Inoue	Partial Scan Approach for Secret Information Protection		
学 会 等 名	発表年月日	発 表 場 所	
2009 IEEE European Test Symposium	2009.5.26	Sevilla, Spain	

発 表 者 名	発 表 標 題		
Marie Engelen J. Obien	F-Scan: An Approach to Functional RTL Scan for Assignment Decision Diagrams		
学 会 等 名	発表年月日	発 表 場 所	
IEEE 8th International Conference on ASIC	2009.10.21	Changsha, China	

発 表 者 名	発 表 標 題		
Zhiqiang You	A Response Compactor for Extended Compatibility Scan Tree Construction		
学 会 等 名	発表年月日	発 表 場 所	
IEEE 8th International Conference on ASIC	2009.10.21	Changsha, China	

発 表 者 名	発 表 標 題		
Hongxia Fang	RTL DFT Techniques to Enhance Defect Coverage for Functional Test Sequences		
学 会 等 名	発表年月日	発 表 場 所	
IEEE International High Level Design Validation and Test Workshop 2009	2009.11.5	San Francisco, USA	

発 表 者 名	発 表 標 題		
Marie E. J. Obien	A DFT Method for Functional Scan at RTL		
学 会 等 名	発 表 年 月 日	発 表 場 所	
10th IEEE Workshop on RTL and High Level Testing	2009.11.27	Hong Kong	

発 表 者 名	発 表 標 題		
Michiko Inoue	Path-based Resource Binding to Reduce Delay Fault Test Cost		
学 会 等 名	発 表 年 月 日	発 表 場 所	
10th IEEE Workshop on RTL and High Level Testing	2009.11.27	Hong Kong	

発 表 者 名	発 表 標 題		
Jaynarayan T. Tudu	Scan Cell Reordering to Minimize Peak Power during Scan Testing of SoC		
学 会 等 名	発 表 年 月 日	発 表 場 所	
10th IEEE Workshop on RTL and High Level Testing	2009.11.27	Hong Kong	

発 表 者 名	発 表 標 題		
Hongxia Fang	Observation-Point Selection at Register-Transfer Level to Increase Defect Coverage for Functional Test Sequences		
学 会 等 名	発 表 年 月 日	発 表 場 所	
10th IEEE Workshop on RTL and High Level Testing	2009.11.27	Hong Kong	

発 表 者 名	発 表 標 題		
Raghavendra Adiga	On Minimization of Test Application Time for RAS		
学 会 等 名	発 表 年 月 日	発 表 場 所	
23rd Internaional Conference on VLSI Design	2010.1.5	Bangalore, India	

発 表 者 名	発 表 標 題		
Hideo Fujiwara	Secure and Testable Scan Design Using Extended de Bruijn Graphs		
学 会 等 名	発 表 年 月 日	発 表 場 所	
15th Asia and South Pacific Design Automation Conference	2010.1.19	Taipei, Taiwan	

発 表 者 名	発 表 標 題		
Hiroshi Iwata	Enhancing False Path Identification from RTL for Reducing Design and Test Futileness		
学 会 等 名	発 表 年 月 日	発 表 場 所	
The 5th IEEE International Symposium on Electronic Design, Test & Applications	2010.1.14	Ho Chi Minh City, Vietnam	

〔図 書〕 計 (0) 件

著 者 名	出 版 社		
書 名		発 行 年	総ページ数
		■ ■ ■	

12. 研究成果による産業財産権の出願・取得状況

〔出 願〕 計（ 0 ）件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	出願年月日	国内・外国の別

〔取 得〕 計（ 0 ）件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	取得年月日	国内・外国の別

13. 備考

※ 研究者又は所属研究機関が作成した研究内容又は研究成果に関するw e b ページがある場合は、U R Lを記載すること。

http://fan.naist.jp/
