

平成22年度科学研究費補助金実績報告書（研究実績報告書）

1. 機関番号 1 4 6 0 3      2. 研究機関名      奈良先端科学技術大学院大学
3. 研究種目名      基盤研究(B)      4. 研究期間      平成20年度～平成22年度
5. 課題番号 2 0 3 0 0 0 1 8
6. 研究課題名      ネットワークオンチップにおけるテスト容易性と安全性に関する基礎研究

7. 研究代表者

研究者番号	研究代表者名	所属部局名	職名
7 0 0 2 9 3 4 5	<small>フジワラ</small> 藤原 <small>ヒデオ</small> 秀雄	情報科学研究科	教授

8. 研究分担者(所属研究機関名については、研究代表者の所属研究機関と異なる場合のみ記入すること。)

研究者番号	研究分担者名	所属研究機関名・部局名	職名
3 0 2 7 3 8 4 0	<small>イノウエ</small> 井上 <small>ミチ</small> 美智子	情報科学研究科	准教授
2 0 3 1 4 5 2 8	<small>オオtake</small> 大竹 <small>サトシ</small> 哲史	情報科学研究科	助教
2 0 3 5 9 8 7 1	<small>ヨシタ</small> 米田 <small>トモカズ</small> 友和	情報科学研究科	助教

9. 研究実績の概要

下欄には、当該年度に実施した研究の成果について、その具体的内容、意義、重要性等を、交付申請書に記載した「研究の目的」、「研究実施計画」に照らし、600字～800字で、できるだけ分かりやすく記述すること。また、国立情報学研究所でデータベース化するため、図、グラフ等は記載しないこと。

平成22年度の研究成果を以下に示す。

(1) 昨年度の提案した機能RTLテスト容易化設計法(F-Scan法)を最大限に活かしたテスト生成法として、制約付きRTLテスト生成法の開発を行い、ベンチマーク回路でその有効性を評価した。従来のゲートレベル・スキャン設計法と比べ、面積オーバーヘッド、テスト実行時間の削減に成功している。

(2) ネットワークオンチップの非同期インターコネクトを対象とし、非同期回路のテスト手法、テスト容易化設計法を提案した。従来手法の種々の問題を解消し、最小の遅延オーバーヘッドのもとで面積オーバーヘッドの大幅な削減を達成するとともに故障検出能力をより向上させるのに成功した。

(3) テスト容易性と安全性の両立に関しては、すでにシフトレジスタ等価回路を用いた安全(セキュア)スキャン方式を提案しているが、その方式を更に発展させた。微分動作攻撃(組合せ回路側からのスキャンベース攻撃)をモデル化し、その攻撃を防御する安全でテスト容易なスキャン方式を提案した。シフトレジスタ等価回路族において微分動作同値関係を導入し、その同値類の濃度を導出し、提案する方式の微分動作攻撃に対するセキュリティレベルの高さを明らかにした。

10. キーワード

- (1) システムオンチップ      (2) ディペンダブルコンピューティング      (3) VLSIのテスト
- (4) 高信頼性ネットワーク      (5) 設計自動化      (6)
- (7)      (8)

(裏面に続く)

## 11.研究発表（平成22年度の研究成果）

〔雑誌論文〕 計（ 5 ）件    うち査読付論文 計（ 5 ）件

著者名	論文標 題			
Hongxia Fang	RTL DFT Techniques to Enhance Defect Coverage for Functional Test Sequences			
雑誌名	査読の有無	巻	発行年	最初と最後の頁
Journal of Electronic Testing: Theory and Applications	有	26	20110	151-164

著者名	論文標 題			
Tomokazu Yoneda	Design and Optimization of Transparency-Based TAM for SoC Test			
雑誌名	査読の有無	巻	発行年	最初と最後の頁
IEICE Trans. on Inf. and Syst.	有	E93-D	20110	1549-1559

著者名	論文標 題			
Hiroshi Iwata	A Method of Path Mapping from RTL to Gate Level and Its Application to False Path Identification			
雑誌名	査読の有無	巻	発行年	最初と最後の頁
IEICE Trans. on Inf. and Syst.	有	E93-D	20110	1857-1865

著者名	論文標 題			
藤原克哉	セキュアスキャン設計のためのシフトレジスタ等価回路の列挙と合成			
雑誌名	査読の有無	巻	発行年	最初と最後の頁
電子情報通信学会和文論文誌D-I	有	J93-D	20110	2426-2436

著者名	論文標 題			
Marie Engelene Jimenez Obien	F-Scan: A DFT Method for Functional Scan at RTL			
雑誌名	査読の有無	巻	発行年	最初と最後の頁
IEICE Trans. on Inf. and Syst.	有	E94-D	20111	104-113

〔学会発表〕 計（ 17 ）件    うち招待講演 計（ 0 ）件

発表者名	発表標 題	
Katsuya Fujiwara	SREEP: Shift Register Equivalent Enumeration and Synthesis Program for Secure Scan Design	
学会等名	発表年月日	発表場所
13th IEEE International Symposium on Design and Diagnosis of Electronic Circuits and Systems	2010.4.15	Vienna, Austria

発表者名	発表標 題	
Satoshi Ohtake	A Synthesis Method to Propagate False Path Information from RTL to Gate Level	
学会等名	発表年月日	発表場所
13th IEEE International Symposium on Design and Diagnosis of Electronic Circuits and Systems	2010.4.15	Vienna, Austria

発表者名	発表標 題	
Tomokazu Yoneda	Thermal-Uniformity-Aware X-Filling to Reduce Temperature-Induced Delay Variation for Accurate At-Speed Testing	
学会等名	発表年月日	発表場所
28th IEEE VLSI Test Symposium	2010.4.19	Santa Cruz, USA

発表者名	発表標題	
Jaynarayan Tudu	Scan Cells Reordering to Minimize Peak Power during Test Cycle: A Graph Theoretic Approach	
学会等名	発表年月日	発表場所
2010 IEEE European Test Symposium	2010.5.25	Prague, Czech Republic

発表者名	発表標題	
Michiko Inoue	Test Pattern Selection to Optimize Delay Test Quality with a Limited Size of Test Set	
学会等名	発表年月日	発表場所
2010 IEEE European Test Symposium	2010.5.25	Prague, Czech Republic

発表者名	発表標題	
Hyunbean Yi	Aging Test Strategy and Adaptive Test Scheduling for SoC Failure Prediction	
学会等名	発表年月日	発表場所
IEEE International On-Line Testing Symposium	2010.7.6	Corfu Island, Greece

発表者名	発表標題	
Marie Engelene Jimenez Obien	Delay Fault ATPG for F-Scannable RTL Circuits	
学会等名	発表年月日	発表場所
IEEE Int. Symp. on Communications and Information Technologies	2010.10.28	東京

発表者名	発表標題	
Marie Engelene J. Obien	Constrained ATPG for Functional RTL Circuits Using F-Scan	
学会等名	発表年月日	発表場所
2010 IEEE International Test Conference	2010.11.4	Austin, USA

発表者名	発表標題	
Alodeep Sanyal	RT-Level Design-for-Testability and Expansion of Functional Test Sequences for Enhanced Defect Coverage	
学会等名	発表年月日	発表場所
2010 IEEE International Test Conference	2010.11.4	Austin, USA

発表者名	発表標題	
Hiroshi Iwata	Bipartite Full Scan Design: A DFT Method for Asynchronous Circuits	
学会等名	発表年月日	発表場所
IEEE the 19th Asian Test Symposium	2010.12.2	上海、中国

発表者名	発表標題	
Tomokazu Yoneda	Seed Ordering and Selection for High Quality Delay Test	
学会等名	発表年月日	発表場所
IEEE the 19th Asian Test Symposium	2010.12.2	上海、中国

発表者名	発表標題	
Zhiqiang You	Capture in Turn Scan for Reduction of Test Date Volume, Test Application Time and Test Power	
学会等名	発表年月日	発表場所
IEEE the 19th Asian Test Symposium	2010.12.2	上海、中国

発表者名	発表標題	
Katsuya Fujiwara	SREEP-2: SR-Equivalent Generator for Secure and Testable Scan Design	
学会等名	発表年月日	発表場所
11th IEEE Workshop on RTL and High Level Testing	2010.12.6	上海、中国

発表者名	発表標題	
Chia Yee Ooi	Functional Fault Model for Micro Operation Faults of High Correlation with Stuck-At Faults	
学会等名	発表年月日	発表場所
11th IEEE Workshop on RTL and High Level Testing	2010.12.6	上海、中国

発表者名	発表標題	
Maksim Jenihhin	An Approach for Verification Assertions Reuse in RTL Test Pattern Generation	
学会等名	発表年月日	発表場所
11th IEEE Workshop on RTL and High Level Testing	2010.12.6	上海、中国

発表者名	発表標題	
Fawnizu Azmadi Hussin	RedSOCs-3D: Thermal-safe Test Scheduling for 3D-Stacked SoC	
学会等名	発表年月日	発表場所
2010 Asia Pacific Conference on Circuits and Systems	2010.12.10	クアラルンプール、マレーシア

発表者名	発表標題	
Hideo Fujiwara	Secure Scan Design Using Shift Register Equivalents against Differential Behavior Attack	
学会等名	発表年月日	発表場所
16th Asia and South Pacific Design Automation Conference	2011.1.28	横浜

【図書】 計 ( 0 ) 件

著者名	出版社		
	書名	発行年	総ページ数

12. 研究成果による産業財産権の出願・取得状況

【出願】 計 ( 0 ) 件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	出願年月日	国内・外国の別

【取得】 計 ( 0 ) 件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	取得年月日	国内・外国の別

13. 備考

※ 研究者又は所属研究機関が作成した研究内容又は研究成果に関するwebページがある場合は、URLを記載すること。

<http://hideo.fujiwaralab.net/>