

論文内容の要旨

博士論文題目 非破壊読み出し強誘電体メモリおよびヘテロエピタキシャル強誘電体ゲート薄膜トランジスタに関する研究

氏 名 加藤 剛久

(論文内容の要旨)

デジタル情報ネットワークが広がるにつれて、通信される情報量は爆発的に増加している。そのため、電子デバイスに求められる情報処理能力は増大しており、結果的に半導体の消費電力は増加し、これ以上の消費電力増は許容できない領域に達している。

不揮発性メモリの一つである強誘電体メモリは、高速動作・低消費電力・高信頼性という優れた特長を有しており、これを用いることで半導体の消費電力増の問題は解決されると期待される。しかし強誘電体メモリには、読み出し回数に限界があり、これが強誘電体メモリの普及を妨げる大きな要因となっている。従って、読み出し回数を伸張できる非破壊読み出しの開発が求められている。

このような背景のもと、本論文では、非破壊読み出しが可能な強誘電体メモリの実現を目的とし、メモリセル回路および新構造の強誘電体デバイスの研究を行っている。

第 1 章「序論」では、強誘電体メモリが電子機器の電力削減に寄与できることを示したのち、現在実用化されている強誘電体メモリの動作方法を解説し、その破壊読み出しが原因で読み出し回数が $10^8 \sim 10^{12}$ 回に制限されるという問題点を指摘し、これを 10^{16} 回以上に高めるという本論文の目的を提示している。

第 2 章「非破壊読み出し型強誘電体メモリ」では、まず、従来から提案されている不揮発性ラッチ回路において、強誘電体キャパシタに $\text{SrBi}_2\text{Ta}_2\text{O}_9$ を用いることで 1.8V 駆動と 10ns 以下の高速動作が実現できることを示している。

さらに、不揮発性ラッチよりも少ない素子数で非破壊読み出し可能な新しいメモリセル回路および駆動方法を提案し、実際に作製したテストセルを用いて、 10^{12} 回の非破壊読み出し動作を実証している。次に、本非破壊読み出しセルの集積化を行い、 $0.6 \mu\text{m}$ プロセス技術を用いて 64Kbit のメモリチップを試

作している。その結果、データ記憶中の強誘電体への焼き付け（インプリント）現象による動作不安定化という問題を見出し、その解決のため正負の自発分極で異なる絶対値にデータをプログラムする非対称プログラム法を考案している。次いで、本回路の $0.18\ \mu\text{m}$ プロセス技術によるさらなる微細化を検討し、微細化に伴って発生する MOS FET の閾値ばらつきを対策するために電荷補償検出法を提案し、これにより安定した非破壊読み出しが可能であることを示している。

第 3 章「ヘテロエピタキシャル酸化物積層構造を用いた強誘電体ゲート薄膜トランジスタ」では、非破壊読み出し可能かつスケールリング則に従った微細化可能な強誘電体ゲートトランジスタの研究を行っている。半導体層に酸化物半導体薄膜を用いたヘテロエピタキシャル強誘電体ゲート薄膜トランジスタを考案し、本構造では長時間のデータ保存においても安定した蓄積状態（オン動作）と自発分極が消失したとしても高抵抗状態（オフ動作）を維持できることを示している。その結果、本デバイスにおいてゲート電圧の掃引によって 10^5 倍以上のドレイン電流変調が観測される一方で、電流変調は室温下で 10^5 秒経過後も安定しており、10 年以上のデータ保持が可能であることを示している。

第 4 章「強誘電体メモリの将来展開」では、これまでの結果を踏まえ、強誘電体メモリの工業的応用と微細化に関する知見を総括し、今後に解決すべき課題の提示を行っている。

以上のように、本論文では、非破壊読み出しが可能な強誘電体メモリの実現を目的とし、各種のメモリセル回路及びその読み出し方法、並びに新構造の強誘電体メモリデバイスを提案し、その動作を実証しており、電子デバイスの低消費電力化の観点から新構造のメモリデバイスの開発が急がれる中、大変有意義な知見であると言える。

氏 名	加藤 剛久
-----	-------

(論文審査結果の要旨)

デジタル情報ネットワークが広がるにつれて、通信される情報量は爆発的に増加している。そのため、電子デバイスに求められる情報処理能力は増大しており、結果的に半導体の消費電力は増加し、これ以上の消費電力増は許容できない領域に達している。

不揮発性メモリの一つである強誘電体メモリは、高速動作・低消費電力・高信頼性という優れた特長を有しており、これを用いることで半導体の消費電力増の問題は解決されると期待される。しかし強誘電体メモリには、読み出し回数に限界があり、これが強誘電体メモリの普及を妨げる大きな要因となっている。従って、読み出し回数を伸張できる非破壊読み出しの開発が求められている。

そこで、本論文では、非破壊読み出しが可能な強誘電体メモリの実現を目的とし、メモリセル回路および新構造の強誘電体デバイスの研究を行っている。

本論文ではまず、強誘電体メモリが電子機器の電力削減に寄与できることを示したのち、現在実用化されている強誘電体メモリの動作方法を解説し、その破壊読み出しが原因で読み出し回数が $10^8 \sim 10^{12}$ 回に制限されるという問題点を指摘し、これを 10^{16} 回以上に高めるといった目的を提示している。

次に、現在の強誘電体メモリと同一の製造工程で作られた強誘電体キャパシタから非破壊に分極を読み出す読み出し方式の検討を行ない、不揮発性ラッチ回路において低電圧、高速動作が可能であることを示している。

次に、不揮発性ラッチ回路より少ない素子でのメモリ回路実現を目指して、新しいメモリセル回路および駆動方法を提案し、実際に作製したテストセルを用いて、 10^{12} 回の非破壊読み出し動作を実証している。さらに、 $0.18\mu\text{m}$ 集積化プロセスを用いてメモリチップを試作し、読み出し方法の工夫により、長時間保存後にも安定した動作が可能であること、並びに、微細化により MOS FET の閾値ばらつきが発生しても安定した非破壊読み出しが可能であることを示し、本回路が高集積化時においても動作可能であることを示している。

次に、非破壊読み出し可能かつスケーリング則に従った微細化可能なメモリとして、強誘電体をゲート酸化膜として用いたヘテロエピタキシャル強誘電体ゲート薄膜トランジスタを考案し、本回路が 10^5 倍以上のオン/オフ比を有するとともに、10 年以上のデータ保持

特性を実現できることを、実際にデバイスを試作して実証している。

以上のように本論文は、強誘電体薄膜を用いた半導体メモリの非破壊読み出し動作に関して多くの指針を与えるものであり、電子デバイスの消費電力の低減が求められる中、多くの有意義な知見を得ている。よって審査委員一同は本論文が博士(工学)の学位論文として価値あるものと認めた。