

論文内容の要旨

博士論文題目 Studies on Core-Based Testing of System-on-Chips Using
Functional Bus and Network-on-Chip Interconnects
(機能バスとNoCインターコネクトを利用したシステムオン
チップのコアベーステストに関する研究)

氏 名 HUSSIN Fawnizu Azmadi

複数のプロセッサコアやネットワークオンチップ(NoC)インターコネクトで構成される複雑なシステムオンチップのテストは困難な問題であり、問題解決のためにはテスト容易化設計は不可欠な手法であると考えられる。システムオンチップに対するテスト容易化設計として、IEEE 1500として標準化されているコアラッパーとテストアクセス機構の設計が挙げられる。しかし、従来手法では、システムオンチップの機能インターコネクトとは別にテストアクセス機構を付加するため、面積・配線オーバーヘッドが大きくなるという問題点が指摘されている。また、IEEE 1500ラッパーは、既存の機能インターコネクトをテストアクセス機構として再利用することを前提としていないため、そのままでは適用不可能であるという問題点がある。

本論文では上述の問題を解決すべく、既存の機能インターコネクト（機能バス、階層機能バス、NoCインターコネクト）をテストアクセス機構として再利用するためのラッパー設計法およびテストスケジューリング法に関する研究をまとめたものであり、序論及び結論を含め七つの章から成る。

第1章では、本研究の目的と意義および背景について述べ、本論文の概説を行っている。

第2章では、機能バスとIPコアで構成されるシステムオンチップを対象とし、機能バスをテストアクセス機構として効率的に利用するためのラッパー設計法およびテストスケジューリング法を提案している。ベンチマークを用いた実験では、テストアクセス機構を新たに追加する必要のある従来手法に比べ、テストアクセス機構の追加無しで、同等もしくは短いテスト時間を達成し、提案手法の有効性が示されている。

第3章では、対象とするシステムオンチップを階層的な機能バスと複数のプロセッサを含むマルチプロセッサシステムオンチップに拡張し、第2章で提案した手法を応用したテストスケジューリング法を提案している。

第4章では、NoCインターコネクトアーキテクチャおよびNoCインターコネクトを利用したシステムオンチップにおけるIPコアモデルについて概説している。

第5章では、NoCインターコネクトをテストアクセス機構として効率的に利用するためのラッパーアーキテクチャおよび最適化設計手法を提案している。

第6章では、NoCインターコネクトを利用したシステムオンチップに対して、第5章で提案したラッパーを用いたNoCインターコネクトのデータ転送帯域幅共

有に基づくテストスケジューリング法を提案している。ベンチマークに対する実験では、データ転送帯域幅共有を行わない従来手法に比べてテスト実行時間が大幅に削減され、提案手法の有効性が示されている。

第7章では、以上の研究成果の結論を述べるとともに、今後の研究課題について議論している。

論文審査結果の要旨

本論文は、大規模化、高集積化、高性能化により益々困難となっているシステムオンチップのテストに関する種々の問題を解決するために、機能インターコネクトをテストアクセス機構として再利用するためのラッパー設計法およびテストスケジューリング法に関する研究を行ったものである。本論文の主な成果は以下に要約される。

1. 機能バスと IP コアで構成されるシステムオンチップを対象とし、機能バスをテストアクセス機構として再利用するためのラッパー設計法およびテストスケジューリング法を提案した。提案手法は、テストアクセス機構を付加する必要がなく面積・配線オーバーヘッドが削減可能である。さらに、ベンチマーク回路による実験では、従来法に比べ、同等もしくは短いテスト時間を達成できることが示されている。
2. 対象とするシステムを現在の主流である階層的な機能バスと複数のプロセッサを含むマルチプロセッサシステムオンチップに拡張し、そのラッパー設計法およびテストスケジューリング法を提案した。
3. 機能インターコネクトの新しいアーキテクチャとして注目を集めている NoC インターコネクトを利用したシステムオンチップを対象とし、NoC インターコネクトをテストアクセス機構として再利用するためのラッパー設計法、ならびに NoC インターコネクトのデータ転送帯域幅共有に基づくテストスケジューリング法を提案した。ベンチマーク回路による実験では、従来手法に比べテスト実行時間が大幅に削減されている。

以上のように、本論文は大規模・高集積・高性能なシステムオンチップのテストの問題を解決すべく、機能バス、階層機能バス、NoC インターコネクトの三つの機能インターコネクトをテストアクセス機構として効率的に再利用するためのラッパー設計法およびテストスケジューリング法を提案しており、これらは VLSI のテストの分野において、学術上、実際上寄与するところが少なくない。したがって、本論文は博士（工学）の学位論文として価値あるものと認める。