

## 平成20年度科学研究費補助金実績報告書（研究実績報告書）

1. 機関番号 

1	4	6	0	3
---	---	---	---	---

 2. 研究機関名 奈良先端科学技術大学院大学
3. 研究種目名 基盤研究（B） 4. 研究期間 平成19年度～平成21年度
5. 課題番号 

1	9	3	0	0	0	1	2
---	---	---	---	---	---	---	---
6. 研究課題名 特性ばらつき隠蔽を特長とする次世代素子向け多重安定化アーキテクチャ

## 7. 研究代表者

研究者番号	研究代表者名	所属部局名	職名
00314170	フリガナ ナカシマ、ヤスヒコ 中島, 康彦	情報科学研究科	教授

## 8. 研究分担者(所属研究機関名については、研究代表者の所属研究機関と異なる場合のみ記入すること。)

研究者番号	研究分担者名	所属研究機関名・部局名	職名
30362833	フリガナ ヤマシタ、シゲル 山下, 茂	情報科学研究科	准教授
40324967	フリガナ ナカニシ、マサキ 中西, 正樹	情報科学研究科	助教
00452524	フリガナ ナカダ、タカシ 中田, 尚	情報科学研究科	助教
	フリガナ		
	フリガナ		

## 9. 研究実績の概要(国立情報学研究所でデータベース化するため、600字～800字で記入。図、グラフ等は記載しないこと。)

下欄には、当該年度に実施した研究の成果について、その具体的内容、意義、重要性等を、交付申請書に記載した「研究の目的」、「研究実施計画」に照らし、600字～800字で、できるだけ分かりやすく記述すること。また、国立情報学研究所でデータベース化するため、図、グラフ等は記載しないこと。

- 【1】高信頼標準セルの提案と評価:「標準セル群の物理レイアウトなど詳細な検討を行う」に対し、実際にVDEC環境を用いて耐故障セル群のレイアウトおよびLSI試作を行った。後述の第2項とともに、耐故障標準セル群が実際のLSI上でも耐故障性を示すことを確認した。
- 【2】高信頼標準セルの規則的配置に基づく自己安定化演算回路の提案と評価:「標準セル群向け誤り訂正手法を詳細に検討する」に対し、耐故障セル群が備えるエラー伝搬回路を組み込んだ64ビット比較回路を実際に試作し、実回路においても耐故障性に優れ、面積オーバーヘッドも問題とならず、故障発生時の遅延時間も良好であることを確認した。
- 【3】自己安定化演算回路を合成・評価するCADシステムの提案と評価:「テクノロジマッピング手法の検討」を予定していたが、既存の信頼性評価手法では高信頼セルを正しく評価できないことが明らかになった。このため、耐故障セルに適用可能な信頼性評価手法の確立に取り組み、入力値を考慮した新しい信頼性評価手法を考案した。
- 【4】自己安定化演算回路のみからなる高信頼アーキテクチャの提案と評価:ARMおよびFRV命令を単純な演算に分解およびマッピングするアーキテクチャを考案し、プログラムが動作可能なレベルのプロセッサ試作により、命令分解手法の有効性を回路規模、プログラム実行効率、遅延時間の点から確認した。
- 【5】暗号化されたFPGAコンフィギュレーションデータの効率的な復号手法の提案:FPGAの高信頼化に取り組み、スイッチマトリックスの高信頼化、および、暗号化コンフィギュレーションのための再構成可能領域復号回路を提案した。復号に専用回路を必要としないため面積オーバーヘッドが小さく、乱数を加えて、さらに安全性を高める手法を提案した。

※ 成果の公表を見合わせる必要がある場合は、その理由及び差し控え期間等を記入した調書(A4判縦長横書1枚)を添付すること。

## 10. キーワード

- |                       |            |            |
|-----------------------|------------|------------|
| (1) ディペンダブル・コンピューティング | (2) 半導体微細化 | (3) 製造ばらつき |
| (4) 自己安定回路            | (5) FPGA   | (6)        |
| (7)                   | (8)        | (裏面に続く)    |

## 11.研究発表（平成20年度の研究成果）

〔雑誌論文〕 計（ 7 ）件

著 者 名	論 文 標 題						
Masaki Nakanishi	A Method of Randomizing a Part of an FPGA Configuration Bitstream						
雑 誌 名	査読の有無	巻	発 行 年				最初と最後の頁
Proc. of 2008 International Symposium on Information Theory and its Applications	有	ISITA2008	2	0	0	8	pp.1493-1496

著 者 名	論 文 標 題						
Kazunori SUZUKI	A Functional Unit with Small Variety of Highly Reliable Cells						
雑 誌 名	査読の有無	巻	発 行 年				最初と最後の頁
Proc. of 14th Pacific Rim International Symposium on Dependable Computing	有	PRDC'08	2	0	0	8	pp.353-354

著 者 名	論 文 標 題						
Takashi Nakada	OROCHI: A Multiple Instruction Set SMT Processor						
雑 誌 名	査読の有無	巻	発 行 年				最初と最後の頁
Proc. of First International Workshop on New Frontiers in High-performance and Hardware-aware Computing	有	HipHaC'08	2	0	0	8	pp.1-8

著 者 名	論 文 標 題						
洪勇基	FPGAのスイッチマトリクスを対象とするソフトウェア対策						
雑 誌 名	査読の有無	巻	発 行 年				最初と最後の頁
IEICE Technical Report	無	RECONF2008-45	2	0	0	8	pp.39-44

著 者 名	論 文 標 題						
堀田敬一	高信頼セルによる回路の信頼性評価						
雑 誌 名	査読の有無	巻	発 行 年				最初と最後の頁
IEICE Technical Report	無	VLD2008-75	2	0	0	8	pp.91-96

著 者 名	論 文 標 題						
Masaki Nakanishi	A Method for Secure FPGA Configuration						
雑 誌 名	査読の有無	巻	発 行 年				最初と最後の頁
Proc. of Computer Security Symposium2008	無	CSS2008	2	0	0	8	B1-4(CD-ROM)

著 者 名	論 文 標 題						
上利宗久	N倍速を目指すVLIWプロセッサの構想						
雑 誌 名	査読の有無	巻	発 行 年				最初と最後の頁
IPSJ SIG Technical Report	無	2008-ARC-180	2	0	0	8	pp21-24

〔学会発表〕 計（ 8 ）件

発 表 者 名	発 表 標 題		
市来亮人	異種命令SMTプロセッサOROCHIのASIC試作における問題と対策		
学 会 等 名	発表年月日		発 表 場 所
情報処理学会関西支部大会	H20. 10. 24		京都リサーチパーク

発 表 者 名	発 表 標 題		
吉村和浩	異種命令SMTプロセッサOROCHIの実装と分析		
学 会 等 名	発表年月日		発 表 場 所
SWoPP2008	H20. 8. 5		アバンセ（佐賀県）

発 表 者 名	発 表 標 題	
鈴木一範	高信頼セルによる演算器の耐故障性と遅延時間の評価	
学 会 等 名	発 表 年 月 日	発 表 場 所
SWoPP2008	H20. 8. 7	アバンセ（佐賀県）

発 表 者 名	発 表 標 題	
北村俊明	異種命令セットを同時に実行するマルチスレッディング・プロセッサの研究	
学 会 等 名	発 表 年 月 日	発 表 場 所
STARCフォーラム/シンポジウム	H20.7.16	パシフィコ横浜

発 表 者 名	発 表 標 題	
吉村和浩	異種命令混在実行プロセッサにおけるQoS制御	
学 会 等 名	発 表 年 月 日	発 表 場 所
STARCフォーラム/シンポジウム	H20.7.16	パシフィコ横浜

発 表 者 名	発 表 標 題	
市来亮人	プロセッサ評価のためのハイブリッドプラットフォーム	
学 会 等 名	発 表 年 月 日	発 表 場 所
STARCフォーラム/シンポジウム	H20.7.16	パシフィコ横浜

発 表 者 名	発 表 標 題	
Akihito Ichiki	A Hybrid Platform for Practical Evaluation of Processors	
学 会 等 名	発 表 年 月 日	発 表 場 所
IEEE Symposium on Low-Power and High-Speed Chips, COOL Chips XI	H20.4.16	横浜情報文化センター

発 表 者 名	発 表 標 題	
Kazuhiro Yoshimura	A QoS Control Method for a Heterogeneous SMT Processor	
学 会 等 名	発 表 年 月 日	発 表 場 所
IEEE Symposium on Low-Power and High-Speed Chips, COOL Chips XI	H20.4.16	横浜情報文化センター

【図 書】 計（ 0 ）件

## 12. 研究成果による産業財産権の出願・取得状況

【出 願】 計（ 2 ）件

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	出願年月日	国内・外国の別
データ処理装置	中島康彦, 中田尚	奈良先端大	特願 2008-265312	H20. 10. 14	国内

産業財産権の名称	発明者	権利者	産業財産権の種類、番号	出願年月日	国内・外国の別
プロセッサ	中田尚, 中島康彦	STARC	特願 2008-183828	H20. 7. 15	国内

【取 得】 計（ 0 ）件

## 13. 備考

※ 研究者又は所属研究機関が作成した研究内容又は研究成果に関するwebページがある場合は、URLを記載すること。

http://arch.naist.jp/
-----------------------