

ディペンダブルVLSIのための テスト技術

奈良先端科学技術大学院大学
2007年11月2日

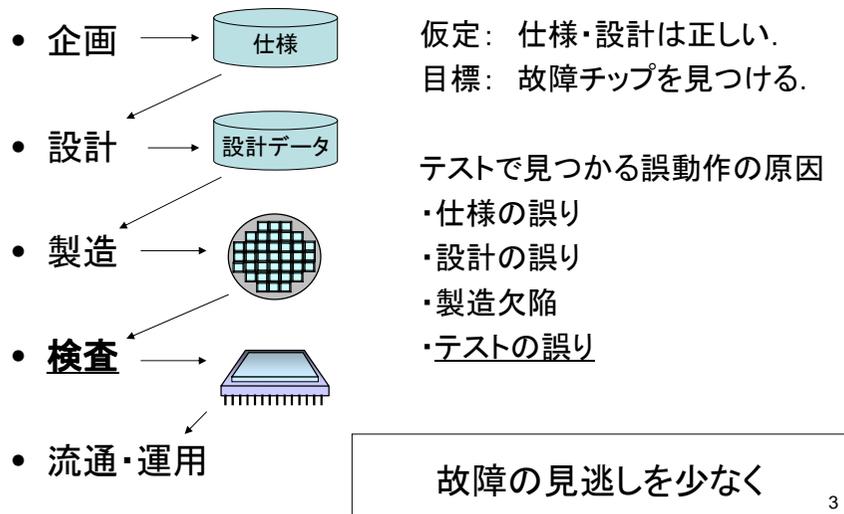
九州工業大学情報工学部
梶原誠司

発表内容

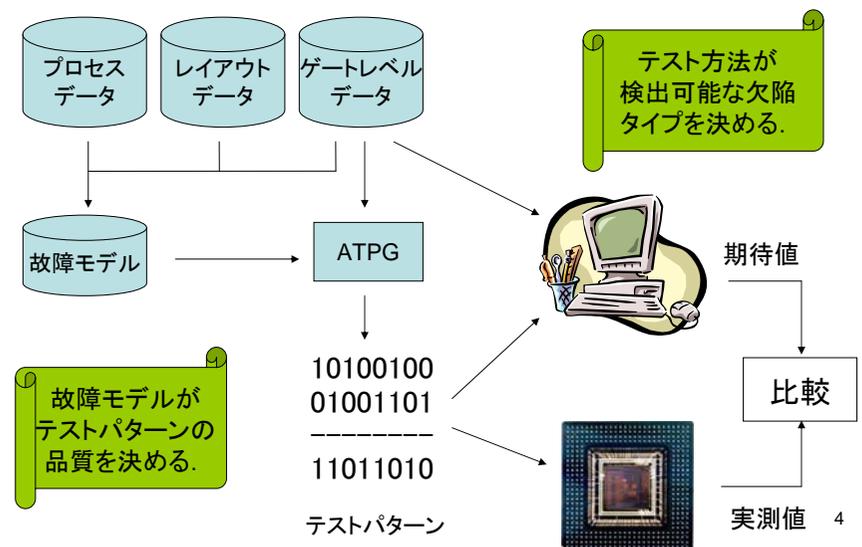
1. LSI テストの役割
2. テスト品質とテストコスト
 - デレイテスト技術
 - テストデータ量削減技術
3. ディペンダブルVLSIに向けて(阻害要因は?)
 - ソフトエラー
 - テスト機能を使った情報漏洩
 - 誤テストによる歩留まり低下
4. まとめ

2

LSIテストの役割(これまで)



LSIテストの方法



故障の見逃しを少なくするには

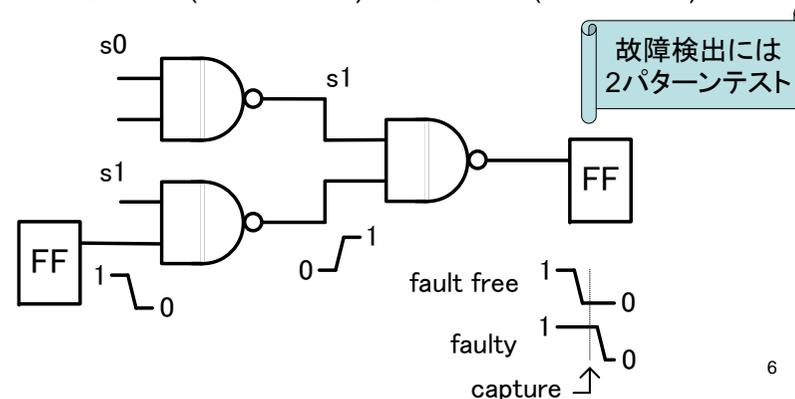
- 適切な故障モデルの設定
 - 従来型の縮退故障は必須(論理故障検出の必要条件)
 - 縮退故障だけでの評価では不十分
 - 配線系の故障, タイミング故障などの考慮
 - 統計的な解析
- 多様なテスト手法, 計測手法
 - Function test: ユーザ機能のテスト (ex. at-speed).
 - Structural test: 回路機能のテスト (ex. scan).
 - Defect-oriented test: チップ特性(電流, 電圧, etc.)のテスト(ex. Iddq).

テスト品質の向上

5

ディレイテスト

- 遅延故障(delay fault)とは
 - 遅延時間が決められた範囲をこえる故障
 - 立ち上がり(slow-to-rise)と立ち下がり(slow-to-fall)

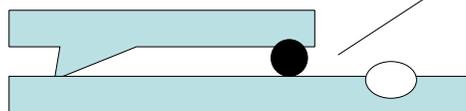


6

遅延故障の原因

微細化による欠陥

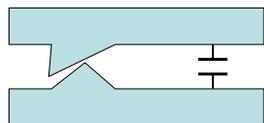
- 配線の抵抗性故障: 短絡, 断線



微小な異物の影響を受けやすい

- クロストーク: 隣接配線の信号値変化の影響

- 遅延の増加, 減少
- グリッチの発生

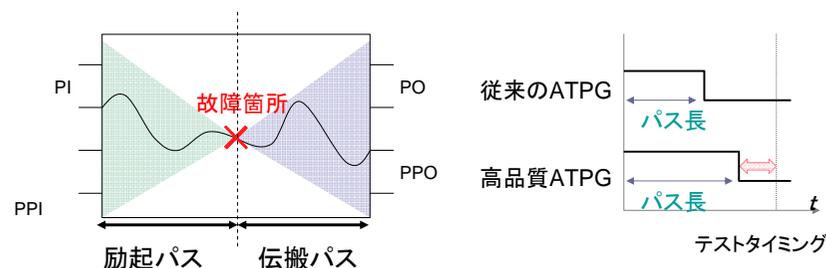


- ゲート酸化膜故障, VIAのオープン

7

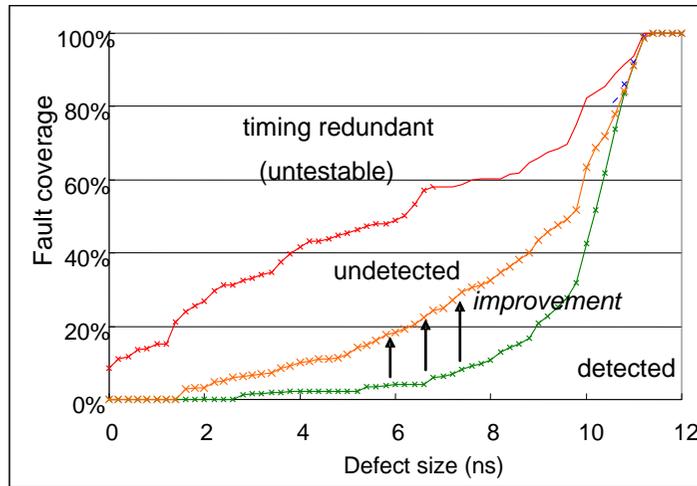
高品質な遷移故障テストパターンの生成

- 従来ATPG: 故障による遅延の大きさは考慮しない
 - 微小な遅延の増加は検出できない.
- 高品質ATPG: 励起パス長+伝搬パス長を最大化
 - 微小な遅延の増加も検出



8

故障検出率向上の例: s1423

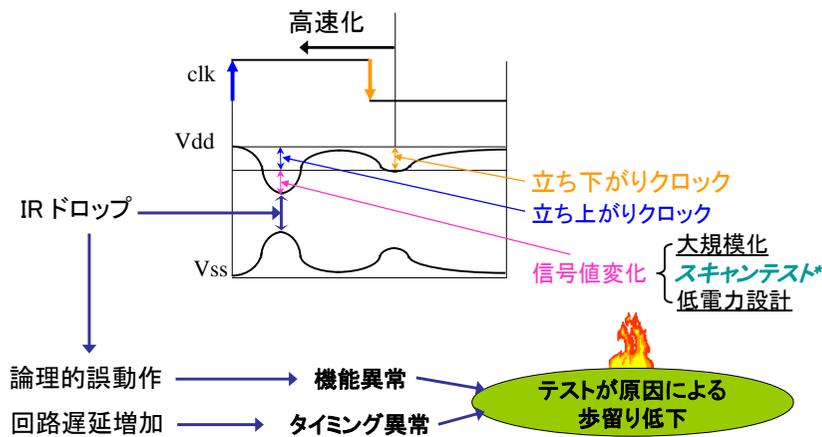


9

テスト品質向上も, パターン数増

Circuits	Faults	Conventional method			Proposed method		
		Tests	F.Cov.	F. Eff.	Tests	F. Cov.	F. Eff.
s1423	2244	162	85.78%	99.90%	222	85.82%	99.84%
s5378	4948	412	84.84%	100.00%	477	84.84%	100.00%
s9234	10618	1004	81.30%	99.71%	1130	81.30%	99.71%
s13207	14796	986	79.61%	99.97%	1046	79.62%	99.95%
s15850	17568	775	70.26%	99.97%	976	70.26%	99.96%
s35932	53340	149	82.51%	100.00%	230	82.10%	100.00%
s38417	48988	2378	98.01%	100.00%	4222	98.04%	99.97%
s38584	52112	2441	83.86%	99.98%	3021	83.86%	99.92%

テスト時のIRドロップと歩留り低下

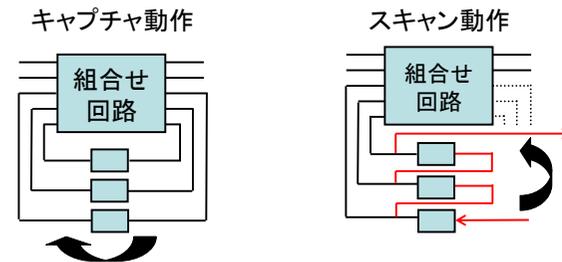


*スキャンテスト時は, 不規則な状態変化により, 信号値変化数が増加. 11

11

スキャン順序回路の消費電力

- スキャン順序回路
 - シフトレジスタ機能により, FFの値を直接操作する.



- テスト時消費電力の少ないテストパターンとは,
 - キャプチャ動作: 現状態と次状態で, FFの値を同じに.
 - スキャン動作: スキャンパス上の隣のFFの値を同じに.

12

テスト品質とテストコスト

テスト品質向上 ↔ テストコスト増加

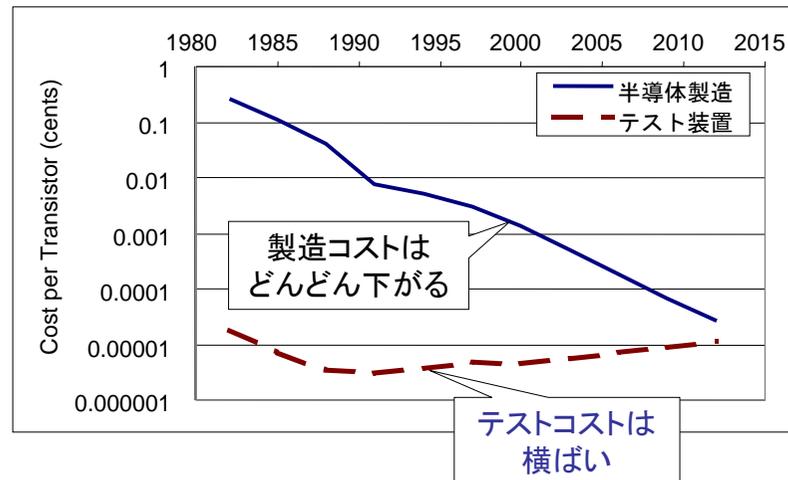
テストコストの要因

- ATE (Automated Test Equipment)コスト
 - テスタコスト(原価償却+工数)とテスト時間
- テスト設計開発コスト
 - 工数, EDAツール(テスト生成, DFT回路設計), etc.
- チップコスト
 - テスト用に付加した回路の面積



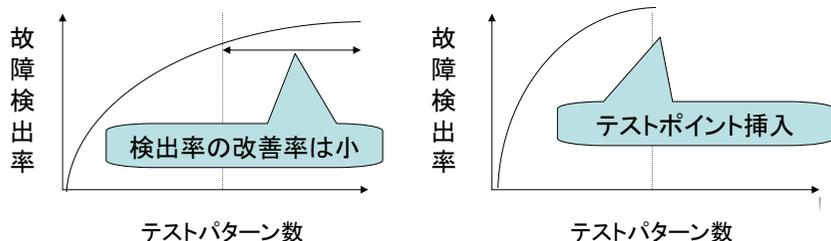
製造コストとテストコスト

(出典:ITRS)



14

テスト品質とテストコストの両立



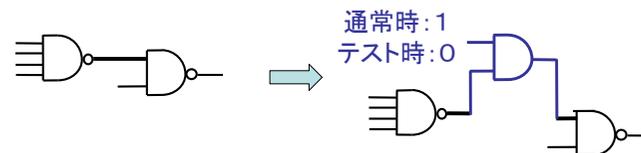
テストポイント: 回路内部の可観測点・可制御点

- テスト時間短縮 → テストコスト削減
- テスト品質向上 → 信頼性向上
- 診断容易化 → 開発期間の短縮

15

テストポイントの挿入

- 内部信号線の可制御性の向上
 - 論理ゲート付加による強制的な信号値の設定

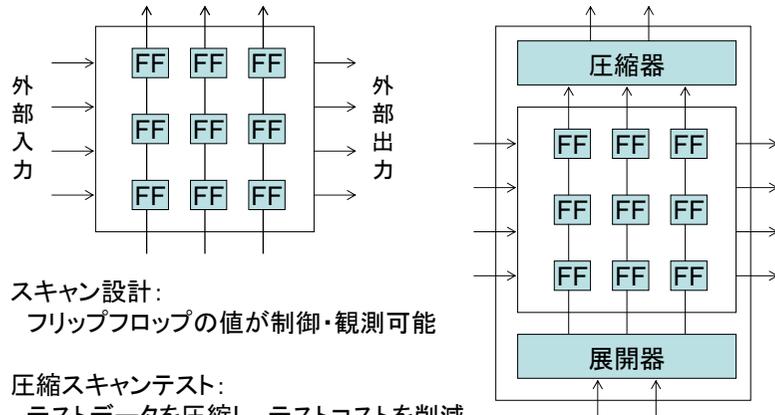


- 内部信号線の可観測性の向上
 - スキャンFFの付加による信号値観測



16

テスト容易化の例(スキャン設計)



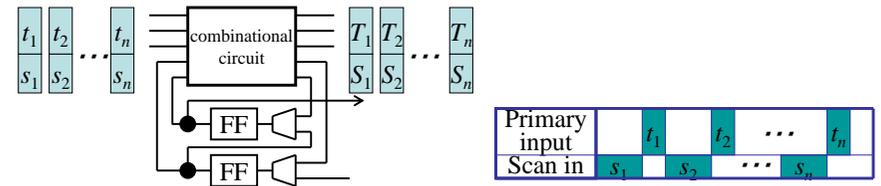
スキャン設計:
フリップフロップの値が制御・観測可能

圧縮スキャンテスト:
テストデータを圧縮し、テストコストを削減

17

スキャン順序回路のテストデータ量削減

- フルスキャン順序回路に対するテストコスト削減
 - テストデータ量削減:
LSI テスターの持つメモリの制約
 - テスト時間の削減:
 $\# \text{ of test vectors} \times \# \text{ of scan flip-flops}$



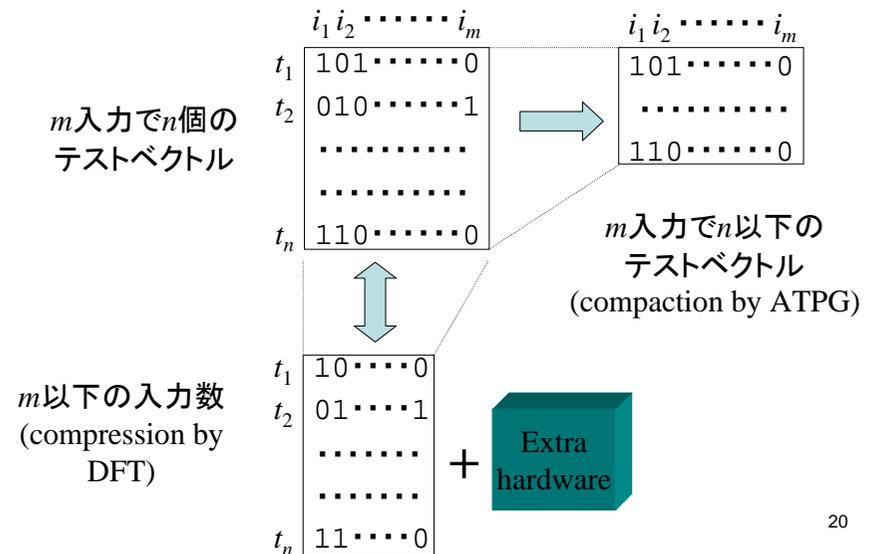
18

テストデータ量削減のアプローチ

- テストコンパクション (ATPG ベース)
 - 最大の故障検出率を持つテストパターンを、できるだけ少ないテストベクトル数で実現する。
- テストコンプレッション (DFT ベース)
 - テストパターン情報の一部をチップ上に(回路で)持たせて、LSIテスタからロードするテストデータ量を削減する。
 - 圧縮されたテストデータ(LSIテスタから印加されるデータ)は、チップ上の付加回路(decompressor)によって、もとのテストデータに復元する。

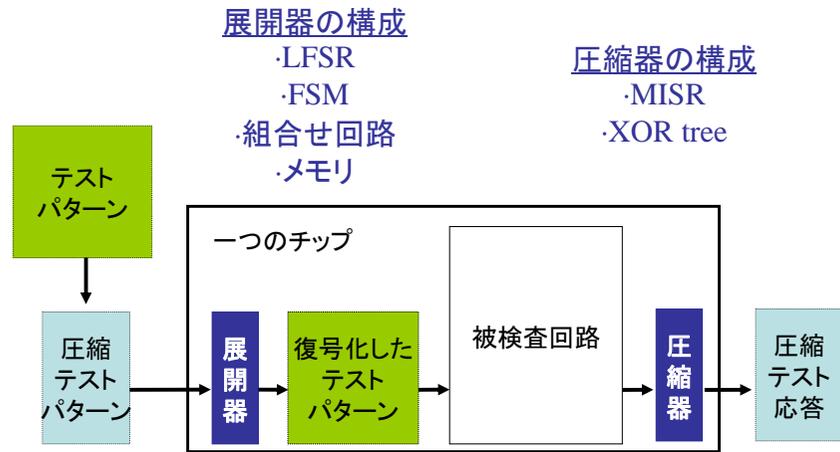
19

テストデータ圧縮



20

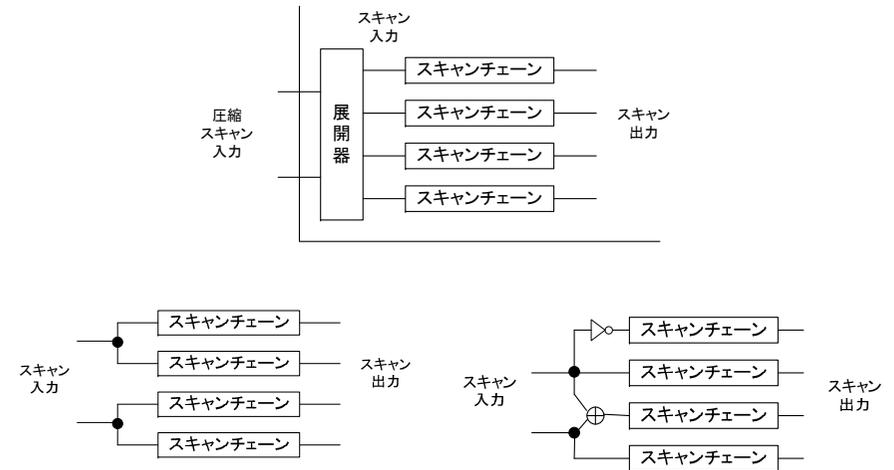
テストパターン情報のハードウェア化



テストコストは、2001年前後をピークに減少傾向

21

ブロードキャストスキャンによる展開器の例



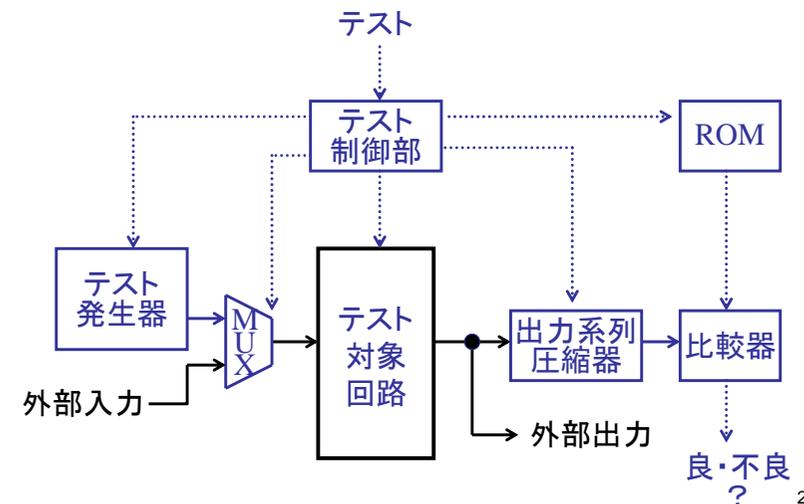
22

組込み自己検査 (BIST: Built-In Self Test)

- LSIテスタが持つべき機能をLSI内部に実現。
 - テスターコストを低減し、長いテストパターンを印加可。
 - 実速度でテスト可 (at-speed test)
- テスト発生器 (test pattern generator)
 - 入りに疑似ランダムパターンをハードウェアで発生。
- 出力判定部
 - 出力系列を圧縮し、正常値と比較する。(符号解析法: signature analysis)
 - 出力系列の圧縮で、見逃し(故障回路を正常と判定してしまう Aliasing)が生じる場合がある。

23

BIST の概念図



24

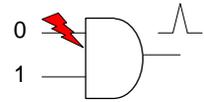
ディペンダブルVLSIに向けて

- 従来の考え方
 - 故障(permanent, temporary)による障害発生を防ぐ.
 - テスト品質とテストコストの両立
 - 設計, 検査エンジニアが考えるディペンダビリティ.
- テスト技術は, 企画, 運用, 廃棄におけるディペンダビリティを提供するか?
 - 運用時の障害 ... ソフトエラーへの対応, 経年変化の検知
 - テスト技術を悪用した情報漏洩 ... テスト・診断容易性に逆行
 - 良品チップの廃棄, 横流し ... 誤テスト, オーバーテストが正当化

25

ソフトウェアの影響

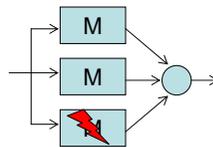
- 宇宙線, α 線, 中性子線の影響
 - 回路に欠陥はないが, 一時的に障害を発生する.
 - メモリ(SRAM): ビットの値の反転
 - フリップフロップ: 論理状態, クロック状態の変化
 - 組合せ回路: グリッチの発生
 - 影響を受けるシステム
 - 大規模システム: ハイエンドサーバー(大規模キャッシュ)
 - 高信頼製品: 自動車, 医療用機器など
 - 発生頻度の単位: 1 FIT = 1 failure / 10^9 dev. hour
 - 例) 1000 FIT とすると,
MTTF(Mean Time To Failure) = 114年
10⁶ 個の製品 1 failure/ hour
 - 例) 3000 FIT/Mbit とすると,
3M bit SRAM, 1000 samples, 1000 hours → 3 crashes



26

ソフトウェア対策

- 検出だけでなく, 訂正, 回復が必要.
 - メモリ: ECC (Error Correcting Code)
 - フリップフロップ: hardened flip-flop
 - 組合せ回路: 冗長設計(誤りのマスクや, 再計算)
 - TMR, DMR, Partial duplication(二線論理とコードチェック)等
 - チップ面積の増大 ... 信頼性とコストの両立
 - 再計算による性能劣化 ... 障害回復時間とコストの両立
- 設計とテストへの影響
 - ソフトエラー対策が必要なサブシステムはどれか認識
 - 各サブシステムで, ソフトエラー対策の要求仕様が必要
 - ソフトエラーによる障害確率の計算(使用環境を考慮したモデル)
 - ソフトエラーを低減する設計



27

LSIの劣化による誤動作

- 配線の劣化
 - エレクトロマイグレーション
 - ストレスマイグレーション
- トランジスタの劣化
 - NBTI(負バイアス温度不安定性)
 - HCI(ホットキャリア注入効果)
 - TDDDB(酸化膜経時破壊)
- 劣化の原因...温度, 電流密度など
- 現象...遅延の増加, リーク電流の増加など

突然の故障は, ユーザのディペンダビリティ低下

28

LSIの劣化による誤動作

現状のアプローチ(オンラインテスト)

～障害回復時間(MTTR: mean time to repair)の短縮～

1. フィールド状態で自己組み込みテスト(BIST)を実施
2. 故障LSIを特定可能、修理／交換部品がすぐ分かる
3. 故障を早期に見つけ、被害を最小限にする目的

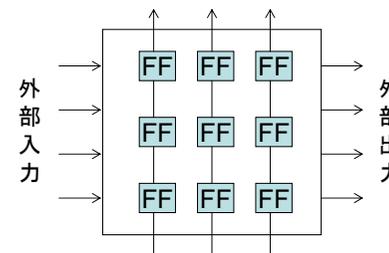
問題点:故障発生後では、被害をなくすことは難しい

29

テスト技術を悪用した情報漏洩の可能性

• スキャン設計

- 回路の内部状態の制御・観測
- 組合せ回路と同等
- スキャン機能を利用すると、回路解析が容易に。



リバース
エンジニアリング
設計の盗難

セキュリティチップ
暗号鍵の盗難

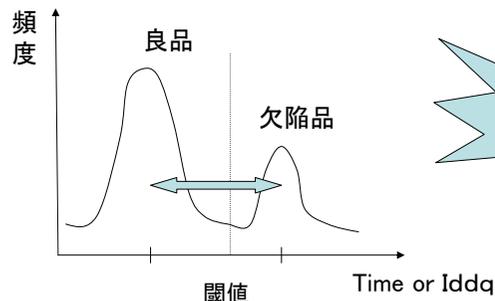
テストバリエーション向上は
企画・運用者の
ディペンダビリティ
低下も

30

良品チップの廃棄, 横流し

• 良品チップをテストで不良と判断 ... 歩留り低下

- 誤テストにより起こりうる。
- タイミング不良(テストタイミング, テスト対象パスの設定次第)
- Iddq不良(電流の閾値設定:バックグラウンド電流増加で良品と欠陥品の区別困難)



意図的な
不良判定も可能

31

良品チップの廃棄, 横流し

• スキャンテスト時の消費電力は, 通常動作時の数倍

- 通常動作では現れない状態遷移 → 信号値遷移数の増大。
- 過剰な消費電力による, IRドロップの発生や回路破壊。
- スキャンシフト時, キャプチャ動作時ともに起こりうる。
- 通常動作では使わないパターンでのテスト(テスト方法またはテストパターン)が問題。

意図的な
不良判定も可能

誤テストは, 製造者や顧客の
ディペンダビリティを低下

32

誤動作の原因と対処法

誤動作の原因	誤り・欠陥	欠陥	ばらつき (speed, power)	ソフトウェア
処理内容	repair	replace retire	adjust replace retire	retry
	解析／診断	製造テスト		オンラインテスト セルフテスト

自己テスト, 自己診断, 自己修復の技術が重要に

33

まとめ

- これまでのLSIテスト: テスト品質向上とテストコスト削減
 - 故障の見逃し率低減...故障モデルの設定, テスト手法の選択
 - テストデータ量・テスト時間の削減
- 運用時のディペンダビリティ向上に向けて
 - ソフトエラー対策
 - 経時変化による誤動作への対応
 - 設計情報の漏洩防止
 - 論理回路について, 自己テスト, 自己診断, 自己修復は可能か.
- 誤テスト・オーバーテストの回避
 - 歩留り低下, 悪意のあるテスト技術者の良品横流しを防止
- 製造ばらつきへの対応: スピード, パワーのばらつきに対応
- ディペンダビリティのコストの定量化とアプリケーションによるディペンダビリティのレベル選択

34