

論文審査結果の要旨

本論文は、大規模化、高集積化、高性能化により益々困難となっているVLSIのテストに関する種々の問題を、現在利用もしくは提案されている設計工程に合わせて解決するために必要なテスト容易化設計法およびテスト容易化高位合成に関する研究を行ったものである。本論文の主な成果は以下に要約される。

1. RTLデータパスのテスト容易性として強可検査性を導入し、与えられたRTLデータパスを強可検査とするテスト容易化設計法を提案した。この手法では、階層テスト生成時におけるテストプランの存在が保証されるためテスト生成時間の短縮が期待でき、かつスキャン機構を用いないテスト容易化設計法であるのでAt-Speedテスト実行が行えるという利点も有している。したがって大規模かつ高速なVLSIのテストに適応したテスト容易化設計手法であると考えられる。また提案する手法の有効性を数種のベンチマーク回路による実験によって評価した。ベンチマークの多くの回路において、従来手法の完全スキャンテスト容易化設計法より優れた結果が得られた。
2. 任意の高位合成系を用いて生成されるRTLデータパス上の演算器が強可検査性を満たすための条件を示した。

以上のように、本論文は大規模高性能なVLSI回路のテストの問題を解決すべく、レジスタ転送レベルでの新しいテスト容易性として強可検査性を導入し、従来手法のスキャン方式とは別の非スキャン方式に基づく新しいテスト容易化設計法を提案するとともに、レジスタ転送レベルより上流の高位合成において、強可検査性を満たす高位合成のための条件を明らかにし、従来手法の多くの問題点を解決している。これらはVLSIのテストの分野において、学術上、實際上寄与するところが少なくない。したがって、本論文は博士（工学）の学位論文として価値あるものと認める。