

論文内容の要旨

博士論文題目 Studies on Power Constrained Test Techniques for VLSI Circuits (VLSI回路の省電力テストに関する研究)

氏名 尤志強 (Zhiqiang YOU)

VLSIチップの集積度の向上により、低消費電力で動作するVLSI設計が重要視されている。VLSIテスト時の消費電力は、通常動作時の消費電力より高いことが知られており、そのため消費電力最小化や消費電力を制約とする低消費電力VLSIテストのための設計ならびにテストの手法の研究が重要となる。

本論文では、上述の問題を解決するために、VLSI設計の様々な段階でテスト実行時の消費電力を考慮することで、包括的な低消費電力テストを実現する手法を提案しそれらをまとめたものである。

第1章では、本研究の目的と意義および背景について述べており、本論文の概説を行っている。

第2章では、低消費電力を実現する従来法を概説している。

第3章では、レジスタ転送レベル回路に対する、組み込み自己テストのためのテスト容易化設計法に関し、テスト実行時の消費電力に関する制約の下で、テスト実行時間優先、ハードウェアオーバヘッド優先、テスト実行時間とハードウェアオーバヘッドの相互最適化といった3タイプの問題を定式化するとともに、各問題を解くテスト容易化設計手法を提案している。

第4章では、ゲートレベル回路に対して、スキャンフリップフロップを複数のスキャンチェーンに分割し、スキャンチェーンごとに活性化、非活性化を切り替える手法により、消費電力を抑えたテスト実行を実現する手法を提案している。

第5章では、以上の研究成果の結論を述べるとともに、今後の研究課題について議論している。

論文審査結果の要旨

本論文は、VLSI のテスト実行時に問題となる消費電力増加の問題を解決するための手法を提案している。本論文の主な成果は以下に要約される。

1. 提案法は、レジスタ転送レベル、ゲートレベルといった設計の様々な段階で消費電力を考慮することで、包括的に低消費電力テストを実現している。
2. レジスタ転送レベル回路に対しては、組み込み自己テストのためのテスト容易化設計法に対して、テスト実行時間、ハードウェアオーバーヘッド、消費電力をともに考慮する問題の定式化を行っている。
3. レジスタ転送レベル回路の組み込み自己テストに対して、テスト実行時の消費電力に関する制約の下で、テスト実行時間優先、ハードウェアオーバーヘッド優先、テスト実行時間とハードウェアオーバーヘッドの相互最適化といった3タイプのテスト容易化設計手法を提案している。
4. ゲートレベル回路に対して、スキャンフリップフロップを複数のスキャンチェーンに分割し、スキャンチェーンごとに活性化、非活性化を切り替える手法により、消費電力を抑えたテスト実行を実現する手法を提案している。
5. ゲートレベル回路に対する提案法では、すべてのスキャンフリップフロップを常に活性化させる従来法に比べ、故障検出率といったテスト品質を低下させることなく、大幅にテスト実行時の消費電力を減少させることができる。

以上のように、本論文はテスト時間、故障検出率といったテスト品質を考慮した低消費電力テストを実現するためのテスト手法を提案している。提案手法は、従来手法の多くの問題点を解決したものであり、VLSI のテストの分野において、学術上、實際上寄与するところが少なくない。したがって、本論文は博士（工学）の学位論文として価値あるものと認める。