

論文内容の要旨

博士論文題目 Studies on DFT for Reducing Its Area and Test Application Time of System-on-a-Chip (システムオンチップのテスト回路面積とテスト実行時間を低減するテスト容易化設計法に関する研究)

氏 名 宮崎 政英

システムオンチップ(System-on-a-Chip: SoC)は様々な機能のIPコアを搭載する。またそれぞれの機能に合わせたメモリが必要となるため、多種多様なメモリが混載される。製造技術の進歩とともに、SoCの機能も増大するため、ロジック部分の大規模化、メモリ面積・個数の増加が進行する。この傾向から、SoCのテストには以下の2つの問題がある。

SoCのロジック部分のテストに関しては、消費電力の制約により、全チップ一括でテストを行うことは困難になる。このため、組み込みコア毎にテストを行い、チップ全体の動作を保証する組み込みコアテスト方式が普及すると考えられる。このとき、各コアのテスト容易化設計手法(Design for Test: DFT)とテストスケジューリングが適切でないと、全体のテスト実行時間が増大してしまうという問題がある。

次に、メモリ部分のテストに関しては、多数の搭載メモリのテストを外部テストタから順番に実施するとテスト実行時間が非常に大きくなる。このため、LSI内部にテストパターンの発生と出力応答の良否判定を行う機構を設けた組み込み自己テスト方式(Built in Self Test: BIST)を用い、個々のメモリを同時にテストするのが一般的である。しかし、SoCは小規模なメモリを多数搭載するため、BIST回路の面積オーバーヘッドが大きくなるという問題がある。

本論文は、上述の問題を解決するために、全体のテスト実行時間が低減されるように各コアのDFTを決定する手法、及びメモリBIST回路を共有することで面積を低減する手法についてまとめたものである。

第1章では、本研究の背景と目的、及び研究成果について概要を述べている。

第2章では、初めに様々なコアに関してDFT種別のテスト実行時間、消費電力等のテストに関する情報を登録するデータベースと、これを含むSoCテストのフレームワークを提案している。更に、組み込みコアテスト方式を前提に、SoCのテスト実行時間最小化を目標としたDFT選択問題を定式化している。次に、この問題を解くために、各コアのDFT種を変更しテストスケジューリングを繰り返すことでDFT選択を最適化するアルゴリズムを提案している。提案手法について評価実験を行い、各コアのDFT種を最適化することで、単一のDFT種を採用した場合と比較してテスト実行時間を短縮する効果があることを示している。

第3章では、メモリBIST回路共有による面積最小化のためのメモリグループ化問題を定式化し、これを解くためのアルゴリズムを提案している。また、評価実験を行い、提案手法がメモリBIST回路の面積オーバーヘッドを低減する効果があることを確認している。

最後に第4章では、上記2つの研究の関係について言及するとともに、研究成果の結論を述べている。

論文審査結果の要旨

本論文は、システムオンチップの大規模化、高機能化に伴うテスト実行時間とテスト回路面積の増加の問題を解決するために必要なテスト容易化設計法に関する研究を行ったものである。本論文の主な成果は以下に要約される。

1. 組み込みコアテスト方式を前提に、テスト実行時間最小化を目標とした DFT 選択手法を提案した。提案法は、各コアの DFT 選択を変更して消費電力、TAM 幅の制約下のテストスケジュールを求め、テスト実行時間を評価する。これを繰り返すことで、全体のテスト実行時間が最小となるように DFT 選択を最適化する。評価実験では、各コアの DFT をそれぞれ複数の DFT から選択することによりボトルネックが解消され、単一の DFT を用いた場合と比較してテスト実行時間の短縮に効果があることを示している。
2. メモリ BIST 回路共有による面積最小化のためのメモリグループ決定手法を提案した。提案法では、BIST 回路共有のためのメモリの接続方法として直列接続と並列接続の 2 種を示し、面積低減効果の大きい直列接続を適用するグループを決定し、残りのメモリを対象に並列接続を適用するグループを決定する。また、それぞれのグループ決定において、消費電力とテスト実行時間の制約の下でテストスケジュールが存在することを解の条件として、消費電力とテスト実行時間の制約を満たすグループ化を行っている。評価実験により、2 つの接続方法を用いることで、単一の接続方法のみの場合よりも多くの面積低減効果が得られることを示している。

以上のように、本論文はシステムオンチップのテスト実行時間とテスト回路面積増加の問題を解決すべく、テスト実行時間最小化を目標とした DFT 選択手法、ならびに、メモリ BIST 回路共有による面積最小化のためのメモリグループ決定手法を提案している。提案手法は、制約条件下のテストスケジューリング手法を応用し、實際上重要な消費電力等の制約の下で問題を解決したものであり、VLSI のテストの分野において、学術上、實際上寄与するところが少なくない。したがって、本論文は博士（工学）の学位論文として価値あるものと認める。