論文内容の要旨

博士論文題目 Instruction-Based Self-Testing of Performance Oriented Faults in Modern Processors

氏名 Virendra Singh

高性能高機能なハイエンドプロセッサには実動作速度テストが不可欠となっている。スキャン設計には、高品質なテストを短いテスト生成時間で実現するが遅延およびハードウェア（面積）オーバヘッドを伴う、実動作速度テストが困難であるといった問題点がある。ハードウェアBIST（組み込み自己テスト）は実動作速度テストを可能にするが、面積オーバヘッドが大きい、回路の設計変更必要、過剰テスト、消費電力などが問題となっている。

一方、ソフトウェアBISTと呼ばれるプロセッサの命令レベル自己テストは、実動作速度テスト可能なテスト手法として注目されており、プロセッサが命令列であるテストプログラムを実行することにより自己テストを行う方法である。テスト容易化設計を必要としないため、遅延オーバヘッドや面積オーバヘッドを伴わず、過剰な消費電力も必要としない。

本論文では、非パイプラインプロセッサ、パイプラインプロセッサ、スーパースカラプロセッサを各々対象に、パス遅延故障をテストする命令レベル自己テストプログラム自動生成法を提案している。提案手法では、対象故障を含む部分回路に対するゲートレベルテスト生成と、レジスタ転送レベル記述や命令セットアーキテクチャといった高位情報を利用する命令列選択を組合せて、テストプログラムを合成する。本論文は、以下の七つの章で構成される。

第1章では、本研究の目的と意義および背景について述べており、本論文の概説を行っている。

第2章では、故障モデルとマイクロプロセッサのテストの基本的な事項について説明している。

第3章では、命令レベル自己テスト法についてその概念、手法について詳細に説明している。

第4章では、非パイプラインプロセッサを対象に、パス遅延故障をテストする命令レベル自己テスト法について詳述している。具体的には、命令実行グラフの導入、制約の抽出法、制約付き組合せテスト生成法、2パターンテストの命令レベル正当化命令列および観測命令列の生成法を述べ、DLXプロセッサ等による実験結果を示し、提案手法の有効性を示している。

第5章では、パイプラインプロセッサを対象に、パス遅延故障をテストする命令レベル自己テストプログラム生成法を述べ、評価実験結果を示している。

第6章では、スーパースカラプロセッサを対象に、パス遅延故障をテストする命令レベル自己テスト法を述べ、評価実験を示している。

最後に第7章では、以上の研究成果の結論を述べるとともに、今後の研究課題について議論している。

論文審査結果の要旨

本論文は、高性能高機能なハイエンドプロセッサに対して、遅延オーバヘッドや面積オーバヘッドなしに、しかも歩留まりを低下させる過剰テストを行わずに、縮退故障のみならず遅延故障をもテストする高品質のテストを可能とする命令レベル自己テストプログラム生成法に関する研究を行ったものである。本論文の主な成果は以下に要約される。

1. 提案法は、命令セットアーキテクチャ、プロセッサのレジスタ転送レベル記述といった高位情報を利用して効率よく自己テストのためのテストプログラムを生成することができる。
2. 提案法は、故障モデルに関わらず、レジスタ間のデータ転送と命令の関係を表す命令実行グラフ (Instruction Execution Graph, IE グラフ) を利用する効率のよい探索を行うことができる。パイプラインプロセッサやスーパースカラプロセッサに対しては、それぞれ PIE グラフ、SIE グラフと IE グラフを拡張している。
3. 提案法は、IE グラフ (PIE, SIE グラフ) から始めてすべてシステマティックな方法であり自動化が可能である。
4. 実験結果では、いずれのタイプのプロセッサに対しても 100% の高い故障検出効率を達成している。
5. パイプラインプロセッサやスーパースカラプロセッサを対象とした命令レベル自己テストプログラム生成法の研究はこれまでになく、本論文が最初の研究で、その有効性のみならず新規性にも優れている。

以上のように、本論文は高性能高機能なハイエンドプロセッサに対する高品質テストの課題を解決する新しい命令レベル自己テスト法を提案している。提案手法は、従来手法の多くの問題点を解決したものであり、VLSI のテストの分野において、学術上、実際上寄与するところが少なくない。したがって、本論文は博士 (工学) の学位論文として価値あるものと認める。