

論文内容の要旨

博士論文題目

選択エピタキシャル成長技術とその MOS デバイスへの応用に関する研究

氏 名 中畑 匠

加速的な発展を遂げた大規模集積回路 (LSI) に様々な物理的限界が見え始めている。さらなる高集積化・高性能化が図れるか否かは、トランジスタ (MOSFET) の特性向上と微細化とが両立できるかどうかにかかっている。将来、有望な技術の一つとして、ソース・ドレイン部分を持ち上げるエレベイテッドソース・ドレイン構造が注目されている。本論文では、超高真空 CVD 技術を用いたシリコン選択エピタキシャル成長法によるエレベイテッドソース・ドレイン構造 MOSFET を研究した。

本論文の構成は5章からなる。第1章では、序論として、今後の LSI 微細化における問題点と、解決策であるエレベイテッドソース・ドレイン構造 MOSFET の研究課題を述べている。

第2章では、まず、ソース・ドレイン部分に選択的にエピタキシャル・シリコン (SEG-Si) を成長させるために用いた超高真空 CVD 装置について説明し、この装置で材料ガスにジシラン (Si_2H_6) のみを用いた場合、シリコン酸化膜 (SiO_2)、シリコン窒化膜 (Si_3N_4) と Si (100) 基板にどのような成長が起きるかを述べている。 SiO_2 膜、 Si_3N_4 膜は MOSFET のサイドウォールや素子間分離に用いられる材料である。つぎに、SEG-Si 端部のファセット形状の成長条件依存性を調べ、その形成メカニズムを提唱している。また、 Si_2H_6 ガスに塩素 (Cl_2) ガスを添加することにより選択性の向上を図り、その際の SEG-Si 形状について述べている。

第3章では、実際の MOSFET のソース・ドレイン構造について、ドライエッチングおよび後処理が SEG-Si 成長に及ぼす影響 (選択性、表面モホロジーなど) を調べ、表面モホロジー形成メカニズムを考察している。つぎに、 Si_3N_4 サイドウォール形成ドライエッチングおよび SEG-Si 成長条件の最適化を図り、CMOS (Complementary MOSFET) 上の異なるタイプ (n/p 型) のソース・ドレイン部分へ、同時に同様な膜厚および高い平坦性を有する SEG-Si 層を成長できることを説明している。

第4章では、実際の MOSFET をエレベイテッドソース・ドレイン構造化することにより電気特性の改善 (電流駆動能力の向上、リーク電流の低減など) を図り、有効性を実証している。さらに、ソース・ドレイン以外の応用として SEG-Si をコンタクトホール底に成長することにより、素子分離耐圧の向上を図り新しい SEG-Si の応用を提唱している。

最後に、第5章で、本研究を総括し、今後の展望を述べている。

論文審査結果の要旨

氏 名	中畑 匠
-----	------

加速的な発展を遂げた大規模集積回路 (LSI) に様々な物理的限界が見え始めている。さらなる高集積化・高性能化が図れるか否かは、トランジスタ (MOSFET) の特性向上と微細化とが両立できるかどうかにかかっている。将来、有望な技術の一つとして、ソース・ドレイン部分を持ち上げるエレベイテッドソース・ドレイン構造が注目されている。本論文では、このような背景を踏まえて、超高真空 CVD 技術を用い、選択的にエピタキシャルシリコン (SEG-Si) を成長することによるエレベイテッドソース・ドレイン構造 MOSFET について研究し、以下の成果を挙げている。

- (1) SEG-Si 端部形状のプロセス条件依存性に関して、SEG-Si 端部形状は、(100) 面の成長モード (供給律速領域および表面反応律速領域) に依存すると説明している。さらに、材料ガスである Si_2H_6 流量および成長温度を制御し供給律速領域と表面反応律速領域の中間付近に設定することにより、SEG-Si 端部形状を平坦化できることを見出している。
- (2) ソース・ドレイン上に SEG-Si を成長する際の表面依存性に関して、実際のソース・ドレインが経る工程を想定し、ドライエッチングを施すと Si (100) 基板表面上に、サブオキサイド (SiO_x ($x < 2$)) を主成分とする非晶質層が生じて、SEG-Si 層の成長を阻害する原因になることを説明している。ドライエッチング後に CDE (Chemical Dry Etching) 処理を加えることにより非晶質層は除去され、成長前の真空中予備加熱時に 850°C 以上の高温処理が必要であったのが、比較的低温の 650°C の予備加熱でも SEG-Si 層の成長が可能になることを見出している。
- (3) CMOS (Complementary MOSFET) のエレベイテッドソース・ドレイン構造化に関して、シリコン窒化膜のサイドウォール形成エッチングおよび選択エピタキシャル成長プロセス条件の最適化を図ることにより、異なるタイプ (n/p 型) のソース・ドレイン上に、均一な膜厚と高い平坦性を有する SEG-Si 層を成長できることを見出している。さらに、CMOS の電気特性が向上することを実証している。
- (4) コンタクトホールへの選択エピタキシャル成長技術の適用に関して、コンタクトホール底に SEG-Si 層を成長させることにより、素子分離領域の耐圧を向上できることを見出している。

以上のように本論文は、超高真空 CVD 技術を用いた選択エピタキシャル成長法の MOSFET への応用に関して、実際の MOSFET 上で起こる現象を解明し、最適な SEG-Si 層の成長を可能にすることにより、選択エピタキシャル成長法の有効性を実証している。これらの成果は、学術上および実用上の貢献が大である。よって、審査員一同は本論文が博士 (工学) の学位論文として価値のあるものと認めた。