

論文内容の要旨

博士論文題目 階層BISTのためのテスト容易化設計に関する研究

氏 名 山口 賢一

近年の半導体産業の進歩により、VLSIの大規模化、高集積化、高性能化が進み、VLSIのテストの費用が増大している。さらに、回路速度の高速化に伴い、テストの際に実際の回路の動作速度でテストを行なう実動作速度テストが重要になってきている。テストの費用の削減およびテストの質の向上を達成するために、テスト系列生成と応答解析をVLSI上で行なう組込み自己テスト法(Built In Self Test, BIST)が提案されている。しかし、これまでに提案されているBIST方式では、ハードウェアオーバーヘッドが大きい、高い故障検出率を達成しにくいなど、実用上問題が残る。

本論文ではこれらの問題点を解消するために、レジスタ転送レベルのデータパスに対して単一制御並行可検査性および時分割単一制御並行可検査性なるテスト容易性を提案し、これらの可検査性に基づく組込み自己テスト方式を提案している。これらの方式はゲートレベルとレジスタ転送レベルの2階層を利用したBIST方式であり階層BIST方式と考えることができる。提案手法では、高い故障検出率、短いテスト実行時間を小さいハードウェアオーバーヘッドで達成できることが示されている。さらに、組込みテストである故、実動作速度でテスト可能であるという長所がある。

本論文は、レジスタ転送レベル回路を対象に、データパスの単一制御並行可検査性および時分割単一制御並行可検査性なるテスト容易性を提案し、それらテスト容易性に基づく階層BIST方式のテストアーキテクチャ設計法、ならびにコントローラを含めたレジスタ転送レベル全体のBIST方式の研究をまとめたものであり、序論及び結論を含め六つの章から成る。

第1章では、本研究の目的と意義および背景について述べ、本論文の概説を行っている。

第2章では、組込み自己テストの手法について概説している。

第3章では、本研究で提案した種々の可検査性の諸定義を述べている。

第4章では、単一制御並行可検査性を実現するためのテスト容易化設計法を提案し、その有効性を実験を通して評価している。

第5章では、時分割単一制御並行可検査性を実現するためのテスト容易化設計法を提案し、その有効性を実験により評価している。

最後に第6章で、以上の研究成果の結論を述べるとともに、今後の研究課題について述べている。

論 文 審 査 結 果 の 要 旨

本論文は、大規模化、高集積化、高性能化により益々困難となっているVLSIのテストに関する種々の問題を解決するために、階層BIST（組込み自己テスト）方式に基づく実動作速度でのテストが可能なテスト容易化設計法に関する研究を行ったものである。本論文の主な成果は以下に要約される。

1. レジスタ転送レベルデータパスのテスト容易性として単一制御並行可検査性を導入し、与えられたデータパスを単一制御並行可検査とするテスト容易化設計法を提案した。この手法では、従来手法に比べて大幅にハードウェアオーバーヘッドを削減することができ、テスト実行時間も短縮することができる。提案する手法の有効性を数種のベンチマーク回路による実験によって評価した。ベンチマークの多くの回路において、従来手法より優れた結果が得られた。
2. 上記の提案手法をさらに改善するために、時分割単一制御並行可検査性なる新しいテスト容易性を導入し、与えられたデータパスを時分割単一制御並行可検査にするテスト容易化設計法を提案した。この手法では、制御経路や観測経路の条件を緩和することで故障検出率を低下させることなくハードウェアをさらに削減することができ、さらにテスト実行時間を考慮したテストスケジューリングを行うことによりテスト実行時間の削減も可能であることが示された。
3. データパスが単一制御並行可検査および時分割単一制御並行可検査な場合に、コントローラを含むレジスタ転送レベル回路全体に対して、それらの可検査性に基づく組込み自己テスト方式を実現するためのアーキテクチャを提案した。

以上のように、本論文は大規模高性能なVLSI回路のテストの問題を解決すべく、新しい階層BIST方式を提案している。提案手法は、従来手法の多くの問題点を解決しており、VLSI のテストの分野において、学術上、實際上寄与するところが少なくない。したがって、本論文は博士（工学）の学位論文として価値あるものと認める。