

## 論文内容の要旨

博士論文題目 Studies on Hierarchical Two-Pattern Testability of  
Controller-Data Path Circuits

氏名 Md. Altaf-Ul-Amin

近年、VLSI回路の動作速度の高速化に伴い、遅延故障をテストする重要性が高まっている。VLSI回路の遅延故障をテストするには、2つのテストパターンを連続したクロックサイクルで印可・観測する2パターンテストを行う必要がある。2パターンテストを可能とするテスト容易化設計法としては、拡張スキャン設計法があるが、ハードウェアオーバーヘッドが大きく、テスト実行時間が長いといった問題がある。

一方、縮退故障に対するテスト容易化設計法の一つに、レジスタ転送レベルにおける階層テスト容易化設計法がある。その方式では、階層テストを行うことにより、完全スキャン設計と比べてテスト生成時間、テスト実行時間が短くでき、スキャンパスの代わりに既存のデータ転送経路を用いることにより、ハードウェアオーバーヘッドを削減するのに成功している。

本論文では、縮退故障を対象とした階層テストの概念を遅延故障を対象とした2パターンテストに応用し、レジスタ転送レベルデータパスに対して、新しいテスト容易性として階層2パターン可検査性を導入している。まずデータパスが階層2パターン可検査であるための必要十分条件を示し、与えられたデータパスを階層2パターン可検査にするテスト容易化設計法を提案している。提案手法は、従来の拡張スキャン設計法に比べ、ハードウェアオーバーヘッドが小さい、テスト実行時間が短い、同等以上の故障検出率を達成できる、等の利点がある。

本論文は、このように遅延故障を対象にレジスタ転送レベルでのテスト容易性として階層2パターン可検査性を提案し、与えられたデータパスを階層2パターン可検査にするテスト容易化設計法について行った研究をまとめたものであり、序論及び結論を含め五つの章から成る。

第1章では、本研究の目的と意義および背景について述べ、本論文の概説を行っている。

第2章では、遅延故障とそのテストの概説、および階層2パターン可検査性の導入を行っている。

第3章では、データパスに対して、階層2パターン可検査性の必要十分条件、階層2パターン可検査にするためのテスト容易化設計法が述べられている。その有効性を実験を通して評価している。

第4章では、コントローラを含めたレジスタ転送レベル回路全体に対して、回路を階層2パターン可検査にするためのテスト容易化設計法が述べられている。その有効性を実験を通して評価している。

最後に第5章で、以上の研究成果の結論を述べるとともに、今後の研究課題について述べている。

## 論文審査結果の要旨

本論文は、大規模化、高集積化、高性能化により益々困難となっているVLSIの遅延故障のテストに関する種々の問題を解決するために、レジスタ転送レベルでの遅延故障テスト容易化設計法に関する研究を行ったものである。本論文の主な成果は以下に要約される。

1. レジスタ転送レベルデータパスに対して、遅延故障のテスト容易性として階層2パターン可検査性なる概念を導入し、データパスが階層2パターン可検査であるための必要十分条件を示し、与えられたデータパスを階層2パターン可検査とするテスト容易化設計法を提案した。この手法では、従来手法の拡張スキャン設計法に比べて大幅にハードウェアオーバーヘッドを削減することができ、テスト実行時間も短縮することができる。提案する手法の有効性を数種のベンチマーク回路による実験によって評価した結果、拡張スキャン設計法より優れた結果が得られている。
2. コントローラを含めたレジスタ転送レベル回路全体に対して、回路を階層2パターン可検査にするためのテスト容易化設計法を提案した。実験により、拡張スキャン設計法より優れた結果が得られている。

以上のように、本論文は大規模高性能なVLSI回路の遅延故障のテストの問題を解決すべく、新しい階層2パターン可検査法を提案している。提案手法は、従来手法の多くの問題点を解決しており、VLSIのテストの分野において、学術上、實際上寄与するところが少なくない。したがって、本論文は博士（工学）の学位論文として価値あるものと認める。