

# 論文内容の要旨

申請者氏名      DUONG THI SANG

The increasing demand for energy-efficient and high-performance computing in modern applications, such as secure IoT and medical image processing, necessitates the development of advanced hardware accelerators. This dissertation focuses on designing and implementing novel solutions to address critical challenges in these domains, including computational inefficiency, high energy consumption, and limited scalability of traditional architectures. Modern domains such as IoT, blockchain, and secure computing face critical challenges in hardware design, including high energy consumption, limited scalability, inefficient processing, and lack of flexibility to support diverse applications. Therefore, this research proposes a coarse-grained reconfigurable array (CGRA)-based cryptographic accelerator to provide high performance, energy efficiency, and flexibility. To achieve these goals, our cryptographic accelerator incorporates several ideas, such as a reconfigurable  $4 \times 8$  processing element array (PEA), a low-cost configurable arithmetic-logic unit (LC-ALU), and a massive message processing mechanism. Validated on FPGA and ASIC platforms, the proposed accelerator achieves up to  $26.4 \times$  higher throughput,  $59 \times$  better area efficiency, and  $84 \times$  improved energy-delay product (EDP) compared to state-of-the-art designs. The extended version of the accelerator employs a  $4 \times 4$  heterogeneous processing element array (HPEA) and a hybrid arithmetic logic unit (HALU) to enhance parallelism and reduce resource usage. The design achieves up to  $54.89 \times$  higher throughput for AES and  $5.31 \times$  for Ascon, while reducing FPGA logic utilization by 33.6%, offering a balance of performance and area efficiency. The growing need for energy-efficient medical image processing has exposed the limitations of traditional GPU-based solutions, especially in mobile or remote settings where power and computational efficiency are critical. While 2D and 3D convolutional neural networks (CNNs), such as U-Net, excel in medical image segmentation, their high computational and memory demands pose challenges for conventional hardware due to performance bottlenecks and high energy consumption. To overcome these limitations, we introduce the Interposed Memory Accelerator eXtension series 3 (IMAX3), a chiplet-based, non-von Neumann architecture featuring a coarse-grained linear accelerator (CGLA). IMAX3 efficiently supports 2D and 3D U-Net models, leveraging advanced data preloading and double-buffered cache memory to minimize redundant memory access and inter-chip communication. Fabricated on 28 nm technology, IMAX3 occupies only  $12.5 \text{ mm}^2$ , consumes 2.61-2.67 W, and achieves superior energy efficiency and performance compared to GPGPUs, ASICs, CGRAs, and FPGAs. For 2D U-Net, IMAX3 delivers 18.68 GOPs/W, outperforming FPGA-based designs by  $1.68 \times$  -  $5.6 \times$  and reducing energy usage by  $1.8 \times$ . For ICA U-Net (3D U-Net), it offers  $1.47 \times$  -  $3.56 \times$  higher energy efficiency than ASICs and CGRAs. These results establish IMAX3 as a scalable, energy-efficient solution for next-generation medical image processing.

# 論文審査結果の要旨

申請者氏名      DUONG THI SANG

セキュアIoTや医療画像処理などの最新アプリケーションにおいてエネルギー効率の高いコンピューティングの需要が高まっている。本論文は、計算の非効率性、高エネルギー消費、従来型アーキテクチャのスケラビリティの制限など、重要な課題に対処する新しいソリューションの設計と実装に焦点を当て、粗粒度再構成可能アレイ (CGRA) ベースのアクセラレータを提案している。第1に、提案する暗号化アクセラレータには、再構成可能な $4 \times 8$ 処理要素アレイ、低コストの構成可能算術論理ユニット (LC-ALU)、大規模メッセージ処理メカニズムなどのアイデアが組み込まれている。FPGA および ASIC プラットフォームで検証された本アクセラレータは、最先端の設計と比較して、最大26.4倍のスループット、59倍の面積効率、84倍のエネルギー遅延積(EDP)の向上を実現した。アクセラレータの拡張版では、 $4 \times 4$ ヘテロジニアスプロセッシングエレメントアレイとハイブリッド算術論理ユニットを採用し、並列処理を強化してリソース使用量を削減した。本設計では、AESで最大54.89 倍、Asconで最大5.31 倍のスループットを実現するとともに、FPGAロジックの使用率を33.6% 削減し、パフォーマンスと面積効率のバランスを実現した。第2に、エネルギー効率の高い医療用画像処理のニーズに対し、粗粒度線形アクセラレータ(CGLA)を備えたチップレットベースの非フォンノイマンアーキテクチャである Interposed Memory Accelerator eXtension シリーズ(IMAX3)を提案している。IMAX3 は、高度なデータブロードとダブルバッファキャッシュメモリを活用して冗長なメモリアクセスとチップ間通信を最小限に抑え、2Dおよび3D U-Netモデルを効率的にサポートしている。28nmテクノロジー仮定のIMAX3は、わずか12.5mm<sup>2</sup>の面積しか占有せず、2.61~2.67Wの消費電力で、GPGPU、ASIC、CGRA、FPGA と比較して優れたエネルギー効率とパフォーマンスを実現している。2D U-Netの場合、IMAX3は18.68GOP/Wを実現し、FPGA ベースの設計よりも1.68~5.6倍優れたパフォーマンスを発揮し、エネルギー使用量を1.8 倍削減した。ICA U-Net(3D U-Net)の場合、ASICやCGRAよりも1.47~3.56 倍高いエネルギー効率を実現した。以上、本論文は学術上、実際に寄与するところが少なくない。よって、本論文は博士(工学)の学位論文として価値あるものと認める。