

様 式 C - 7 - 1

令和元年度科学研究費助成事業（科学研究費補助金）実績報告書（研究実績報告書）

所属研究機関名称		奈良先端科学技術大学院大学	機関番号	1 4 6 0 3
研究 代表者	部局	先端科学技術研究科		
	職	教授		
	氏名	中島 康彦		

1．研究種目名

基盤研究(A)(一般)

2．課題番号

17H00730

3．研究課題名

エッジコンピューティングを牽引するニアメモリ高効率計算基盤

4．研究期間

平成29年度～令和2年度

5．領域番号・区分

-

6．研究実績の概要

3年度は、【7】スケーラビリティのあるAXIスレーブカスケーディング型CGRAアクセラレータのFPGA実装および性能評価を行った。HOSTにARMv8を搭載するXILINX製ZCU102、アクセラレータにXILINX製VU440を搭載するS2C製Prodigy Logic Moduleを複数使用し、様々なアプリケーションを搭載した。評価の結果、アクセラレータのローカルメモリに収容できないサイズのデータを扱うプログラムでも、高性能を発揮できることを実証した。ただし、多数チップをカスケーディング接続する場合、AXI-READが性能ボトルネックとなることがわかった。そして、AXIトランザクションをそのまま複数チップに送るのではなく、途中で1つのトランザクションに束ねてオーバーヘッドを削減する手法が極めて有効であることがわかった。【8】認識の確信度も表現可能な変分ベイズ推定手法の実装と評価の結果、従来の実装ではGPUによる高速化が困難であった問題を解決でき、CPUに比べて数百倍の高性能化を達成できることがわかった。また、指数関数の総和を求める部分が全体のボトルネックとなることもわかった。【9】よりハードウェアを小型化可能なストカスティック近似計算手法の実装と評価の結果、従来のデジタル方式に比べて、許容可能な精度劣化と引き換えに、大幅なハードウェアおよび消費電力の削減が可能であることがわかった。

7．キーワード

CGRA カスケーディング AXIパス 変分ベイズ ストカスティック計算

8．現在までの進捗状況

区分

(1)当初の計画以上に進展している。

理由

当初計画【1】～【3】が順調に推移したため、昨年の【4】～【6】に引き続き、【7】～【9】の多くの発展的研究に取り組んで成果を出している。

4 版

9. 今後の研究の推進方策

最終年度は、【10】ASIC化の課題であるCGRAチップ間インタフェースのFPGA非依存設計と高速化；【11】VBGMM法のCGRA化；【12】ストカスティック近似計算手法のCGRAへの統合に取り組む。

10. 研究発表（令和元年度の研究成果）

〔雑誌論文〕 計9件（うち査読付論文 9件 / うち国際共著論文 0件 / うちオープンアクセス 0件）

1. 著者名 IWAMOTO Jun, KIKUTANI Yuma, ZHANG Renyuan, NAKASHIMA Yasuhiko	4. 巻 E103.D
2. 論文標題 Daisy-Chained Systolic Array and Reconfigurable Memory Space for Narrow Memory Bandwidth	5. 発行年 2020年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 578 ~ 589
掲載論文のDOI（デジタルオブジェクト識別子） 10.1587/transinf.2019EDP7144	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Nishimoto Hiroki, Nakada Takashi, Nakashima Yasuhiko	4. 巻 CANDAR'19
2. 論文標題 GPGPU Implementation of Variational Bayesian Gaussian Mixture Models	5. 発行年 2019年
3. 雑誌名 CANDAR'19, REGULAR PAPER	6. 最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/CANDAR.2019.00031	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Nguyen Van Tinh, Erlina Tati, Zhang Renyuan, Nakashima Yasuhiko	4. 巻 CSA2020
2. 論文標題 A Programmable Approximate Calculation Unit Employing Time-Encoded Stochastic Computing Elements	5. 発行年 2019年
3. 雑誌名 Proc. 7'th Int'l Workshop on Computer Systems and Architectures(CSA19)	6. 最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/CANDARW.2019.00024	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Iwamoto Jun、Zhang Renyuan、Nakashima Yasuhiko	4. 巻 CSA2020
2. 論文標題 Evaluation of a Chained Systolic Array with High-Speed Links	5. 発行年 2019年
3. 雑誌名 Proc. 7'th Int'l Workshop on Computer Systems and Architectures(CSA19)	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/CANDARW.2019.00021	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Zhang Renyuan、Chen Yan、Nakada Takashi、Nakashima Yasuhiko	4. 巻 SOCC2020
2. 論文標題 DiaNet: An Efficient Multi-Grained Re-configurable Neural Network in Silicon	5. 発行年 2019年
3. 雑誌名 IEEE International System-on-Chip Conf.(SOCC)	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/SOCC46988.2019.1570548015	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 ZHANG Renyuan、NAKADA Takashi、NAKASHIMA Yasuhiko	4. 巻 E102.A
2. 論文標題 Programmable Analog Calculation Unit with Two-Stage Architecture: A Solution of Efficient Vector-Computation	5. 発行年 2019年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 878 ~ 885
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.E102.A.878	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 一倉 孝宏、菊谷 雄真、中島 康彦	4. 巻 J102-D
2. 論文標題 DSA並みの効率を達成するCNNs拡張機能付きCGRAの提案と評価	5. 発行年 2019年
3. 雑誌名 電子情報通信学会論文誌D 情報・システム	6. 最初と最後の頁 477 ~ 490
掲載論文のDOI (デジタルオブジェクト識別子) 10.14923/transinfj.2018JDP7061	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

4 版

1. 著者名 CHEN Yan、ZHANG Jing、XU Yuebing、ZHANG Yingjie、ZHANG Renyuan、NAKASHIMA Yasuhiko	4. 巻 E102.C
2. 論文標題 A ReRAM-Based Row-Column-Oriented Memory Architecture for Convolutional Neural Networks	5. 発行年 2019年
3. 雑誌名 IEICE Transactions on Electronics	6. 最初と最後の頁 580 ~ 584
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transele.2018CTS0001	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Erlina Tati、Chen Yan、Zhang Renyuan、Nakashima Yasuhiko	4. 巻 GLSVLSI2019
2. 論文標題 An Efficient Time-based Stochastic Computing Circuitry Employing Neuron-MOS	5. 発行年 2019年
3. 雑誌名 GLSVLSI2019	6. 最初と最後の頁 51-56
掲載論文のDOI (デジタルオブジェクト識別子) 10.1145/3299874.3317985	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計5件 (うち招待講演 0件 / うち国際学会 0件)

1. 発表者名 中島康彦
2. 発表標題 動画認識フロントエンドを想定した特徴抽出専用ハードウェアの構想
3. 学会等名 信学技報, vol.119, no.372, CPSY2019-75, pp.147-150
4. 発表年 2020年

1. 発表者名 新谷隆太、中田尚、中島康彦
2. 発表標題 分散CNNにおける通信効率化のための圧縮技術の比較検討
3. 学会等名 信学技報, vol.119, no.147, CPSY2019-36
4. 発表年 2020年

1. 発表者名 本田卓, 岩本淳, 中島康彦
2. 発表標題 リニアアレイによる逆行列計算の高速化手法と評価
3. 学会等名 情報処理学会研究報告, Vol.2019-ARC-237, No.15
4. 発表年 2020年

1. 発表者名 中島康彦
2. 発表標題 CGLAにおける高速コンパイルとチューニングのためのアーキテクチャ支援
3. 学会等名 信学技報, vol.119, no.76, CPSY2019-9, pp.71-76
4. 発表年 2020年

1. 発表者名 西本宏樹, 中田尚, 中島康彦
2. 発表標題 GPGPUを用いた変分混合ガウスモデルのパラメータ推定高速化
3. 学会等名 信学技報, vol.119, no.76, CPSY2019-1, pp.1-5
4. 発表年 2020年

〔図書〕 計0件

1 1. 研究成果による産業財産権の出願・取得状況

〔出願〕 計2件

産業財産権の名称 データ処理装置（高効率アクセラレータ構成方法）	発明者 中島康彦	権利者 同左
産業財産権の種類、番号 特許、特願2019-517698	出願年 2019年	国内・外国の別 国内
産業財産権の名称 データ処理装置（NCHIP制御方法）	発明者 中島康彦	権利者 同左
産業財産権の種類、番号 特許、特願2019-121853	出願年 2019年	国内・外国の別 国内

4 版

〔取得〕 計1件

産業財産権の名称 Data processing Device	発明者 Yasuhiko Nakashima	権利者 同左
産業財産権の種類、番号 特許、US Patent 10,275,392	取得年 2019年	国内・外国の別 外国

1 2 . 科研費を使用して開催した国際研究集会

計0件

1 3 . 本研究に関連して実施した国際共同研究の実施状況

-

1 4 . 備考

NAIST Computing Architecture Lab.
<http://arch.naist.jp>