

論文内容の要旨

博士論文題目

Multi-Domain Stochastic Computing (MDSC) Circuits with Low Energy and High Speed

(高速低電力マルチドメイン・ストカスティック演算 (MDSC) 回路)

氏 名 Tati Erlina

This dissertation presents a three-stage attempt to develop a multi-domain stochastic computing (MDSC) circuit exploiting analog and stochastic domains concurrently. Firstly, focusing on reducing complexity, we design a totally different and way simpler SNG than the original TBSC circuit by utilizing neuron-MOS technology. In the second stage, we revise the simplified circuit and devote the concern to improve the number representation and operation accuracy. For the convenience and validity of data collection, we also design a duty-cycle detector. Finally, extending the circuit further establishes an MDSC circuit that facilitates number representations in the form of pulse-strength (analog) and pulse-width (stochastic) of a signal. The design is then simulated in a 180nm CMOS technology. The 4-variable multiply and accumulate calculations (MACs) are implemented for proof-of-concept, achieving an average accuracy of 95.3%. More importantly, the transistor counting, power consumption, and latency decrease to 6.1%, 55.4%, and 4.2% of the state-of-art TBSC circuit, respectively. Detailed investigation of the circuit's robustness against temperature and process variations is presented. Additionally, we provide example usage of the TBSC circuit in realizing the MacLaurin Polynomial and stochastic neural networks.

(論文審査結果の要旨) (A 4 1 枚 1、200字程度)

本論文は、アナログドメインとストカスティックドメインを同時に活用する、マルチドメイン・ストカスティック演算 (MDS C) 回路を開発するための3段階の手法を提示している。まず、第1段階として、複雑さの軽減に重点を置き、ニューロン-MOSテクノロジーを使用して、従来型のタイムベースド・ストカスティック演算 (TBS C) 回路とはまったく異なる極めてシンプルなストカスティック数生成器 (SNG) を考案し提示している。次に、第2段階として、簡略化した回路を修正し、数値表現能力と演算精度の向上を行っている。デューティサイクル検出器を新たに追加設計し、数値表現の利便性を向上させている。最後に、第3段階として、回路全体をMDS C回路として完成させ、信号のパルス強度 (アナログ値) とパルス幅 (ストカスティック表現) を組み合わせた形式により、数値表現を容易化することに成功している。

本提案は、180nm-CMOSテクノロジーを用いたアナログシミュレーションにより検証されており、概念検証のために用意したベンチマーク回路、4変数積和計算 (MAC) では、95.3%の平均精度を達成している。また、所要ハードウェア量を評価した結果、トランジスタ数、消費電力、および、遅延時間が、最先端の先行研究 (TBS C回路) に対して、各々、6.1%、55.4%、および、4.2%減少できることを明らかにしている。さらに、温度ばらつきとプロセスばらつきに対する回路の堅牢性について、詳細に評価を行っている。より大規模な実用回路の例として、MacLaurin 多項式およびストカスティック・ニューラルネットワークを実現するTBS C回路における応用例が示されている。

以上、本論文は学術上、實際上寄与するところが少なくない。よって、本論文は博士 (工学) の学位論文として価値あるものと認める。