

様 式 Z - 7

平成 2 6 年度科学研究費助成事業 実績報告書 (研究実績報告書)

1. 機関番号

1	4	6	0	3
---	---	---	---	---

 2. 研究機関名 奈良先端科学技術大学院大学
3. 研究種目名 基盤研究(B) 4. 研究期間 平成 2 5 年度 ~ 平成 2 7 年度
5. 課題番号

2	5	2	8	0	0	1	5
---	---	---	---	---	---	---	---
6. 研究課題名 LSI ライフサイクル全般の信頼性向上のための組み込み自己テストに関する研究
7. 研究代表者

研究者番号	研究代表者名	所属部局名	職名
3 0 2 7 3 8 4 0	イノウエ ミチコ	情報科学研究科	教授
	井上 美智子		

8. 研究分担者

研究者番号	研究分担者名	所属研究機関名・部局名	職名
2 0 3 5 9 8 7 1	ヨネダ トモカズ	情報科学研究科	助教
	米田 友和		
2 0 7 0 7 2 4 4	ヤマト コウタ	情報科学研究科	助教
	大和 勇太		

9. 研究実績の概要

平成26年度は、以下の研究成果が得られた。

テスト実行時の電圧変動を考慮するBIST手法：LSIテスト実行時には、過剰電力や過剰電流変動による電源ノイズが起こればテスト結果の御判定をもたらすことが問題となっている。電源ノイズには、抵抗によるIRドロップやインダクタとキャパシタ間のエネルギー交換によって起こる共振ノイズなどがある。これまで、テスト実行時のIRドロップ解析に取り組んでいたが、今年度は共振ノイズの解析に取り組んだ。共振ノイズの大きさとシフトクロック周波数との関係を高速に解析する手法を考案し、ノイズの影響を低減するシフトクロックの導出法を提案した。

ライフサイクル全般での信頼性を考慮するメモリ自己修復・誤り訂正手法：システムオンチップに組み込まれるメモリが大容量化しており、メモリの信頼性確保がLSIの信頼性確保に大きく影響している。そこで、自己テスト・自己修復手法と誤り訂正手法を組み合わせることでメモリの信頼性を向上させる手法を提案した。提案手法では、定期的な自己テストによる故障検出、スベアワードへのアドレスマッピングによる機能的なメモリワード修復、誤り訂正符号(ECC)を用いた誤り訂正を組み合わせ、故障メモリセルの個数や分布に応じて修復、訂正をアダプティブに切り替えることで信頼性を向上することに成功した。

微小遅延故障検出のためのパス遅延故障シミュレーションの高速化：本研究テーマは、主に平成25年度に行ったものであるが、今年度は評価実験を追加し内容を拡充させて国際会議での成果発表を行った。

10. キーワード

- (1) 計算機システム (2) ディペンダブル・コンピューティング (3) _____ (4) _____
- (5) _____ (6) _____ (7) _____ (8) _____

(注) ・印刷に当たっては、A4判(縦長)・両面印刷すること。

(1 / 5)

11. 現在までの達成度

(区分)(2) おおむね順調に進展している。

(理由)

研究実施計画に記入した テスト実行時の電圧変動を考慮するBIST手法、 ライフサイクル全般での信頼性を考慮するメモリ自己修復・誤り訂正手法に関して、それぞれ解決するための手法を提案することができた。 に関しては、研究会発表1回、国際会議発表1回を行い、さらに拡張した結果が国際会議に採択され、平成27年度に発表を行う予定であり、順調に進捗している。 に関しては、手法の提案を行い評価を充実させているところである。また、前年度に行った、微小遅延故障検出のためのパス遅延故障シミュレーションの高速化に関しては、評価を拡充して国際会議での成果発表を行うことができた。

12. 今後の研究の推進方策 等

(今後の推進方策)

今度は、これまで得られたテスト実行時のノイズ等の解析をさらに推進し、また、それらの解析結果を踏まえ、製造時だけでなく出荷後のフィールドテストに適用可能な高品質なテストを低コストで実現する自己テストアーキテクチャの提案を行う。組込みメモリの信頼性もさらに向上させ、論理部、メモリ部双方の信頼性を高める手法の確率を目指す。

(次年度使用額が生じた理由と使用計画)

(理由)

平成26年度の研究成果を平成27年に開催される国際会議で発表するため、旅費の一部を平成27年度に使用することにしたため。

(使用計画)

平成27年5月に開催される IEEE European Test Symposium での研究成果発表のための旅費および会議参加費に使用する。

13.研究発表(平成26年度の研究成果)

(雑誌論文) 計(0)件 うち査読付論文 計(0)件

著者名		論文標題			
雑誌名	査読の有無	巻	発行年	最初と最後の頁	
掲載論文のDOI(デジタルオブジェクト識別子)					

(学会発表) 計(4)件 うち招待講演 計(0)件

発表者名		発表標題	
Yussuf Ali, Yuta Yamato, Tomokazu Yoneda, Kazumi Hatayama, Michiko Inoue		Parallel path delay fault simulation for multi/many-core processors with SIMD units	
学会等名	発表年月日	発表場所	
IEEE Asian Test Symposium	2014年11月16日～2014年11月19日	Hangzhou, China	

発表者名		発表標題	
Gian Mayuga, Yuta Yamato, Tomokazu Yoneda, Yasuo Sato and Michiko Inoue		An online repair strategy and reliability for ECC-Based memory architectures	
学会等名	発表年月日	発表場所	
IEEE Workshop on RTL and High Level Testing	2014年11月19日～2014年11月20日	Hangzhou, China	

発表者名		発表標題【発表確定】	
Gian Mayuga, Yuta Yamato, Tomokazu Yoneda, Yasuo Sato and Michiko Inoue		An ECC-Based memory architecture with online self-repair capabilities for reliability enhancement	
学会等名	発表年月日	発表場所	
IEEE European Test Symposium	2015年05月25日～2015年05月29日	Cluj-Napoca, Romania	

15.備考

--