

非破壊読み出し強誘電体メモリ および ヘテロエピタキシャル
強誘電体ゲート薄膜トランジスタに関する研究

加藤 剛久

2009 年 3 月

奈良先端科学技術大学院大学
物質創成科学研究科

Study on a nondestructive-readout-operation ferroelectric random access memory
and a heteroepitaxial ferroelectric gate thin film transistor

by Yoshihisa Kato

【目次】

第 1 章	緒言	1
1-1	ユビキタス社会に求められる不揮発性メモリ	1
1-2	強誘電体メモリと破壊読み出し	3
第 2 章	非破壊読み出し型強誘電体メモリ	13
2-1	不揮発性ラッチによるアプローチ	14
2-1-1	SBT キャパシタによる不揮発性ラッチの低電圧・高速動作	14
2-1-2	不揮発性 SRAM	17
2-2	MOS FET 負荷読み出し NDRO 回路の動作原理と実証	19
2-2-1	微小電界印加による分極反転回数の伸張	19
2-2-2	MOS FET 負荷 NDRO セル	21
2-2-3	0.6 μ m テストセルを用いた NDRO 動作の実証	26
2-3	NDRO FeRAM	34
2-3-1	0.6 μ m NDRO セルを集積化した 64Kbit FeRAM	34
2-3-2	0.18 μ m リンクセル NDRO FeRAM としきい値ばらつきの補償	39
2-4	まとめ	50
第 3 章	ヘテロエピタキシャル酸化物積層構造を用いた強誘電体ゲート 薄膜トランジスタ	53
3-1	強誘電体ゲートトランジスタ	54
3-1-1	MFS 構造 FeFET	54
3-1-2	MFIS 構造 FeFET	57
3-1-3	界面伝導型 FeFET	61
3-2	強誘電体ゲート薄膜トランジスタ	70
3-2-1	デバイス構造と動作原理	70
3-2-2	酸化物エピタキシャル成長技術を用いたデバイス作製	76
3-2-3	二次元電子ガス・スイッチングによる伝導変調と リテンション特性	81
3-3	まとめ	88

第 4 章 強誘電体メモリの将来展開	91
4-1 工業的応用	92
4-1-1 不揮発性ラッチと電力削減応用	92
4-1-2 リコンフィギュラブル・ロジック回路への応用	94
4-2 微細化技術	98
4-2-1 微細化トレンド	98
4-2-2 三次元構造強誘電体キャパシタ	101
4-2-3 低温成膜技術	105
4-2-4 FeTFT メモリチップ実用化への課題	108
4-3 まとめ	114
第 5 章 結語	117
謝辞	119
研究業績一覧	121

【略号】

AFM	Atomic Force Microscope
BiT	$\text{Bi}_4\text{Ti}_3\text{O}_{12}$
CCS	Charge Compensation Sensing
CMOS	Complementary Metal Oxide Semiconductor
CSD	Chemical Solution Deposition
c-STO	crystalline SrTiO_3
DRAM	Dynamic Random Access Memory
EBSP	Electron Backscattering Diffraction Pattern
EEPROM	Electrically Erasable and Programmable Read Only Memory
E_c	Coercive field
FeFET	Ferroelectric gate field effect transistor
FeRAM	Ferroelectric Random Access Memory
FeTFT	Ferroelectric gate thin film transistor
FU	Functional Unit
FWHM	Full Width at Half-Maximum
F/I	Ferroelectric/Insulator
IC	Integrated Circuit
I/F	Insulator/Ferroelectric
KFM	Kelvin probe Force Microscope
LAO	LaAlO_3
LSI	Large Scale Integrated Circuit
LUT	Look Up Table
MBE	Molecular Beam Epitaxy
MFIS	Metal Ferroelectric Insulator Semiconductor
MFMIS	Metal Ferroelectric Metal Insulator Semiconductor
MFS	Metal Ferroelectric Semiconductor
MOCVD	Metal Organic Chemical Vapor Deposition
MOS FET	Metal-Oxide-Semiconductor Field-Effect-Transistor
MOVPE	Metal Organic Vapor Phase Epitaxy
NDRO	Non-Destructive Readout Operation
NVFF	Nonvolatile Flip-Flop
NVSRAM	Nonvolatile SRAM
PLD	Pulsed Laser Deposition
PZT	$\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$
RL	Reconfigurable Logic
RMS	Root Mean Square
SBT	$\text{SrBi}_2\text{Ta}_2\text{O}_9$
SEM	Scanning Electron Microscope
SoC	System on a Chip
SRAM	Static Random Access Memory
SRO	SrRuO_3
STO	SrTiO_3
TED	Transmission Electron Diffraction
TEM	Transmission Electron Microscope
V_c	Coercive voltage
XRD	X-ray diffraction

第 1 章 緒言

1-1 ユビキタス社会に求められる不揮発性メモリ

デジタル情報ネットワークが広がるにつれて、通信される情報量は単なるデータから音声情報へ、さらに静止画から動画へと変化し、その情報量は爆発的に増加している。一方、これらの情報を扱う機器は大型電算機からパーソナル・コンピュータへ、さらに携帯電話から携帯プレーヤーへと小型化・分散化が加速している。これに伴い、情報を格納するメモリは高速化・大容量化の一途を辿り、その結果 DRAM (Dynamic Random Access Memory) や SRAM (Static Random Access Memory) などの揮発性メモリの消費電力はすでに 100 mW を超え、1000 mW に達するものもある。情報処理能力向上の要求は必然的に半導体の消費電力の増大を招き、携帯機器ですら今後 10 年で消費電力は現在の 1000 倍にも達するとされている¹⁾。しかし一方では、携帯機器の電池寿命およびパッケージに放熱限界があることから、現実にはこれ以上の消費電力増加は許容できなくなっている。

このように携帯機器に用いる半導体の消費電力はもはや限界にあり、今後は高速・大容量の性能を損なうことなく、いかに効率的に電力消費を制御するかが課題となる²⁾。その一つの方法が、DRAM や SRAM などの揮発性メモリの不揮発性メモリへの置き換えによる待機電力の削減である。たとえば、ITRS2005 (国際半導体技術ロードマップ 2005 年版) によれば¹⁾、標準的なシステム・オン・チップ (System on a Chip: SoC) の電力の 7 割は内蔵メモリで消費され、その 5 分の 1 はメモリのリーク電流によるものである。しかもこのリーク電流の割合は、半導体の微細化が進むにつれて増加する³⁾。メモリのリーク電流は SoC の待機中にも浪費されるが、内蔵メモリを不揮発性にするにより、待機時に電源を切断してその待機電力をゼロにすることができる。さらに、論理ゲートのレジスタに不揮発性メモリを接続することによって、SoC 全体も待機中にその電源供給を止められるようになる⁴⁾。

これまでに実用化された不揮発性メモリは、浮遊ゲートに電荷を蓄積する EEPROM (Electrically Erasable and Programmable Read Only Memory) または Flash EEPROM が代表的である。微細な浮遊ゲートトランジスタは高密度に集積化でき、浮遊ゲート型不揮発性メモリは記憶容量の増大に有利である。特に NAND 型 Flash EEPROM は、複数の浮遊ゲートトランジスタを直列接続して共通の選択トランジスタを設けた構成とすることにより、ランダムアクセスを犠牲としながらもメモリデバイスで最も高い集積度を実現している。しかし、浮遊ゲート型の不揮発性メモリはチャネル電流の一部を浮遊ゲートに蓄積してデータを書き込むため、書き込み動作に要するエネルギー消費が多い。一つのメモリ素子へのデータ書き換えに必要なエネルギーは、およそ

1 μ J である。しかも、書き込みにはミリ秒オーダーの時間がかかり、書き込み・消去の回数が 10^5 回程度に限られる。従って、Flash EEPROM などの浮遊ゲート型の不揮発性メモリは、情報量が膨大で、一度書き込んだあとはあまり書き換ええないプログラム・ファイルや画像データなどの格納に使われている。今後、DRAM や SRAM のように高速で動作するメモリに代わる不揮発性メモリが望まれているが、浮遊ゲート型不揮発性メモリは高速で繰り返し書き換えねばならない主記憶となるワーク・メモリや一時記憶用のレジスタとして用いることはできない。

近年、半導体に新たな機能材料を取り入れて、高速かつ低電力な不揮発性メモリを実現する取り組みが活発になっている。なかでも、強誘電体の自発分極をデータの保持に用いる強誘電体メモリ（Ferroelectric Random Access Memory: FeRAM）は、電源を切ってもデータを保持でき、高速かつ低電力で記録できる理想のメモリである。表 1-1 に示すように、その消費電力は Flash EEPROM の 10 分の 1 以下であり、電池を持たない IC（Integrated Circuit）カードや物品管理用タグ IC などからすでに普及が始まっている^{5,6)}。IC カードに記録されるデータの内容は簡単なプログラム・コード、セキュリティ・コードおよび記録管理データなどで、これらの内容は頻繁に書き換えることができる。また、FeRAM の製造プロセスは CMOS（Complementary Metal Oxide Semiconductor）プロセスとの親和性が高く、既存の CMOS 設計資産を継承して FeRAM 混載 LSI を作ることができる⁷⁾。FeRAM とマイコン（Microcontroller）や暗号回路を組み合わせ、IC カードの機能を高めたスマートカードが実用化されている。

表 1-1 代表的な半導体メモリの性能比較

	FeRAM	DRAM	SRAM	EEPROM	Flash
データ保持	不揮発	揮発	揮発	不揮発	不揮発
書き換え時間	< 100 ns	50 ns	10 ns	10 ms	10 μ s
書き換え回数	10^{12}	∞	∞	10^5	10^5
消費電流					
スタンバイ	< 1 μ A	500 μ A	< 1 μ A	< 1 μ A	< 1 μ A
書き換え	5 mA	50 mA	100 mA	50 mA	50 mA

次節で FeRAM の動作原理を解説し、読み出し動作に起因する課題と本研究の目的を提示する。

1-2 強誘電体メモリと破壊読み出し

FeRAM に使用される強誘電体材料は、酸化物イオン結晶であるチタン酸・ジルコン酸鉛 $\text{Pb}(\text{Zr,Ti})\text{O}_3$ (PZT) とタンタル酸・ストロンチウム・ビスマス $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT)が代表的である^{7,8)}。現在までに 64Mbit の集積度が実現されている⁹⁾。PZT の結晶構造は、図 1-1 (a) に示すようなペロブスカイト構造であり、 $2P_r=55\text{-}65 \text{ } \mu\text{C}/\text{cm}^2$ という大きな自発分極を発現する¹⁰⁾。PZT は $600 \text{ } ^\circ\text{C}$ 程度という比較的低温の熱処理で結晶化が可能であり^{11,12)}、MOS FET (Metal-Oxide-Semiconductor Field-Effect-Transistor) が形成されたシリコン基板上への集積化に適する。一方 SBT の結晶構造は、図 1-1 (b) に示すビスマス層状ペロブスカイト構造であり、その自発分極は $2P_r=15\text{-}20 \text{ } \mu\text{C}/\text{cm}^2$ 程度と PZT に比べて小さく¹³⁾、 $650\sim 800 \text{ } ^\circ\text{C}$ の高温で焼結する必要がある^{14,15)}。ただし、SBT は自発分極が反転する抗電界 (Coercive field: E_c) が比較的小さく、低電圧動作が可能という特長がある。

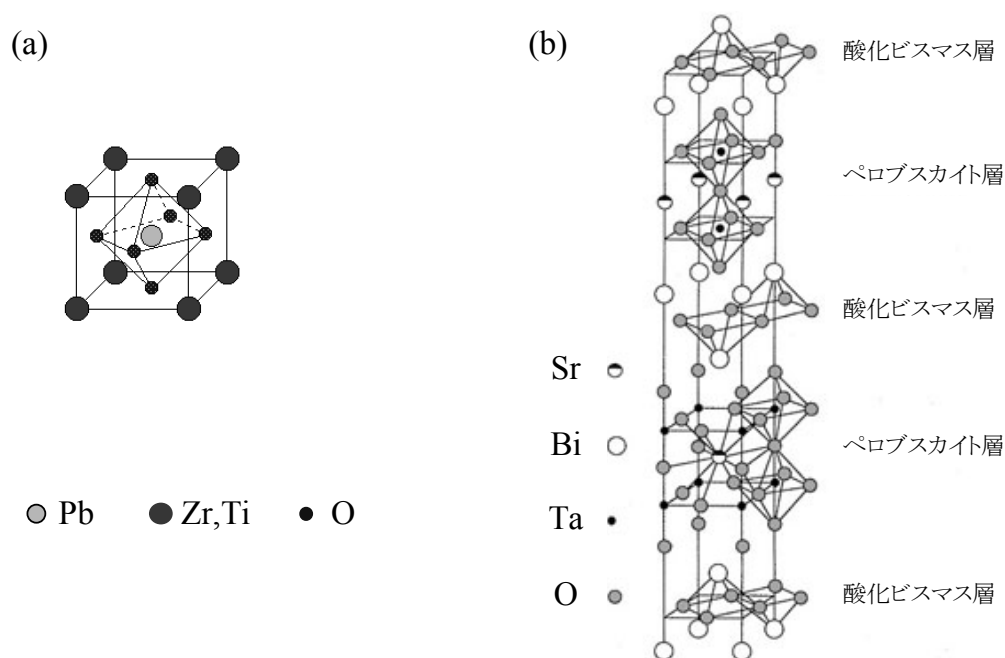


図 1-1 強誘電体材料の結晶構造

(a) PZT (b) SBT

強誘電体の自発分極を繰り返し反転させると、疲労劣化（ファティーグ）により残留分極量が減少する。PZT および SBT が疲労劣化しはじめる分極反転回数は、それぞれ $10^8\sim 10^{10}$ 回と $10^{10}\sim 10^{12}$ 回である¹⁶⁾。強誘電体材料が疲労劣化するとデータの書き込みおよび読み出しができなくなってしまうため、疲労劣化に至るまでに分極反転できる回数が FeRAM のアクセス可能なサイクル数となる。SBT は PZT よりも分極反転回数が 100 倍も多いた

め、SBT を内蔵した FeRAM は信頼性に優れるという特長を有する。

FeRAM は、平行平板電極で強誘電体薄膜を挟んだ強誘電体キャパシタをメモリ素子とする。これらの電極間に電界を印加すると、図 1-2 のように電界に沿って正に帯電した金属イオンが変移し、自発分極は電界に沿った方向を向く¹⁷⁾。印加する電界方向を変えることによって自発分極は反転し、"0" と "1" という論理状態はこれら自発分極の方向に対応させて記憶される。本稿では、自発分極の方向を矢印で表記する。

データの書き込みは強誘電体キャパシタに電圧パルスを加えて分極を反転させるだけであり、トンネル酸化膜を介してチャネルから中間電極へと電荷蓄積する Flash EEPROM に比べて低エネルギーでデータの書き換えが可能である。FeRAM のデータ書き換えに必要なエネルギーは、Flash EEPROM の 100 万分の 1 以下である。しかも、分極の反転に要する時間はナノ秒以下であるので¹⁸⁾、SRAM、DRAM 並みの高速書き換えが可能となる。

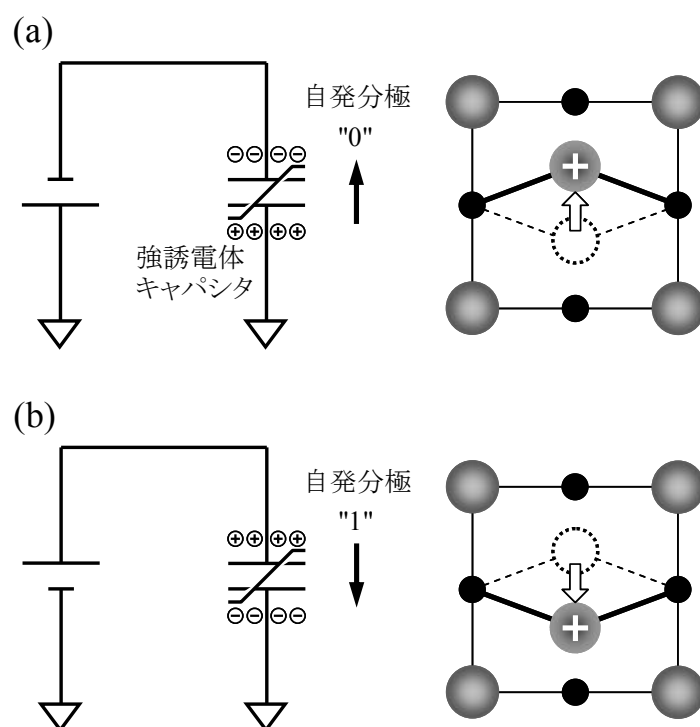


図 1-2 分極書き込み動作

(a) データ "0" (b) データ "1"

電界印加による金属イオンの変移は、電界を切断した後も図 1-3 のように保存される。印加電界がゼロの状態でも強誘電体に保存される分極を、残留分極と呼ぶ。残留分極は強誘電体薄膜表面で電極内の電荷とカップリングしており、電源切断状態における強誘電体キャパシタには内部電界が存在しない。無電界状態における残留分極は安定であり、不揮発メモリに要求される 10 年以上という長期のデータ保持が可能である。

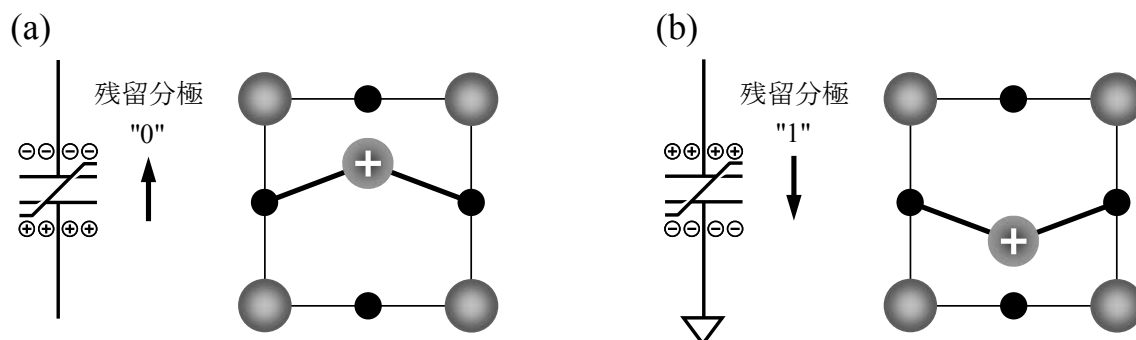


図 1-3 分極保持状態
(a) データ "0" (b) データ "1"

強誘電体に書き込まれた分極状態を読み出すには、図 1-4 に示すように強誘電体キャパシタに負荷キャパシタ（通常、ビット線の寄生容量を負荷キャパシタとして用いる）を直列接続し、中間電極をリセットして電荷中性状態にした後、その両端に電圧 V_{DD} を印加する。このとき、データ"0"の場合には書き込まれていた上向き分極と逆方向の電界が印加されるので自発分極は反転し、正電荷が負荷キャパシタへと移動する。一方、データ"1"の場合には書き込まれていた下向き分極と同方向の電界が印加されるので分極反転は起こらず、負荷キャパシタに誘起される正電荷量は小さい。データ"0"と"1"では分極反転の有無により発生する電荷量が異なるので、これを負荷キャパシタの電圧変化として観測することによって書き込まれていたデータの判別が可能である。

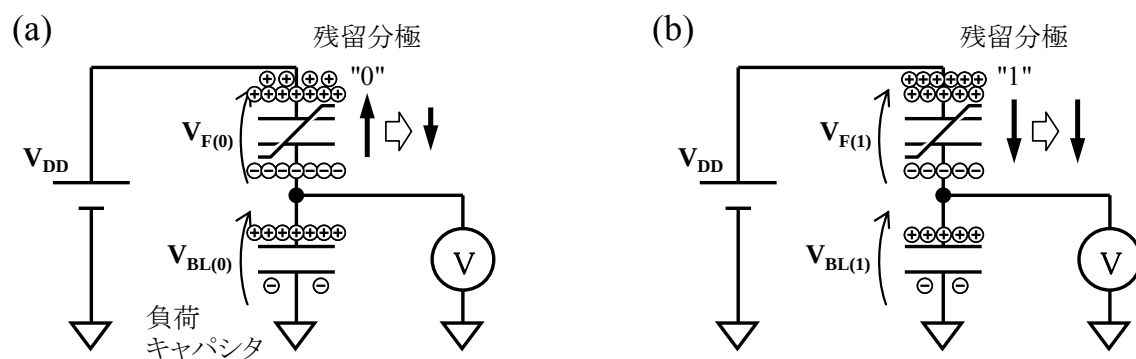


図 1-4 読み出し動作
(a) データ "0" (b) データ "1"

強誘電体キャパシタから発生する電荷は印加電圧に対してヒステリシスを描く。このヒステリシス曲線と負荷キャパシタの $Q-V$ 特性を用いて、読み出し動作中における強誘電体の分極状態を明らかにできる。

前述の通り中間電極は読み出し動作前にリセットされ、読み出し時には浮遊状態としている。従って、強誘電体キャパシタに電圧 V_F が印加されているときの分極量 $P_r(V_F)$ は、負荷キャパシタの蓄積電荷量と一致する。

$$C_{BL} \cdot V_{BL} = P_r(V_F) \quad (1-1)$$

C_{BL} および V_{BL} はそれぞれ負荷キャパシタの容量値とその分圧である。読み出し動作で印加される電圧 V_{DD} は 2 つのキャパシタで分圧される ($V_{DD} = V_F + V_{BL}$) ので、(1-1) 式を変形して

$$C_{BL} \cdot (V_{DD} - V_F) = P_r(V_F) \quad (1-2)$$

が得られる。(1-2) 式より、強誘電体キャパシタの P_r-V_F 特性に負荷キャパシタの $Q-V$ 特性を重ねたとき、それらの交点から強誘電体の分極 $P_r(V_F)$ と分圧 V_F を図的に求めることができる。具体的には、容量値 C_{BL} を傾きとする負荷線を電圧軸方向に反転 ($-V_F$) し、かつ $+V_{DD}$ だけシフトして P_r-V_F 特性上に重ねた合成図を描く。なお、初期に中間電極はリセットされて電荷中性状態にあるので、 $V_{BL}=0$ における負荷キャパシタの電荷量（合成図上では $V_F=V_{DD}$ における Q 値に対応）は、初期の分極値 $P_r(V_F=0)$ と一致させる。

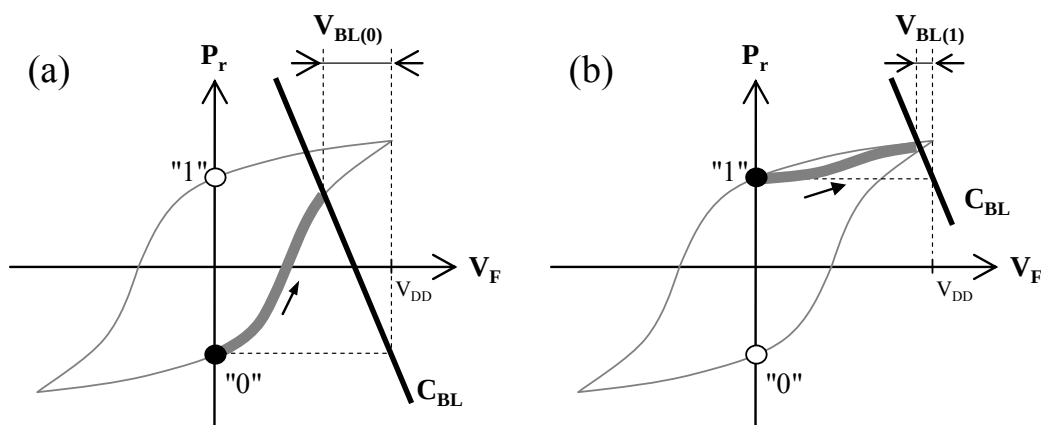


図 1-5 分極ヒステリシスと負荷線（読み出し動作）

(a) データ "0" (b) データ "1"

図 1-5 は、データ "0" および "1" の読み出し状態における P_r-V_F 特性と負荷線の合成図である。強誘電体へ印加される分圧 V_F に対する分極 P_r の応答はヒステリシスを示し、 P_r-V_F ヒステリシス曲線が P_r 軸と交差する点がデータ保持状態（すなわち残留分極）に対応する。正および負の交点はそれぞれデータ "1" および "0" である。データ "0" では読み出し電圧印加によって分極が負から正へと反転し、比較的大きな中間電極電位 $V_{BL(0)}$ が発生することが図 1-5

より判る。一方、データ"1"では分極は反転せずに正のままであり、中間電極には $V_{BL(0)}$ よりも小さな電位 $V_{BL(1)}$ が発生することが判る。この中間電極電位の大小を電圧センスアンプで検知することにより、強誘電体キャパシタに格納されていたデータの判別が可能である。

データの読み出しが終了すると、図 1-6 のように上電極は接地される。このとき中間電極は電荷中性条件を維持しているのので、負荷キャパシタの電荷量が初期の分極値 $P_r(V_F=0)$ と一致するように負荷線は負電圧方向にシフトする（図 1-7）。図 1-7 (b) に示すように、データ"1"が格納されていた素子は読み出し前の分極状態に復帰する。一方、データ"0"が格納されていた素子の分極状態は、図 1-7 (a) に示すようにマイナーループ上を移動して負荷線の交点に移る。初期に負の残留分極であった強誘電体キャパシタはデータ読み出しによって正の分極へと反転してしまい、記憶データが破壊される。

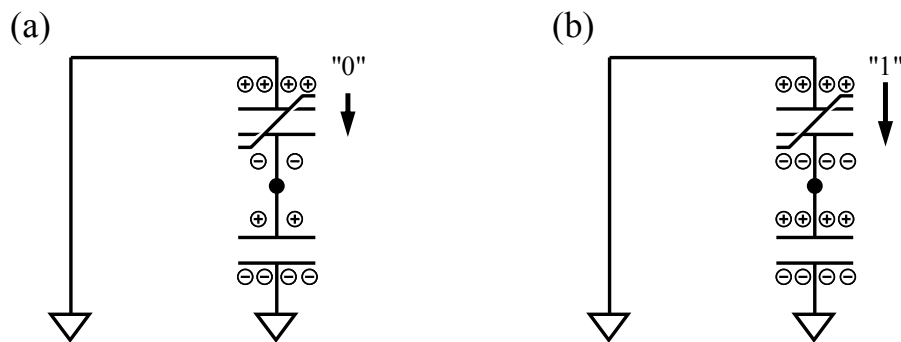


図 1-6 読み出し後

(a) データ "0" (b) データ "1"

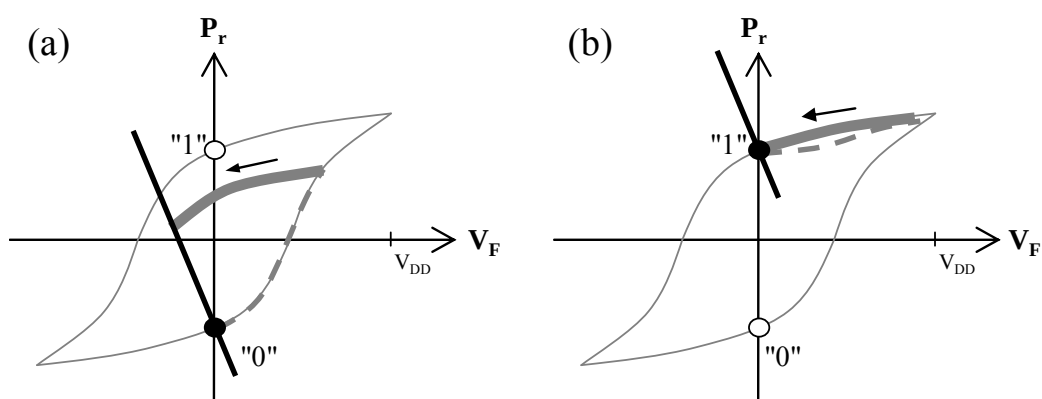


図 1-7 分極ヒステリシスと負荷線（読み出し後）

(a) データ "0" (b) データ "1"

データ"0"の分極状態を読み出し前に戻すため、図 1-8 に示すようにデータ"0"の素子の中間電極に正の電圧パルスを印加し、データの再書き込みを行う。正電圧印加によって分極状態はマイナーループを辿って負の飽和分極となり、次いで電圧除去によって残留分極は負に戻る（図 1-9）。

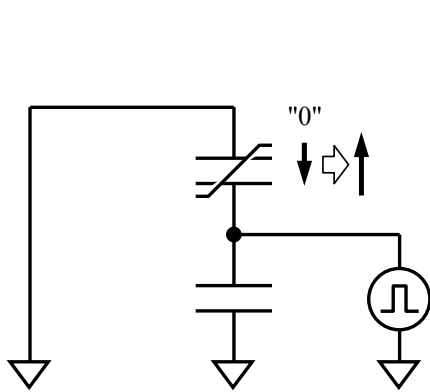


図 1-8 再書き込み動作

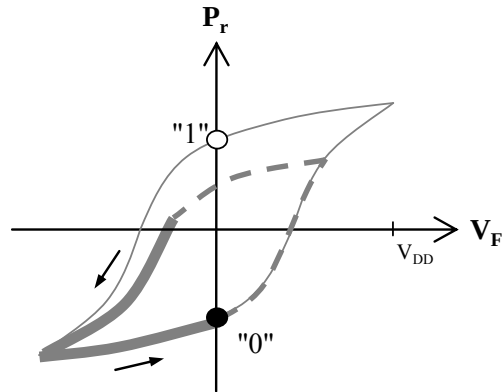


図 1-9 分極ヒステリシス
(再書き込み動作)

以上に述べたように、従来の FeRAM は読み出し動作に伴って記憶していたデータが失われる破壊読み出し方式である。そのため読み出し動作後に再書き込み動作が必要であり、書き換え動作と同様に読み出し動作においても分極反転を行っている。データの書き換えおよび読み出しの回数を重ねると、分極破壊と分極書き込みのサイクルを繰り返すことになり、強誘電体の疲労劣化をもたらす。これは、強誘電体材料中の酸素欠損サイトが電圧印加によって電極付近に移動し、電極と強誘電体の界面で分極壁をピン止めすることが原因であると説明されている¹⁹⁾。疲労劣化の結果、強誘電体の残留分極量は大きく低下してしまう。

PZT キャパシタおよび SBT キャパシタの疲労劣化特性を図 1-10 に示す。それぞれのキャパシタは、白金（Pt）電極上に強誘電体薄膜（PZT あるいは SBT）を化学溶液堆積法（Chemical Solution Deposition: CSD）により成膜し、上電極となる Pt を蒸着して作製した。作製した両材料のキャパシタに正負の電圧パルスを印加し、残留分極量の低下を調べた。

PZT キャパシタおよび SBT キャパシタは、それぞれ 10^8 回および 10^{12} 回の分極反転の繰り返しによって残留分極量が低下した。PZT に比べて SBT の疲労耐性が高い理由は、PZT ではペロブスカイト中に酸素欠陥が生じて分極が劣化するのに対して、SBT ではペロブスカイト構造ではなく層状の酸化ビスマス構造に酸素欠陥が発生するからであると言われている。なお、Pt に代えて金属酸化物を電極に使うことにより、PZT キャパシタの疲労劣化を改善できるという報告がある¹⁹⁾。しかしながら、破壊読み出し型 FeRAM では使

用する強誘電体材料に関わらず、書き換え回数と読み出し回数に本質的な制限がある。

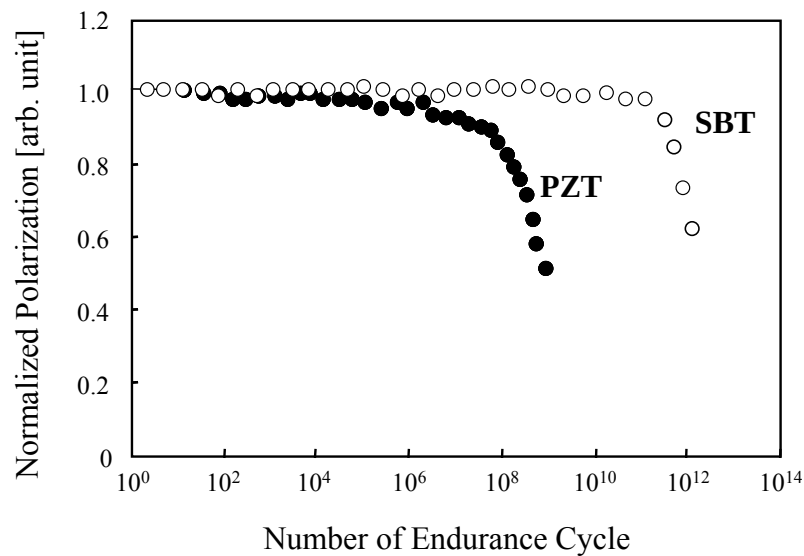


図 1-10 分極反転に伴う疲労特性

すでに述べたように、電圧パルスで駆動する FeRAM は消費電力が小さく、分極反転時間がナノ秒オーダーという特長を活かして、電力と同時にデータを瞬時に空中伝送する非接触型 IC カードや物品管理用タグ IC の内蔵メモリとして実用化されている。これらの応用では 1 日当たりのアクセス回数は多くても 10^2 回オーダー程度であり、10 年間という使用期間内の総アクセス回数は $10^5 \sim 10^6$ 回以下である。すなわち、これらの応用は FeRAM の特長を活かしたものであると同時に、書き換えおよび読み出し回数が $10^8 \sim 10^{12}$ 回以下という制限の範囲に収まるものである。

FeRAM の書き換え回数はすでに Flash EEPROM を凌駕しており、読み出し回数を伸ばすことにより、低消費電力かつ高速動作という特長をより活かした新たな応用への展開が期待できる²⁰⁾。FeRAM の将来展開に求められる読み出し回数は、例えばクロック周波数 100MHz で FeRAM に格納したデータを読み出し続けるという厳しい使用状態を想定した場合、10 年間で 3×10^{16} 回を超える。これだけのアクセスに耐えられる信頼性を満たすには、強誘電体に書き込まれた分極状態の非破壊読み出し（Non-Destructive Readout Operation: NDRO）を実現しなければならない。NDRO で動作する FeRAM は読み出し後の再書き込みが不要であり、読み出し回数を重ねても疲労劣化しない。従って、読み出し回数を飛躍的に高めることができるからである。

本研究は、 10^{16} 回を超える読み出しを行っても故障しない NDRO FeRAM の開発を目的とし、2 つのアプローチにより研究を進めた。一つは新たに提案する動作原理と回路構成に基づくアプローチであり、もう一つはエピタキ

シヤル成長技術によるデバイス開発というアプローチである。

回路開発アプローチでは、破壊読み出し型 FeRAM と同様に強誘電体キャパシタを内蔵した新規メモリセル回路による NDRO 動作の実現を目指した。既に実用化されている破壊読み出し方式の FeRAM で開発した製造プロセスを用いることにより、FeRAM のメリットである CMOS プロセスとの親和性を活かすことができるからである。

デバイス開発アプローチでは、強誘電体をゲート絶縁膜に用いた強誘電体ゲートトランジスタの研究に取り組んだ。強誘電体ゲートトランジスタは CMOS バックエンドプロセスとの親和性は損なわれるものの、スケーリング則に従って微細な素子形成が可能であり、メモリの大容量化に適するからである。しかも、データ書き込みと読み出しで強誘電体に印加する電界が直交しており、強誘電体ゲートトランジスタは本質的に NDRO 動作が可能である。

それぞれの研究成果を第 2 章、第 3 章に詳述し、第 4 章で NDRO 技術を含む FeRAM の工業的応用と微細化技術について言及し、強誘電体メモリの将来展開を俯瞰する。

【第 1 章 参考文献】

- 1) International Technology Roadmap for Semiconductors (ITRS), 2005 ed., chap. System Drivers.
- 2) M. A. Viredaz, D. A. Wallach: IEEE Micro **23** (2003) 66.
- 3) 大石基之、進藤智則、堀切近史: NIKKEI ELECTRONICS, 2004.4.26, p. 99.
- 4) T. Sakurai: ISSCC Dig. Tech. Papers, 2003, p. 26.
- 5) Y. Shimada, Y. Nagano, E. Fujii, M. Azuma, Y. Uemoto, T. Sumi, Y. Judai, S. Hayashi, N. Moriwaki, J. Nakane, T. Otsuki, C. A. Paz de Araujo and L. D. McMillan: Integrated Ferroelectr. **11** (1995) 229.
- 6) S. Masui, S. Kawashima, S. Fueki, K. Matsutani, A. Inoue and T. Teramoto: *Proc. 1st Int. Meeting Ferroelectric Random Access Memories*, 2001, p. 13.
- 7) Y. Nagano, T. Mikawa, T. Kutsunai, S. Natsume, T. Tatsunari, T. Ito, A. Noma, T. Nasu, S. Hayashi, H. Hirano, Y. Gohou, Y. Judai, E. Fujii: IEEE Trans. Semicond. Manuf. **18** (2005) 49.
- 8) S. Kawashima, T. Endo, A. Yamamoto, K. Nakabayashi, M. Nakazawa, K. Morita, M. Aoki: IEEE J. Solid-State Circuits **37**, 592 (2002).
- 9) Y. M. Kang, H. J. Joo, J. H. Park, S. K. Kang, J. -H. Kim, S. G. Oh, H. S. Kim, J. Y. Kang, J. Y. Jung, D. Y. Choi, E. S. Lee, S. Y. Lee, H. S. Jeong and K. Kim: *Tech. Digest of Symposium on VLSI Technology*, 2006, p. 152
- 10) Y. Hikosaka and T. Eshita: Oyo Butsuri **71** (2002) 1120 [in Japanese].
- 11) B.K. Moon, K. Hironaka, C. Isobe, and S. Hishikawa: J. Appl. Phys. **89** (2001) 6370.
- 12) N. Menou, Ch. Turquat, V. Madigou, Ch. Muller, LGous, J. Lisoni, M. Schwitters and D. J. Wouters: Appl. Phys. Lett. **87** (2005) 73502.
- 13) B.K. Moon, K. Hironaka, C. Isobe and S. Hishikawa: J. Appl. Phys. **89** (2001) 6370.
- 14) S. B. Desu, P. C. Joshi, X. Zhang and S. O. Ryu: Appl. Phys. Lett. **71** (1997) 1041.
- 15) Nak-Won Jang, Yoon-Jong Song, Suk-Ho Joo, Kyu-Mann Lee, Hyun-Ho Kim, Heung-Jin Joo, Jung-Hoon Park, Sang-Woo Lee, Sung-Yung Lee and Kinam Kim, Jpn. J. Appl. Phys. **42** (2003) 2033.
- 16) C. A. Araujo, J. D. Cuchiaro, L. D. McMillan, M. C. Scott and J. F. Scott: Nature **374** (1995) 627.
- 17) 中村輝太郎:「強誘電体と構造相転移」 裳華房 1988 chap. 4.
- 18) P. K. Larsen, G. L. M. Kampschöer, M. J. E. Ulenaers, G. A. C. M. Spierings and R. Cuppens: Appl. Phys. Lett. **59** (1991) 611.
- 19) J. F. スコット:「強誘電体メモリ」 Springer-Verlag (Tokyo) 2003 chap. 7.
- 20) Y Kato, Y. Kaneko, H. Tanaka, K. Kaibara, S. Koyama, K. Isogai, T. Yamada and Y. Shimada: Jpn. J. Apply. Phys. **46** (2007) 2157.

第2章 非破壊読み出し型強誘電体メモリ

本章では、破壊読み出し型 FeRAM と同様に強誘電体キャパシタを内蔵した回路による NDRO 動作実現について述べる。本研究では破壊読み出し方式の FeRAM で開発した製造プロセスを用いており、強誘電体キャパシタは CMOS 基板を形成するフロントエンドプロセスと多層配線を形成するバックエンドプロセスの間に形成している。CMOS プロセスを改変せずに強誘電体キャパシタを作りこむことで CMOS プロセスとの親和性を高めており、回路アプローチによる NDRO セルは CMOS 標準プロセスで設計された SoC への内蔵が容易である。

2-1 節「不揮発性ラッチによるアプローチ」では、過去に提案されている NDRO 動作が可能な不揮発性ラッチにおいて、これを CMOS LSI へ内蔵する際には動作速度が不足し、駆動電圧が高くなるという課題を提起し、その解決を目指した取り組みについて述べる。

2-2 節「MOS FET 負荷読み出し NDRO 回路の動作原理と実証」では、新たな動作原理に基づく NDRO セルの動作原理を提案し、これを検証するために試作したテストセルにおける動作実証について述べる。開発した NDRO セルは不揮発性ラッチに比べて構成素子数が少なく、不揮発性メモリへの適用が可能である。

2-3 節「NDRO FeRAM」では、新たに提案した NDRO セルを集積化したメモリチップについて詳述する。最初に、0.6 μm プロセス技術を用いた 64Kbit の NDRO FeRAM を試作した結果を述べる。強誘電体の焼き付け現象に起因して動作電圧が変動する課題を見だし、その解決策として非対称書き込み駆動が有効であることを示す。次いで、さらなる高集積化を目指して 0.18 μm プロセス技術を用いて開発した NDRO FeRAM について述べる。0.18 μm 世代では、MOS FET の微細化にともなってしきい値ばらつきが増大し、微弱信号の増幅動作に誤差が生じるため、MOS FET のしきい値差に相当する電荷を MOS ゲートに蓄積してばらつきを補償する電荷補償読み出し (Charge Compensation Sensing : CCS) 法を提案する。CCS 回路を内蔵した NDRO FeRAM は、MOS FET のゲート面積に依存せず安定した読み出しが可能であることを示す。

2-4 節「まとめ」では、強誘電体キャパシタの回路および駆動方法の研究により得られた非破壊読み出し技術に関する知見を総括し、今後の課題を提起する。

2-1 不揮発性ラッチによるアプローチ

2-1-1 SBT キャパシタによる不揮発性ラッチの低電圧・高速動作

NDRO への回路アプローチの代表的な構成は、不揮発性ラッチである¹⁾。ラッチはインバータを交差結合して構成された揮発性メモリ回路であり、不揮発性ラッチはその記憶ノードに強誘電体キャパシタを接続して構成されている。電源投入された通常状態では、図 2-1 (a) に示すように揮発性メモリであるラッチに Hi/Lo 電圧として 2 値データを記憶する。電源遮断時には、図 2-1 (b) のように不揮発性メモリである強誘電体キャパシタの上/下分極方向として 2 値データを格納する。再度電源投入する際にはラッチが電圧センスアンプとして働き、上/下分極方向は Hi/Lo 電圧として読み出される。電源投入状態では専ら CMOS 回路であるラッチによりデータの書き込みおよび読み出し動作を行うため、アクセスを重ねても強誘電体キャパシタが劣化することはない。従って、強誘電体キャパシタの書き換え回数および読み出し回数は電源投入回数と一致する。

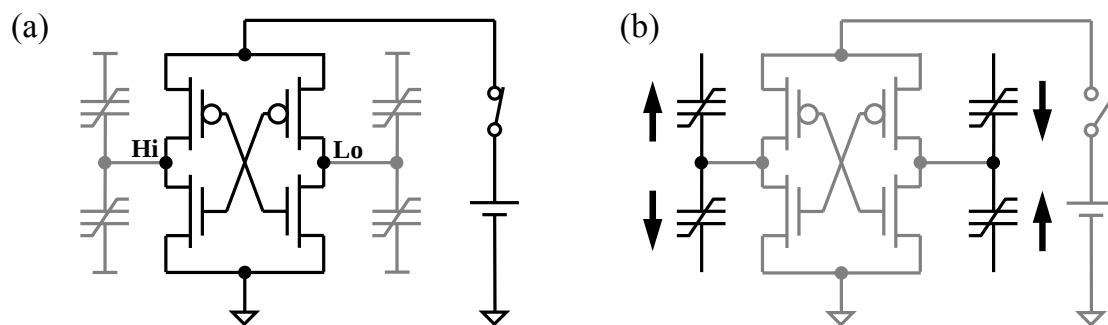


図 2-1 不揮発性ラッチ

(a) 通常モード (b) 電源遮断状態

不揮発性ラッチはアクセストランジスタと組み合わせて、ランダムアクセス可能な不揮発性メモリを構成することができる。また、同期回路の基本的な構成要素であるフリップフロップ内のラッチを不揮発性ラッチに置き換えて、論理回路に組み込むこともできる。これは不揮発性フリップフロップ (Nonvolatile Flip-Flop: NVFF) と呼ばれ、その回路構成を図 2-2 に示す²⁾。20 個の MOS FET で構成されるフリップフロップに 4 個の強誘電体キャパシタを内蔵する NVFF は、不揮発化による素子の増加率は 20% (4/20) である。構成される素子の追加による回路規模増加はあるものの、不揮発化によるメリットを活かした応用分野への適用が進むと考えられる。第 4 章において、不揮発性ラッチおよび NVFF の論理回路への応用例として電源管理回路、動的再構成可能な論理回路、これを用いた暗号化処理回路について詳述する。

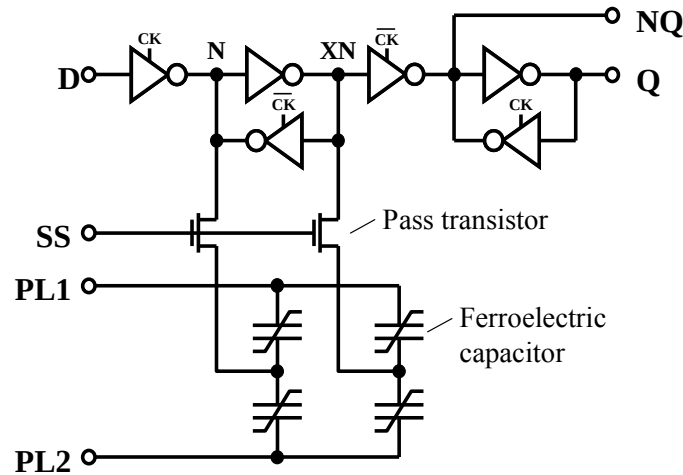


図 2-2 NVFF セル

これまでに報告されている NVFF は PZT キャパシタを内蔵し、シャットダウン動作（PZT キャパシタへのデータ書き込み）および復帰動作（PZT キャパシタからのデータ読み出し）にはそれぞれ 100 ns を要し、その駆動電圧は 5 V であった^{2,3)}。遷移動作に要する時間が長い場合、NVFF を内蔵したシステムのデータ入力に大容量のレジスタを必要とし、論理回路への応用を阻害する。理想的には、数クロック期間内に遷移動作が完了することが望ましい。このように遷移時間が長い原因は、PZT の比誘電率 ϵ_r が約 700 と大きいことで駆動パルスが遅延しているためであると考え、本研究では SBT キャパシタ内蔵による NVFF の高速化を試みた^{4,5)}。SBT の比誘電率は $\epsilon_r \sim 300$ と小さいため、駆動パルス遅延の抑制が期待できる。また、半導体の微細化に伴って電源電圧は低下しており、5 V という駆動電圧では PZT キャパシタ内蔵 NVFF を SoC に内蔵することはできない。例えば 0.18 μm プロセス世代の CMOS 回路の電源電圧は 1.8 V である。本研究では、CSD 法で堆積する SBT の膜厚を 100 nm と薄膜化することで低電圧駆動へ対応した。

SBT キャパシタを内蔵した NVFF の遷移時間と電源電圧の関係を、図 2-3 に示す。1.8 V におけるシャットダウン動作および復帰動作に要する時間は、それぞれ 2.5 ns および 7.5 ns を達成することができた。これまでに強誘電体材料レベルでナノ秒オーダーの分極反転を観測した例はあるが⁶⁾、強誘電体キャパシタを実装した回路の測定で 10 ns を切る応答を得たのは知る限り初めてのことである。この応答時間は、100 MHz のシステムにおいて 1 クロック期間内で遷移可能な速度に相当する。従来の PZT キャパシタ内蔵 NVFF では遷移に 10 クロック期間を要していたため、その間に入力されたデータをバッファリングしておくためのレジスタが必要であった。強誘電体材料に SBT を使うことにより、データバッファなしで論理回路へ内蔵することが可能となり、回路規模を削減することが可能である。さらに、1.3 V におけるシャットダウンおよび復帰時間も、それぞれ 7.5 ns および 15.0 ns と高速であることが確認できた。この結果は、電源電圧が 1.2~1.3 V となる 90~130 nm プロセス世代においても、

SBT キャパシタ内蔵 NVFF が有効であることを示唆する。

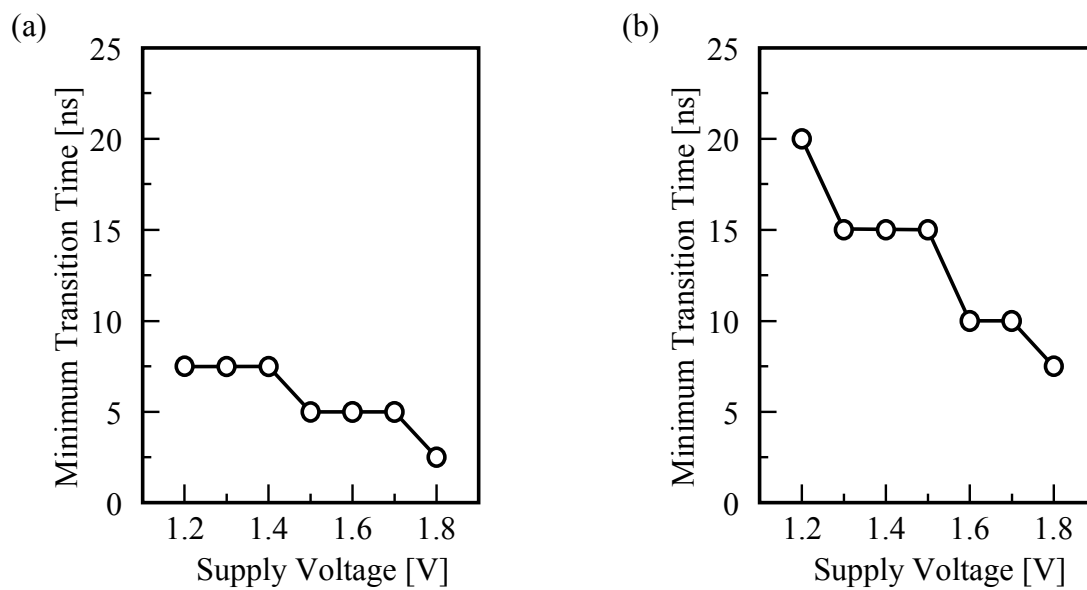


図 2-3 SBT-NVFF の遷移時間と電源電圧の関係

(a) シャットダウン動作

(b) 復帰動作

2-1-2 不揮発性 SRAM

不揮発性ラッチにアクセストランジスタを接続することにより、図 2-4 に示す不揮発性 SRAM (Nonvolatile SRAM: NVSRAM) セルを構成することができる。通常状態では揮発性メモリであるラッチに Hi/Lo 電圧としてデータを記憶し、これを読み出す。電源遮断時には不揮発性メモリである強誘電体キャパシタの自発分極としてデータを格納する。これまでに PZT キャパシタを内蔵した NVSRAM セルを 512Kbit 集積化したメモリチップが報告されている³⁾。6 個の MOS FET で構成される SRAM に 4 個の強誘電体キャパシタを内蔵する NVSRAM は、構成素子の増加によって大容量化では不利となるものの、産業機器などでランダムアクセスかつ不揮発性が要求される部分に使われている電池バックアップ SRAM の代替を期待されている。NVSRAM へ置き換えることによって電池切れ時のチップ交換が不要となり、メンテナンスフリーを実現できるためである。

NVFF と同様に、従来の PZT キャパシタ内蔵 NVSRAM は電源電圧が高く、シャットダウンおよび復帰にかかる遷移時間が長いという課題があった。SBT キャパシタを使うことにより、NVSRAM もまた高速化でき、低電圧動作が可能となる。

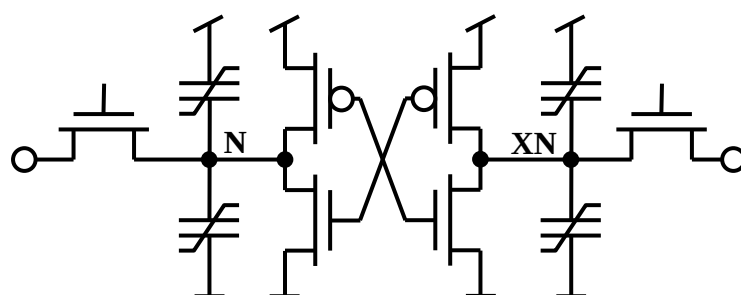


図 2-4 NVSRAM セル

しかし、SRAM と比較した NVSRAM の素子増加率は 67% (4/6) にとどまるものの、メモリセルが 1 素子で構成される NAND 型 Flash EEPROM や 2 素子で構成される DRAM などの既存メモリデバイスと比較すると圧倒的に素子数が多い。強誘電体キャパシタが信頼性・消費電力に優れていることを勘案しても、素子数の多さが大きなメモリ容量を必要とする分野への応用を阻害するものと考えられる。

これまでに NDRO 動作が可能な強誘電体メモリセル回路は、NVSRAM セル以外にも提案されている。例えば、図 2-5 (a) は 1 つの読み出し MOS FET と 2 つの強誘電体キャパシタで構成された 1T2C 型セルである⁷⁾。1T2C 型セルの素子数は 3 個であり、10 素子で構成される NVSRAM よりも小面積で NDRO セルを実現できる。その構造上、1T2C 型セルは選択トランジスタを接続することができないため、図 2-5 (b) のように単純マトリクス構成でメモリセルを集積化する。単純マトリクスアレイとは、行および列配線のアドレッシングによりメモリセルをクロスポイント選択するものである。しかし、非選択アドレスのメモリセルにディスタート電圧が発生するので誤

書き込みの可能性がある、1T2C 型セルは選択動作の精度を維持したままでの集積度向上が困難であると指摘されている⁸⁾。

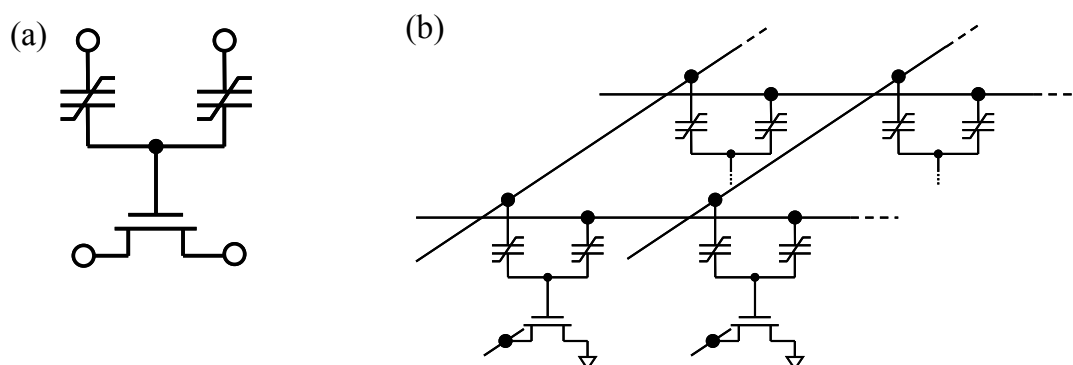


図 2-5 1T2C 型 NDRO セル

(a) セル回路構成 (b) 単純マトリクスアレイ

このような課題に鑑みて、本研究では不揮発性ラッチおよび 1T2C 型セルに代わる新たな NDRO セルの開発に取り組んだ。新たに提案する NDRO セルでは、従来方式の課題であったセルを構成する素子数の削減と、選択トランジスタを備えたアクティブマトリクスアレイの実現を目指した。次節以降、提案する NDRO 動作原理と試作結果について述べる。

2-2 MOS FET 負荷読み出し NDRO 回路の動作原理と実証

2-2-1 微小電界印加による分極反転回数の伸張

強誘電体の疲労劣化は印加する電界強度 E_F に依存することが知られている⁹⁾。読み出し動作で印加する E_F を低減できれば疲労劣化に至る分極反転回数を増やすことができると考え、本研究で用いる SBT の疲労劣化特性を調べた。

CSD 法で作製した厚さ 100 nm の SBT キャパシタに周波数 1 kHz・デューティ 50% の AC 電圧パルスを印加して分極反転を繰り返し、強誘電体テスター (Radiant 社 RT6000SI) で自発分極密度を測定した。自発分極密度が 10%劣化するパルス数を破壊と判定し、印加電界強度 E_F と破壊に至るパルス数の関係を調べた。AC パルス電圧を $V_F=3.0\sim6.0$ V と変えて試験を行い、破壊した分極反転回数 N_b の電界依存性 (図 2-6) を求めた。これまでに PZT の疲労劣化については下記のように詳細な検討が行われており、SBT に関する実験データの解析にあたっては PZT の手法を参考にした。

Mihara らはゾルゲル法で成膜した PZT へ印加した AC パルス電界 E_F と疲労劣化の関係を調べ、分極が低下するパルス印加数 (すなわち分極反転回数) N_b は E_F の逆数に指数関数的に比例することを報告している¹⁰⁾。

$$N_b = a \cdot \exp\left(\frac{b}{E_F}\right) \quad (2-1)$$

式中の a および b はフィッティングパラメータである。一方、Dawber らは PZT 中の酸素欠陥濃度、酸素欠陥移動度などから疲労劣化モデルを構築し、分極 P_r はパルス印加数 N に対して式 (2-2) の挙動を示すことを示した¹¹⁾。

$$P_r = A \cdot \exp\left\{-1.075 \times \left[\exp\left(\frac{-3.48 \times 10^3 + 5.21 \times 10^{-6} E_F}{T}\right)\right] \frac{N}{f}\right\} + B \quad (2-2)$$

T は温度、 f はパルス周波数、 A および B はフィッティングパラメータである。

本研究で用いる SBT はその酸素欠陥濃度、酸素欠陥移動度などが未知であるので Dawber らの式を用いることができないため、SBT の疲労劣化は経験式 (2-1) に従うと仮定して試験結果をフィッティングした。その結果、図 2-6 に示すように最小二乗法でフィッティングした外挿線は、SBT に印加される電圧が抗電圧 (Coercive Voltage: V_C) 以下の場合、分極反転は 10^{20} 回以上に伸張可能であることを示した¹²⁾。 10^{20} 回以上の読み出しが可能となれば、読み出し回数の制限を考慮せずに使用できる。すなわち、読み出し動作で SBT キャパシタに印加される電圧を V_C 程度まで低下することにより、実質的に読み出し回数の制限を無くすることができるようになる。

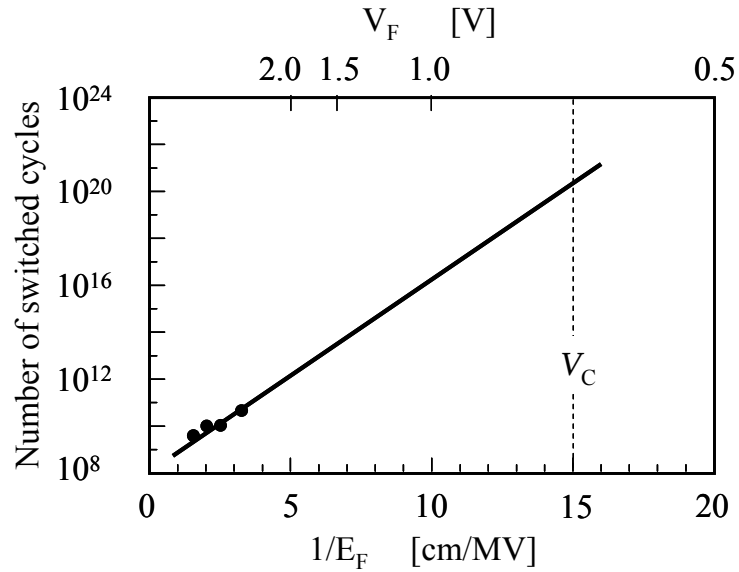


図 2-6 疲労劣化の電界依存性

電界依存性試験によって低電圧の読み出しで疲労劣化を抑制できることが判ったが、強誘電体に V_C 以下の電圧を印加したときに発生する電荷量は小さく、従来の分極破壊型 FeRAM で使われた読み出し回路でデータを読み出すことは不可能である。その理由は、負荷キャパシタとして使われているビット線の寄生容量で電圧変換して得られる信号電圧が小さすぎ、センスアンプによるデータ判別が困難なためである。また、ビット線の寄生容量は製造上のばらつきが大きいこともセンスアンプ回路の設計を困難とする。従って、読み出し回数を伸張するために印加電界を低下し、発生した微小な電荷量を読み出すことができるメモリセル回路の研究が必要である。次項では、本研究で新しく開発したメモリセル回路およびその駆動方法について述べる。

V_C 以下の電圧印加で発生した微小な分極電荷を検出するため、図 2-7 のように強誘電体キャパシタに読み出しトランジスタである MOS FET のゲートを直結し、中間電極にリセットトランジスタを接続したセル構成を考案した¹³⁾。新しいメモリセルはビット線の寄生容量よりも十分に小さな MOS FET のゲート容量 C_G を負荷キャパシタに用いることにより、電荷量を電圧に変換 (Q-V 変換) する効率を高めている。 V_C 以下の分圧が強誘電体キャパシタに印加されるように上電極に読み出し電圧を印加し、発生した微小量の電荷は C_G でゲート電圧 V_G に変換され、読み出しトランジスタのドレイン・ソース間電流 I_{DS} を変調する。出力に適当な負荷を接続して I_{DS} を電圧に変換し、これを電圧センス回路で検出する。強誘電体キャパシタに書き込まれている分極方向によって発生する電荷量が異なるので、出力電圧の違いにより分極方向を判別する。半導体プロセスで形成する MOS FET の C_G は高精度に制御でき、本メモリセルは安定した動作が期待できる。



エンハンスメント型の N チャネル MOS FET では、ゲートに負電圧を印加したときにホールが蓄積され、(2-3) 式のように C_G はゲート酸化膜容量 C_{ox} に一致する。正のゲート電圧を印加すると、多数キャリアが追い払われた空乏状態となり、(2-4) 式に示すようにゲート酸化膜容量と空乏層容量の直列容量となる。しきい値電圧 V_t 以

上のゲート電圧を加えるとチャネルに反転層が形成され、(2-6) 式のように再び C_G は C_{ox} に一致する。

(i) $V_G \leq 0V$ (蓄積状態)

$$C_G = \frac{\epsilon_0 \cdot \epsilon_r \cdot W \cdot L}{t_{ox}} \equiv C_{ox} \quad (2-3)$$

ϵ_0 : 真空の誘電率, ϵ_r : 比誘電率, W : ゲート幅, L : ゲート長, t_{ox} : ゲート絶縁膜厚さ

(ii) $0V < V_G \leq V_t$ (空乏状態)

$$C_G = \frac{1}{\frac{1}{C_{ox}} + \frac{1}{C_d}} \quad (2-4)$$

ただし、

$$C_d = \frac{\epsilon_0 \cdot \epsilon_r \cdot W \cdot L}{t_d} \quad (\text{td: 空乏層厚さ}) \quad (2-5)$$

(iii) $V_t \leq V_G$ (反転状態)

$$C_G = \frac{\epsilon_0 \cdot \epsilon_r \cdot W \cdot L}{t_{ox}} \quad (2-6)$$

すなわち、ゲート電圧を負から正へと変化させたときに MOS FET は蓄積・空乏・反転という 3 つの状態を遷移する¹⁴⁾。蓄積および反転状態の C_G に比べて、空乏状態における C_G は小さく、MOS FET のゲートに蓄積される電荷の電圧依存性 (Q-V 特性) は図 2-8 に示すように折れ線形状となる。

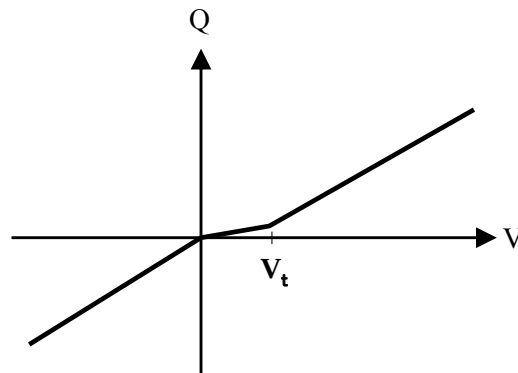


図 2-8 MOS FET 負荷の Q-V 特性

第 1 章の破壊読み出し動作と同様に、MOS FET 負荷線を P_r - V_F ヒステリシスを重ね合わせることで読み出し動作における分極および電圧状態を明らかにできる。以下、図面を参照しながら折れ線形状の負荷容量を用いた MOS FET 負荷 NDRO セルの非破壊読み出し動作を説明する。

データの読み出し動作では、図 2-9 に示すようにリセットトランジスタをオフにした状態で、直列接続された強誘電体キャパシタと読み出しトランジスタの上電極に読み出し電圧 V_{RD} を印加する。 V_{RD} は、強誘電体キャパシタへ印加される分圧 V_F が V_C を超えない範囲に設定する。図 2-10 (a) に示すように、強誘電体キャパシタに負の残留分極（データ"0"）を記憶しているセルはヒステリシス曲線の傾きが大きく、 V_{RD} 印加によって比較的大きなゲート電圧 $V_{G(0)}$ が発生する。一方、正の残留分極（データ"1"）を記憶しているセルはヒステリシス曲線の傾きが小さく、発生するゲート電圧 $V_{G(1)}$ は小さい。

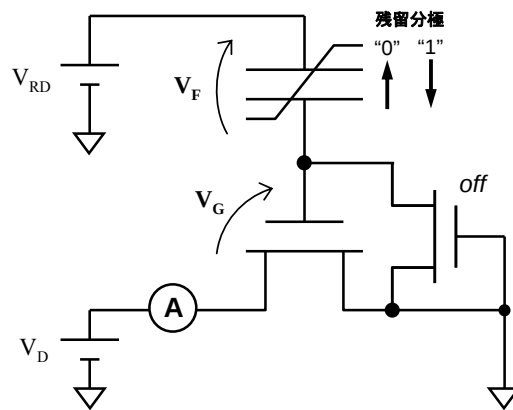


図 2-9 読み出し動作

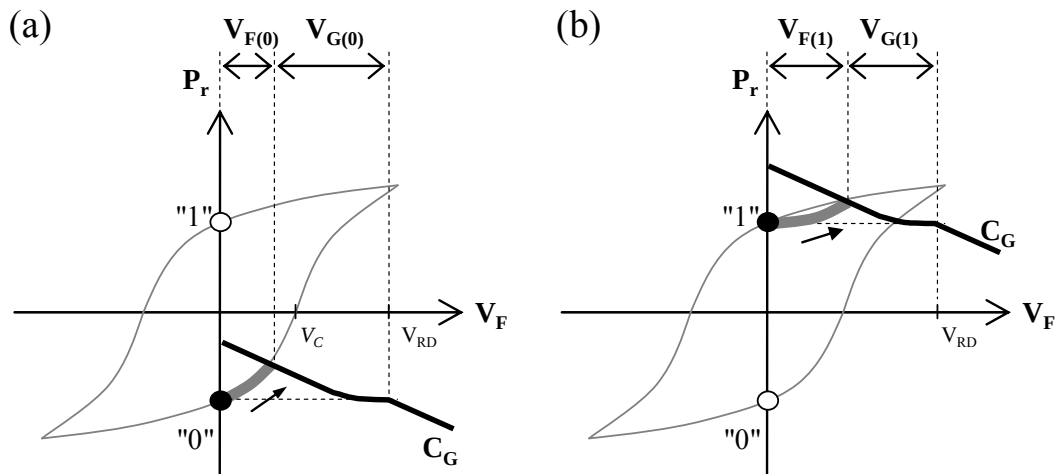


図 2-10 分極ヒステリシスと負荷線（読み出し動作）

(a) データ "0" (b) データ "1"

読み出し中のソース電極は接地し、ドレイン電極に正電圧 V_D を印加しているので、ドレイン・ソース間をゲート電圧に応じた電流 I_{DS} が流れる。MOS FET の簡易表式に従えば、 I_{DS} は (2-7) 式のように表すことができる¹⁵⁾。

$$I_{DS} = \frac{1}{2} \cdot \mu \cdot \frac{\epsilon_0 \cdot \epsilon_r \cdot W \cdot L}{t_{ox}} \cdot (V_G - V_t)^2 \quad (2-7)$$

μ ; 移動度

V_G で変調された I_{DS} の大小を検知することにより、強誘電体キャパシタに記憶していたデータの判別が可能である。すなわち、記憶データによるゲート電圧の大きさは $V_{G(0)} > V_{G(1)}$ という関係にあるので、(2-5) 式から明らかなように I_{DS} が大きいときにはデータ"0"、 I_{DS} が小さいときにはデータ"1"と判定する。

データの読み出しが終了した後、上電極を接地する (図 2-11)。このときリセットトランジスタはオフ状態にあるので中間電極は電荷中性条件を維持しており、ゲート容量の電荷量が初期の分極値 $P_t(V_F=0)$ と一致するように負荷線は電圧ゼロにシフトする。データ"1"を記憶していた素子の分極は、図 2-12 (b) に示すように上電極接地によって読み出し前と同一状態に復帰する。一方、データ"0"を記憶していた素子の分極状態は、図 2-12 (a) に示すようにマイナーループ上を移動して負荷線の交点に移る。このとき MOS FET のゲート電圧は V_t 以下で空乏状態にあつて C_G は非常に小さいため、負荷線の傾きは水平に近い。ゆえにデータ"0"の分極はほぼ読み出し前の状態まで戻ることができる。言い換えれば、このとき強誘電体には負の電圧 (図 2-11 では上向きの電圧) が印加されており、上向きの分極を書き込む再書き込み動作が自動的に実行されている。

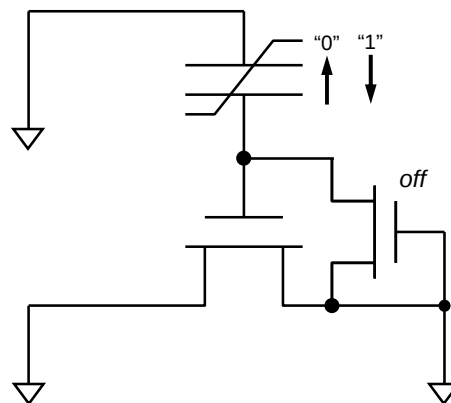


図 2-11 読み出し後

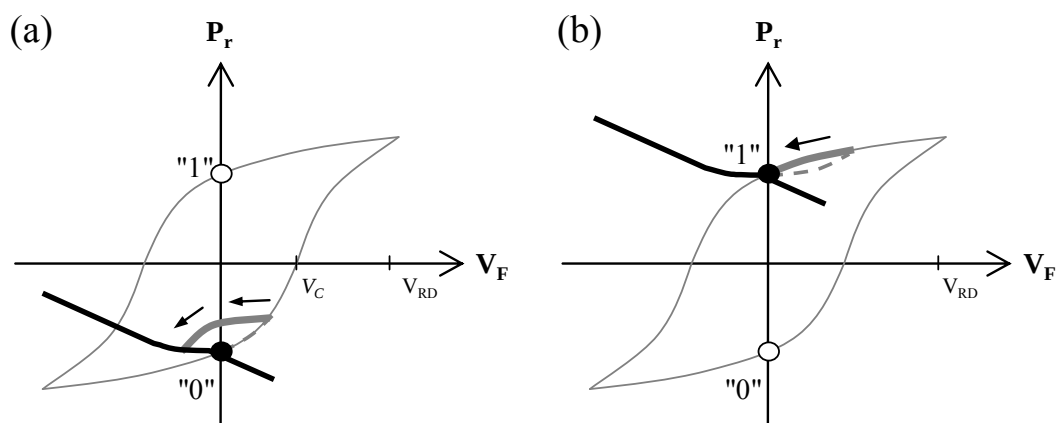


図 2-12 分極ヒステリシスと負荷線（読み出し後）

(a) データ "0" (b) データ "1"

次いで、図 2-13 のようにリセットトランジスタをオン状態にして中間電極を接地することで強誘電体への印加電圧を除去し、データ"0"の分極状態を読み出し前の記憶状態に復帰する（図 2-14）。第 1 章で述べたように、リセット動作で電界無印加状態となった強誘電体キャパシタは、安定してデータ保持が可能である。

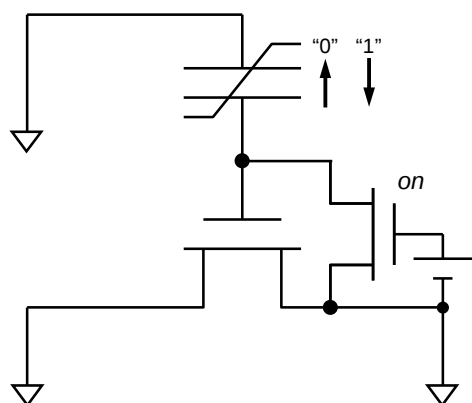


図 2-13 リセット動作

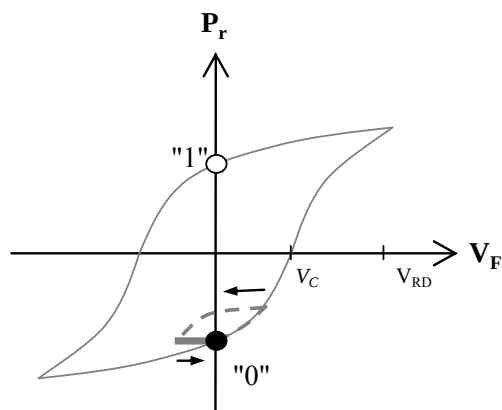


図 2-14 分極ヒステリシス（リセット動作）

以上に述べた上電極への読み出し電圧印加、上電極の接地、中間電極のリセットという工程を経ることにより、再書き込み動作を実行せずとも読み出し前後の分極状態が一致し、NDRO 動作を実現する。

2-2-3 0.6 μm テストセルを用いた NDRO 動作の実証

新たに提案した MOS FET 負荷 NDRO セルの NDRO 動作を実証するため、テストセルを作製した¹³⁾。テストセルは、0.6 μm ルールで作られた破壊読み出し型 FeRAM チップ上の SBT キャパシタと MOS FET をメタル配線で接続することで実現した。セル回路は、図 2-15 に示すように SBT キャパシタ C_F と読み出しトランジスタ (Nch-MOS FET) Q_1 、さらに読み出し後の中間電極リセット用に 2 つのリセットトランジスタ (Pch-MOS FET) Q_2, Q_3 で構成した。リセットトランジスタはその動作上 Pch-MOS FET あるいは Nch-MOS FET のいずれを用いてもよいが、本試験では既存設計 FeRAM からの配線レイアウト改変が容易であることから Pch-MOS FET を用いた。

テストセルに用いた素子の寸法は、表 2-1 の通りである。既存設計からの改変であるため、ゲート幅 W とゲート長 L の比が大きい MOS FET を使うこととなった。この場合に懸念されるのはリークが大きくなること、ゲートのフリンジ電界による寄生容量が大きくなることである。後述のように、本試験は μs オーダーの高速パルス印加で動作したため、リークの影響は考慮しなくてもよい結果となった。また、寄生容量についてはシミュレーションを行い、読み出し動作において SBT キャパシタに印加される電圧を算出し、試験結果と対比して考察を行った。

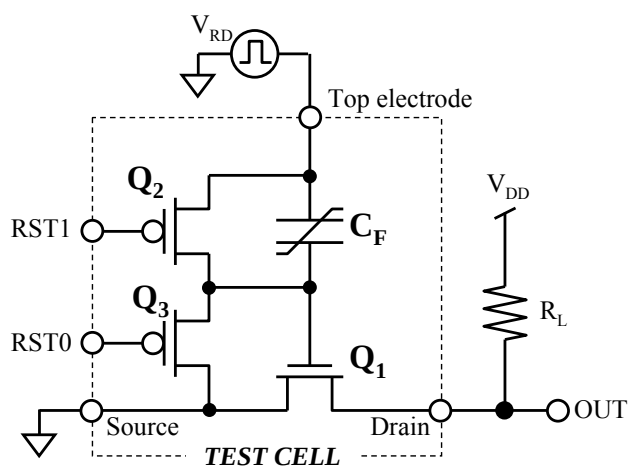


図 2-15 テストセル回路

表 2-1 素子寸法

C_F	$S = 3.0 \mu\text{m} \times 3.0 \mu\text{m}$ $t = 220 \text{ nm}$
Q_1	$W/L = 72 \mu\text{m} / 1.0 \mu\text{m}$
Q_2, Q_3	$W/L = 75 \mu\text{m} / 0.6 \mu\text{m}$

テストセルに用いた SBT キャパシタ断面の走査電子顕微鏡 (Scanning Electron Microscope: SEM) 写真ならびにセル回路の光学顕微鏡写真を、それぞれ図 2-16 (a) , (b) に示す。平行平板電極構造の SBT キャパシタはシリコン基板上に形成された MOS FET に隣接して配置され、MOS FET と SBT キャパシタの上電極を Al 配線で接続している。CSD 法で成膜した SBT の厚みは 220 nm であり、上下電極は Pt を用いた。SBT は X 線回折法 (X-ray Diffraction) によりランダム配向した多結晶構造であることを確認した。そのグレインサイズは、概ね 200 nm であった。実験に用いた SBT キャパシタの典型的な分極-電圧 (P_r - V_F) ヒステリシス特性を図 2-17 に示す。その抗電圧 V_C は 0.9 V、すなわち抗電界 E_C は 40 kV/cm である。

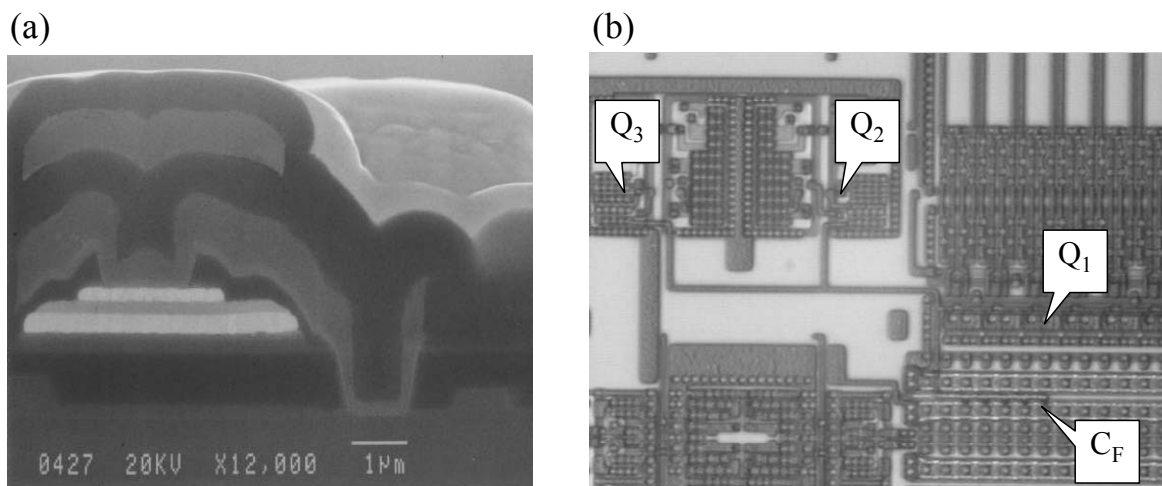


図 2-16 0.6μm テストセル

(a) SBT キャパシタの断面 SEM 写真 (b) セル回路の光学顕微鏡写真

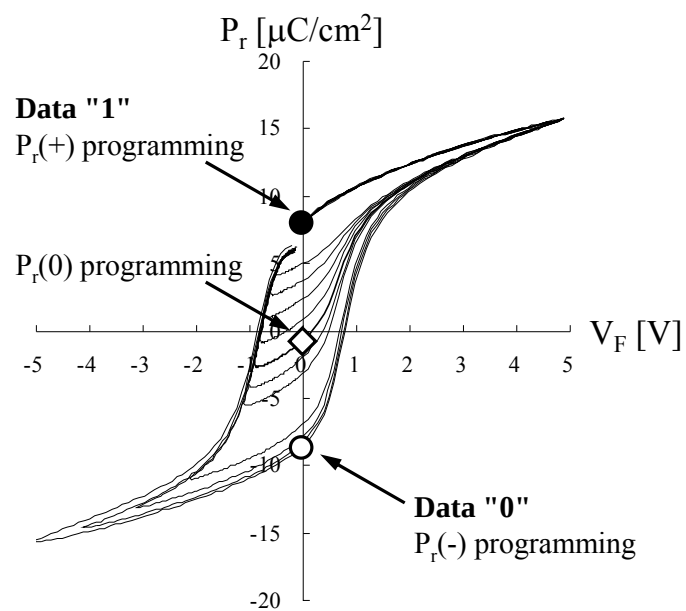


図 2-17 P_r - V_F ヒステリシス特性

テストセルへの 2 値データの書き込みは、リセットトランジスタのゲート電極 RST1 に High 電位を印加して Q_2 をオフ、RST0 に Low 電位を印加して Q_3 をオン状態にして、上電極とソース電極の間に +5 V あるいは -5 V の電圧を印加して行った。これらは図 2-17 の飽和ヒステリシスが分極軸と交わる正負の 2 点に対応し、それぞれ $P_r(+)$ プログラム (データ "1") および $P_r(-)$ プログラム (データ "0") と呼ぶこととする。また、比較実験として、+5 V の電圧印加後に -1 V の電圧を印加し、分極が概ねゼロとなる状態を書き込んだセルの動作を調べた。この分極状態を、 $P_r(0)$ プログラムとする。

SBT キャパシタに記憶している分極状態は、パルス幅 1 μs の読み出しパルスを上電極に印加して読み出した。このとき、テストセルのソース電極は接地し、ドレイン電極には負荷抵抗 $R_L=2.2 \text{ k}\Omega$ を接続して電源電圧 $V_{DD}=5 \text{ V}$ でプルアップし、OUT 端子に出力される電圧 (V_{OUT}) を測定した。この構成により I_{DS} は R_L で電圧に変換して出力され、読み出し動作における I_{DS} 変調が確認できる。読み出し動作の前後にはリセットトランジスタのゲート (RST0,1) 端子に Lo 電圧を印加して中間電極をリセットした。

データ "1" およびデータ "0" を記憶しているセルからの読み出し動作を繰り返し行ったときに OUT 端子に観測される波形の一例を図 2-18 に示す。記憶している 2 値データに対応して、OUT 端子へ異なる電圧が出力されていることを確認できる。前節で述べたように読み出し動作におけるドレイン電流は $I_{DS(1)} < I_{DS(0)}$ であるので、データ "0" 格納セルの出力電圧 ($=V_{DD}-I_{DS(0)} \cdot R_L$) はデータ "1" 格納セルの出力電圧 ($=V_{DD}-I_{DS(1)} \cdot R_L$) よりも低くなる。本結果より、テストセルに記憶された 2 値データが正しく読み出されていることが判る。

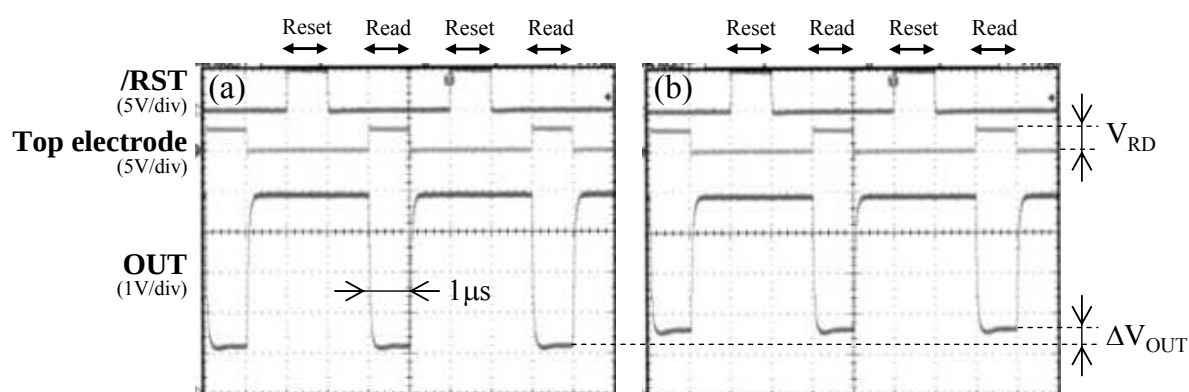


図 2-18 出力波形の一例
(a) データ "0" (b) データ "1"

上電極に印加する読み出しパルスの電圧 V_{RD} を変えて読み出し動作を繰り返し、2 値データを記憶したテストセルから出力される OUT 端子電圧の差 (ΔV_{OUT}) を調べた。

読み出し動作を連続して 10^6 回繰り返した後に測定した ΔV_{OUT} を図 2-19 に示す。 $V_{RD} \leq 1.2$ V で $\Delta V_{OUT} = 0$ V であり、2 値データを読み出すことができなかった。この読み出し電圧の範囲では、正負の分極でヒステリシス形状の差が小さいためと考えられる。 $V_{RD} = 1.4$ V 付近から分極反転による電流変調が観測され、 V_{RD} 増加に伴って ΔV_{OUT} は増加し、 $V_{RD} = 2.6$ V で最大値 $\Delta V_{OUT} \sim 0.4$ V を示した。 V_{RD} が 2.6 V を超えると ΔV_{OUT} は急激に低下し、 $V_{RD} > 3.6$ V の読み出し電圧範囲では出力差は検出できなかった。

テストセルに用いた MOS FET の $I_{DS}-V_G$ 特性は既知であるので、出力電圧から強誘電体印加電圧 V_F を求めることができる。 $I_{DS}-V_G$ 特性から見積もった $V_{RD} = 3.6$ V における強誘電体印加電圧は $V_F \sim 1.0$ V であり、抗電圧 $V_C = 0.9$ V を超えていることが確認できた。すなわち、読み出し動作で分極が完全に破壊されてしまい、読み出し後に上電極を接地して発生する自動再書き込み動作でも分極が元の状態に戻らなかったと考えられる。

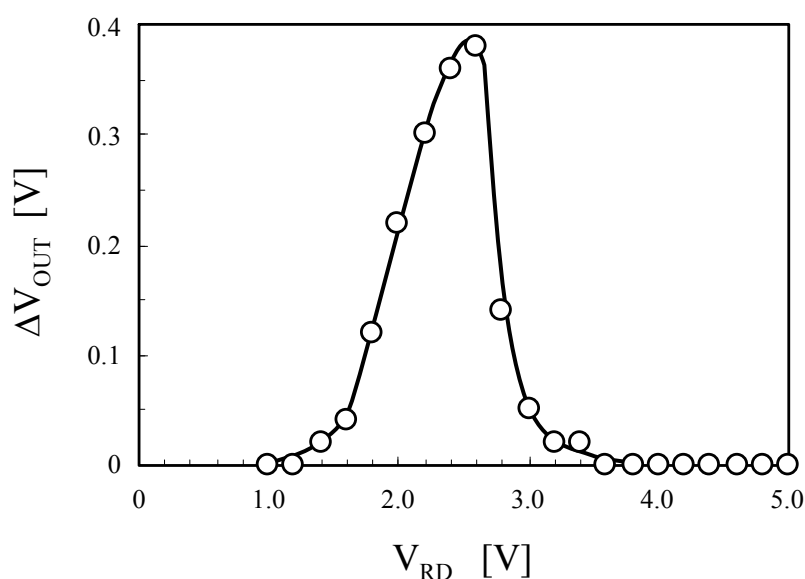


図 2-19 出力電圧差の読み出し電圧依存性
(読み出し動作 10^6 回後)

次いで、 10^6 回以上の連続読み出し試験を行った。上電極に印加した読み出しパルスの電圧値は、 10^6 回の読み出し試験で最大の ΔV_{OUT} が得られた $V_{RD}=2.6$ V とした。本試験は、読み出し動作で分極破壊が発生するデータ"0"を記憶したセルについて行い、その出力電圧 V_{OUT} の変化を調べた。

読み出し回数に対する V_{OUT} の推移を、図 2-20 に示す。読み出し回数の増加に伴って V_{OUT} は単調に増加し、比較試験した $P_r(0)$ プログラムの 10^6 回における V_{OUT} 値を 10^{10} 回の読み出しで超える結果となった。グラフの外挿から 10^{16} 回の読み出し動作でデータ"1"記憶セルの V_{OUT} に達し、 ΔV_{OUT} はゼロとなってしまうことが予想できる。これは、本試験の $V_{RD}=2.6$ V という条件ではデータ読み出し後に発生する自動再書き込み電圧が小さく、読み出しで破壊した分極状態を元に戻すには不十分であったためと考えられる。そのため、データ"0"記憶セルで初期に書きこまれた負の分極値は、読み出し毎に僅かずつ破壊して正方向に変化し続けたと考えられる（図 2-21）。

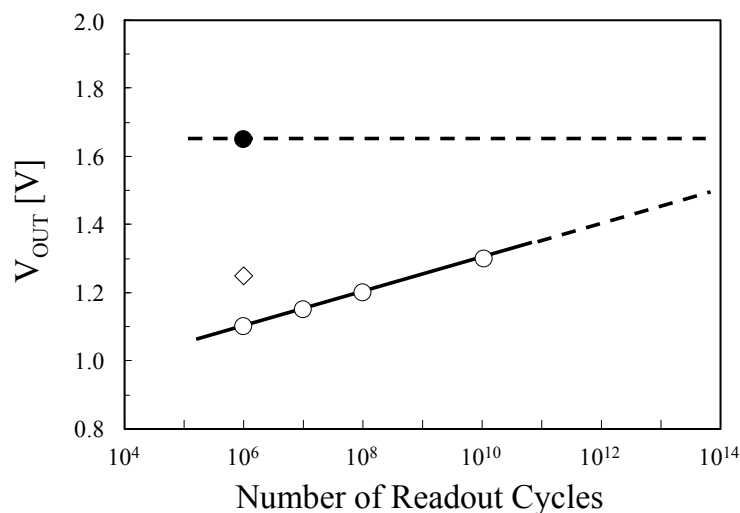


図 2-20 最大 ΔV_{OUT} 条件における連続読み出し ($V_{RD}=2.6$ V)

●データ"1" ; $P_r(+)$ ○データ"0" ; $P_r(-)$ ◇ $P_r(0)$ プログラム

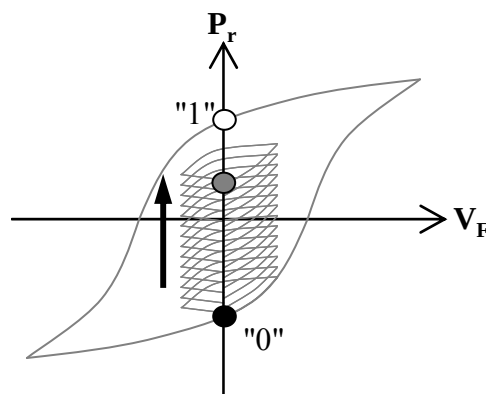


図 2-21 連続読み出しにおける分極変化イメージ ($V_{RD}=2.6$ V)

本研究の目的である 10^{16} 回以上の NDRO 動作を実現するには、読み出し動作で破壊される分極量と自動再書き込みによって書き込む分極量をバランスさせる必要がある。読み出し前後の分極状態を完全に一致させるため、読み出し電圧を $V_{RD}=2.2\text{ V}$ に低下し、破壊する分極量を減らした状態での連続読み出しを試みた。

読み出し回数に対する V_{OUT} の推移を、図 2-22 に示す。データ"1"を記憶したセルからの出力電圧は、読み出し回数に対してほぼ一定であった。一方、データ"0"を記憶したセルからの出力電圧は、初回から 10 回目にかけて大きく上昇した後、徐々に増加し続けた後、 10^9 回で飽和した。飽和後の出力電圧は 10^{12} 回の読み出しにおいても安定しており、2 値データの出力電圧差は $\Delta V_{OUT}=0.2\text{ V}$ を維持した。

比較のために $P_r(0)$ プログラムでゼロ分極を書き込んだセルの連続読み出しを行ったところ、データ"1"セルと同様に読み出し回数を重ねても一定の V_{OUT} を示した。これは読み出し動作で分極状態が変化せず、初期に書き込んだゼロ分極の状態を維持していることを意味する。この $P_r(0)$ プログラムセルから出力された V_{OUT} は、データ"0"記憶セルから 10^9 回の読み出しを行ったときに飽和した V_{OUT} と一致している。すなわち、当初 $P_r(-)$ にあったデータ"0"セルの分極は、 10^9 回の読み出し動作の繰り返しによって $P_r(0)$ 付近まで変化した後、安定化したと考えてよい。

本試験結果より、データ"0"記憶セルの分極変化は、図 2-23 のように描くことができる。初期に書き込まれていた負の分極値は読み出し毎に僅かずつ正方向に変化し、 10^9 回の読み出しでゼロ分極に達した後、読み出し前後で分極が変化せずに図中に太い実線で示した同一の軌跡を描き続けたと考えられる。すなわち、本試験で用いた $V_{RD}=2.2\text{ V}$ の読み出し電圧条件下で、NDRO 動作を実現できている。 10^9 回の読み出し以降、2 値データを記憶したセルからの出力電圧差は安定しており、 10^{16} 回の読み出しも可能であると予測できる。

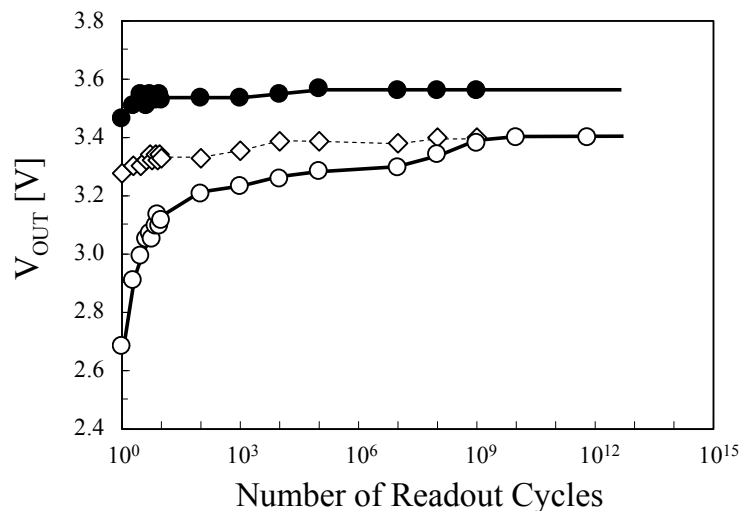


図 2-22 NDRO 条件における連続読み出し動作 ($V_{RD}=2.2\text{ V}$)

●データ"1" ; $P_r(+)$ ○データ"0" ; $P_r(-)$ ◇ $P_r(0)$ プログラム

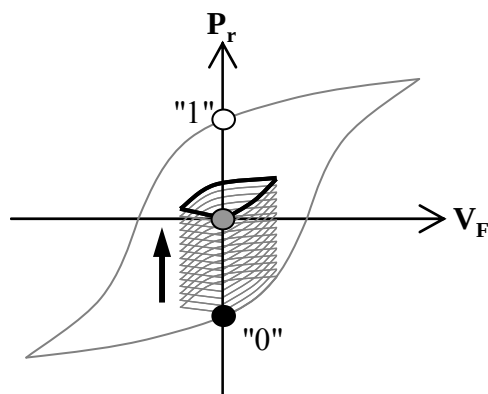


図 2-23 連続読み出しにおける分極変化イメージ ($V_{RD}=2.2\text{ V}$)

既知である MOS FET の $I_{DS}-V_G$ 特性から $V_{RD}=2.2\text{ V}$ における強誘電体印加電圧 V_F を求めたところ、 $V_F=0.66\text{ V}$ であった。 $V_F=0.66\text{ V}$ という値は抗電圧 $V_C (=0.9\text{ V})$ の約 70%に相当し、 $0.7V_C$ という電圧条件で NDRO 動作が実現できることが判った。

実験で得られた NDRO 動作における $V_F=0.66\text{ V}$ という電圧値が妥当なものであるか検証するため、シミュレーションを行った。MOS FET 負荷 NDRO セルの NDRO 動作は折れ線形状の容量特性が生み出す逆バイアスの自動再書き込み動作がキーポイントであるので、シミュレーションにあたりテストセルに存在する寄生容量を正確に算出した。MOS FET のゲートとソース／ドレイン間にはオーバーラップ容量およびフリンジ電界容量が存在し、これらを合わせて C_{GS} , C_{GD} とする。図 2-24 に示すように、読み出しトランジスタ Q_1 、リセットトランジスタ Q_2 , Q_3 にそれぞれ $C_{GS(Q1)}$, $C_{GD(Q1)}$, $C_{GD(Q2)}$, $C_{GS(Q3)}$ が存在する。また、中間電極とリセットトランジスタを接続するソース／ドレイン電極には p-n 接合の面積に依存した容量および端部電界容量が存在し、これらを合わせて C_J とする。MOS FET および SBT キャパシタを接続するメタル配線容量はこれらの寄生容量に比べて十分に小さく、無視した。

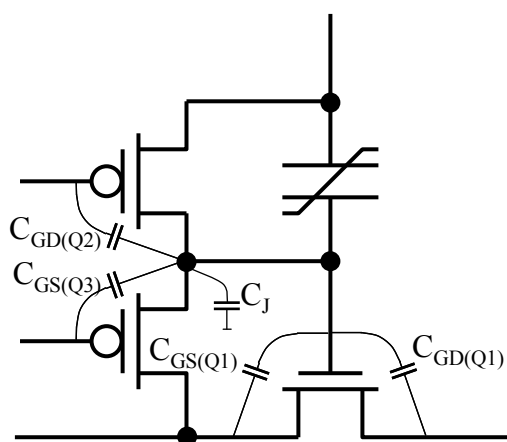


図 2-24 テストセルに存在する寄生容量

MOS FET の標準シミュレーションモデルである BSIM3.3 に組み込まれた容量モデル¹⁶⁾、および抽出したデバイスパラメータを用いて、MOS 容量 C_G および寄生容量 $C_P (= C_{GS(Q1)} + C_{GD(Q1)} + C_{GD(Q2)} + C_{GS(Q3)} + C_J)$ を計算した。これらの容量特性から負荷容量 $C_L (= C_G + C_P)$ の折れ線形状を求め、図 2-17 に示した $P_r(0)$ プログラムおよび $P_r(+)$ プログラムのヒステリシスとの合成を行い、図的に強誘電体印加電圧を求めた。なお、本シミュレーションにおいて、SBT キャパシタの面積は 1 cm^2 に規格化している。

NDRO 条件である読み出し電圧 $V_{RD}=2.2 \text{ V}$ を印加したときのヒステリシスと負荷線の合成図を図 2-25 に示す。負荷線と 2 つのヒステリシスとの交点 R0 および R1 が、 10^9 回以上の読み出し後におけるデータ"0"および"1"の動作状態を示している。強誘電体印加電圧 V_F は、それぞれ 0.60 V および 0.52 V である。表 2-2 に示す通り、本シミュレーション結果は連続読み出し試験で得られた値とよく一致した。

シミュレーションで算出した（空乏状態にある）負荷容量は $C_L=310 \text{ nF}$ であった。この負荷容量で生み出される逆バイアスにより再書き込みされる分極量が、抗電界の 70% という印加電界により破壊される分極量とバランスした結果、NDRO 動作を実現できたと結論付けられる。なお、負荷容量値 $C_L=310 \text{ nF}$ は、テストセルに用いた SBT キャパシタの面積 $9 \text{ } \mu\text{m}^2$ で換算すると $C_L=28 \text{ fF}$ に相当する。

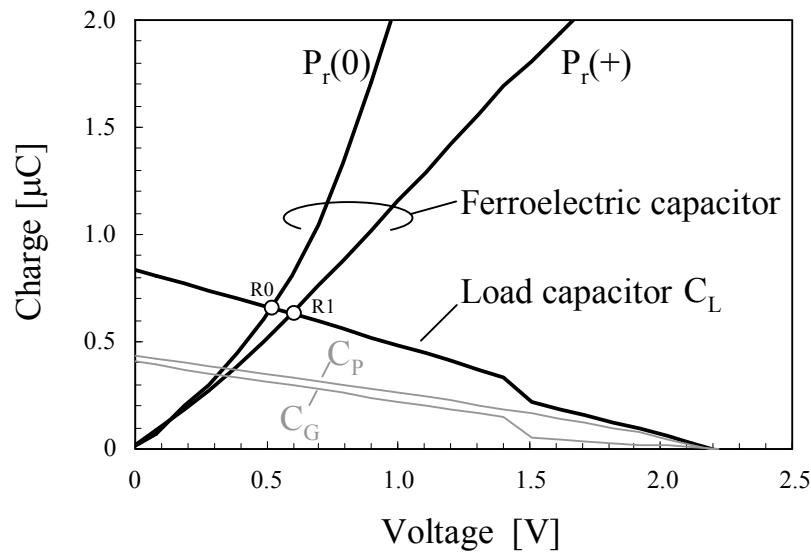


図 2-25 NDRO 動作状態シミュレーション
(SBT キャパシタ面積を 1 cm^2 に規格化している)

表 2-2 NDRO 動作における V_F ($V_{RD}=2.2\text{V}$)

	Data "0" ; $P_r(0)$	Data "1" ; $P_r(+)$
Experiment	0.66 V	0.59 V
Simulation	0.60 V	0.52 V

2-3 NDRO FeRAM

2-3-1 0.6 μm NDRO セルを集積化した 64Kbit FeRAM

0.6 μm テストセルで得られた知見に基づき、MOS FET 負荷 NDRO セルを集積した NDRO FeRAM チップを開発した¹³⁾。そのブロック構成およびチップ概観写真を図 2-26 に示す。開発した NDRO FeRAM は、MOS FET 負荷 NDRO セルを 8Kbit アレイ化したブロックを 8 個配置し、64Kbit の容量を持つ。1Byte のデータ I/O は、それぞれ 8 つのメモリブロックに対応している。各ブロックのローおよびカラムに配置されたデコーダにより、任意のアドレスにランダムアクセス可能である。MOS FET 負荷 NDRO セルの読み出しトランジスタから出力される電流はビット線電圧を変調し、交差結合インバータにより増幅した後、2 値データとして出力する。

MOS FET 負荷 NDRO セルは V_c 以下の微弱電圧印加で発生する電荷を検知するため、メモリセルアレイ中の特性ばらつきがチップ性能を左右する。セルばらつきがあっても安定して動作できるように、NDRO FeRAM は 2 つのセルをペアとし、それぞれに上下の分極を書き込む相補セル方式を採用した。相補セルからの出力電圧は、1 つのセルから出力する電圧の 2 倍とできるので、動作マージンが大きいという特長がある。試作した NDRO FeRAM のアレイを構成する全てのセルが正常に動作する電圧範囲を初期および信頼性試験後に測定することにより、NDRO 動作の安定性を評価した。以下、その結果を示す。

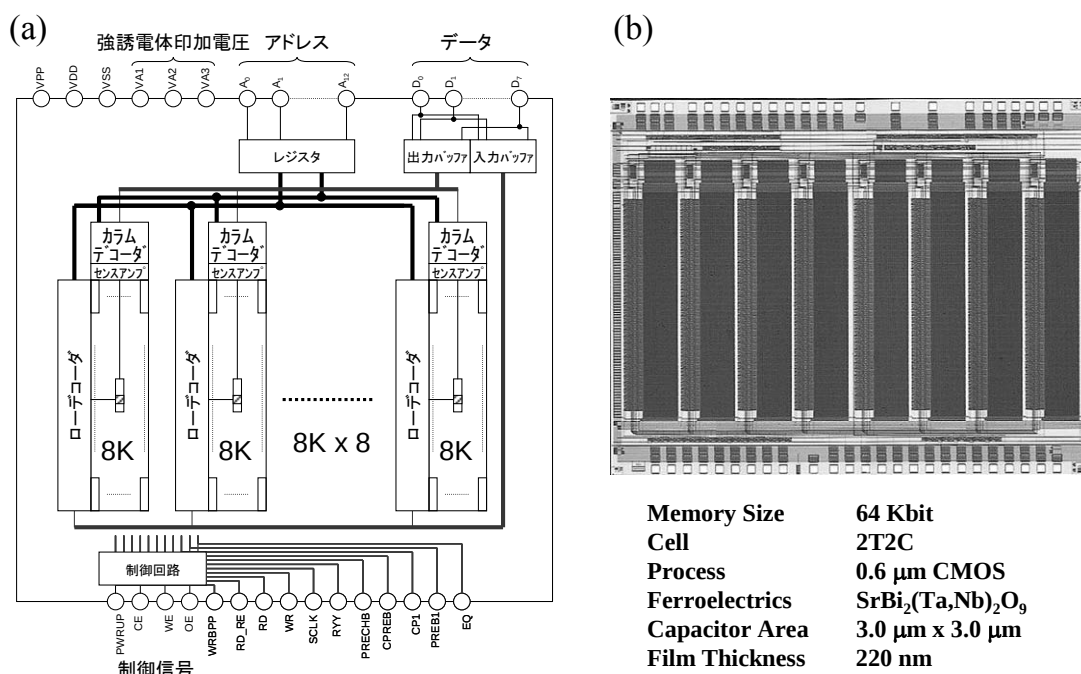


図 2-26 64Kb NDRO FeRAM

(a) ブロック図 (b) チップ写真

アクセス時間と電源電圧を変化させて正常に動作する範囲を測定し、得られたアクセス・シム・プロットを図 2-27 に示す。電源電圧 5.0 V において、メモリセルアレイの全アドレスへのランダムアクセスが 120 ns で実行可能であることが確認できた¹³⁾。これは、中速度 SRAM、DRAM、NOR 型 EEPROM などのランダムアクセスメモリと同等である。

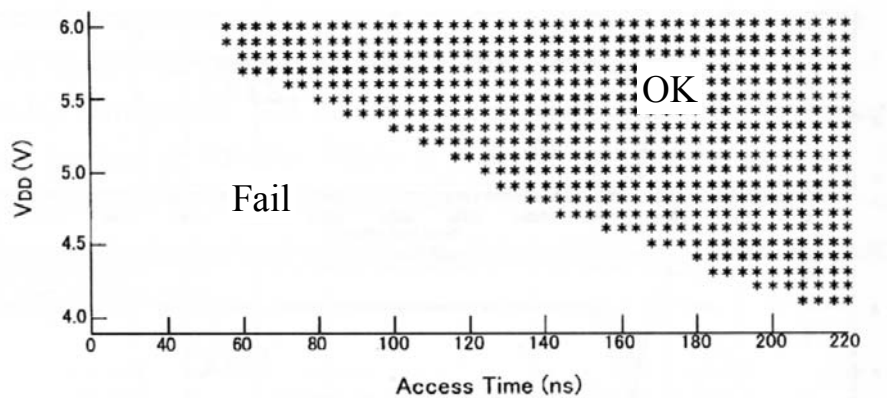


図 2-27 アクセス・シム・プロット

次に、NDRO FeRAM の信頼性を調べるため、高温保存試験を行った^{17,18)}。試験に先立って $P_r(+)$ プログラムおよび $P_r(-)$ プログラムにより正負の対称な分極値にデータ "1" および "0" を書きこんだ。これを 125 °C の高温下に保存した後、記憶していたデータとは逆のデータを書き込み、これを正常に読み出すことができる最小の読み出し電圧 $V_{RD(min)}$ を測定した。保存時間に対する $V_{RD(min)}$ の変化を図 2-28 に示す。 $V_{RD(min)}$ は高温保存によって上昇し、電源電圧との差である動作マージンが減少する結果となった。

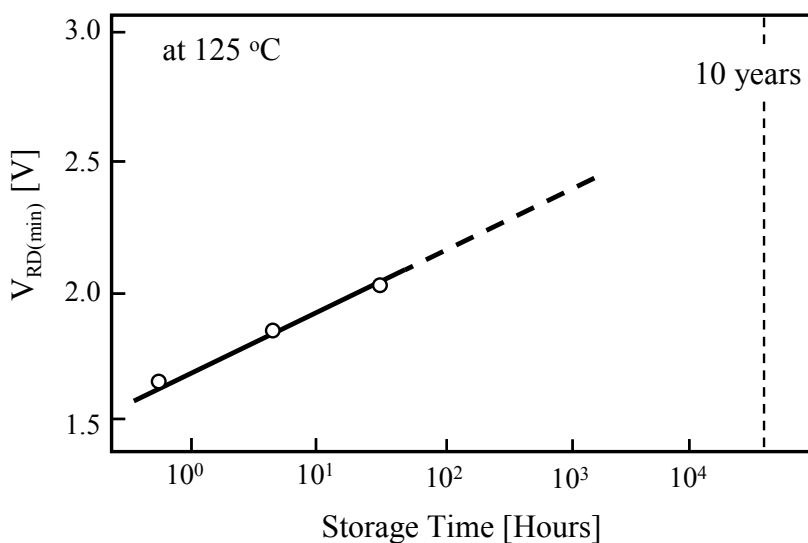


図 2-28 高温保存試験結果（対称プログラム）

$V_{RD(min)}$ の上昇は高温保存によってヒステリシス形状が変化するインプリント現象が原因と考えられ、強誘電体中の不純物イオンが高温下で移動することによって起こる。

$P_r(-)$ プログラムしたデータ"0"記憶セルにおいて、高温保存前の初期状態では読み出し電圧 V_{RD} の印加によりゲート電圧 $V_{G(1)}$ が発生していたとする。高温保存後、図 2-29 (a) のようにインプリントによってヒステリシスは正電圧側にシフトする。この状態で $P_r(+)$ プログラムにより書き込んだ逆データを読み出す。インプリントによって正の分極付近のヒステリシスは傾きが低下しているため、インプリント前の読み出し電圧で発生した $V_{G(1)}$ と同じ電圧を得るには、 V_{RD} よりも高い読み出し電圧 V_{RD_i} を印加する必要がある。一方、 $P_r(+)$ プログラムしたデータ"1"記憶セルにおいて、高温保存前の初期状態では読み出し電圧 V_{RD} の印加によりゲート電圧 $V_{G(0)}$ が発生していたとする。高温保存後、図 2-29 (b) のようにインプリントによってヒステリシスは負電圧側にシフトする。この状態で $P_r(-)$ プログラムにより書き込んだ逆データを読み出す。インプリントによって負の分極付近のヒステリシスは傾きが增加しているため、 V_{RD} よりも低い読み出し電圧 V_{RD_i} でインプリント前と同じゲート電圧 $V_{G(0)}$ を発生することができる。

以上の考察より、 $V_{RD(min)}$ の上昇は、 $P_r(-)$ プログラムしたデータ"0"記憶セルの挙動が支配的である。微小な分極反転を検出する NDRO 動作は、破壊読み出し方式の FeRAM に比べてインプリント耐性が低いといえ、その解決が実用化の上で必須である。

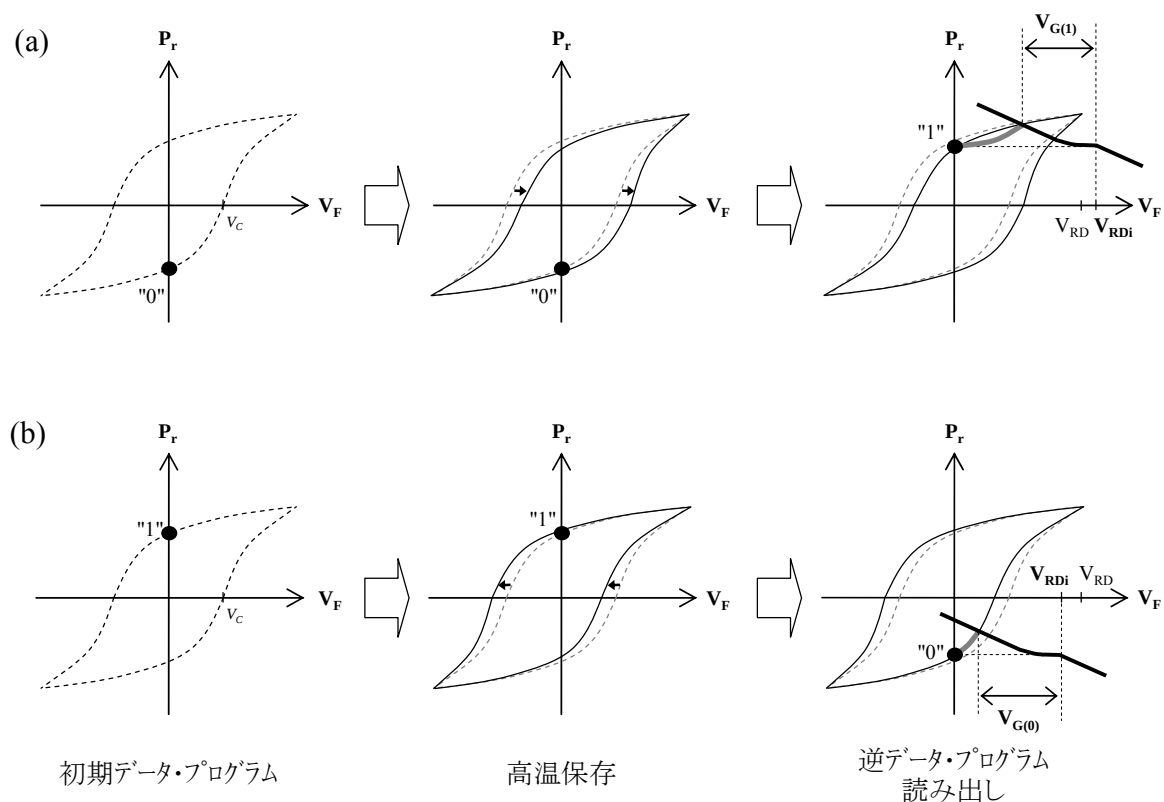


図 2-29 インプリントによる読み出し電圧の変化

(a) 初期データ"1" (b) 初期データ"0"

インプリントによってヒステリシスが変化する方向は、記憶している分極方向に依存する。負の分極を保存した状態でヒステリシスは正電圧方向へシフトし、正の分極を保存した状態では負電圧方向へシフトする。つまり、分極の極性と電圧シフト方向は逆である。そこで、ニュートラルな分極状態ではインプリントは発生しないと考え、NDRO セルのプログラムに応用することを試みた。これまでの実験では $P_r(-)$ プログラムにより書き込んだ負の分極をデータ"0"としていたが、これを $P_r(0)$ プログラムにより書き込んだゼロ分極へと変更した。そして、 $P_r(+)$ および $P_r(0)$ という非対称プログラムにより正分極およびゼロ分極を 2 値データとして書き込み、高温保存試験を行った。

非対称プログラムを行った NDRO FeRAM の高温保存試験結果を、図 2-30 に示す。図から明らかなように、保存時間による $V_{RD(min)}$ の上昇を無くすことに成功した。これは、 $P_r(0)$ プログラムしたデータ"0"記憶セルでは分極をゼロにしているのでヒステリシス形状が安定しており、期待通りに $V_{RD(min)}$ が変化しなかったためである。むしろ、高温保存の経過とともに $V_{RD(min)}$ は低下し、電源電圧とのマージンは増加する結果が得られた。その理由は、 $P_r(+)$ プログラムしたデータ"1"記憶セルでは前述のようにインプリントによって $V_{RD(min)}$ が低下しており、チップ全体として動作マージンの増加に寄与したものと考えている。

高温保存試験で得られた知見により、NDRO FeRAM の分極書き込みはデータ"1"を $P_r(+)$ 、データ"0"を $P_r(0)$ という非対称プログラムを採用することにした¹⁹⁾。

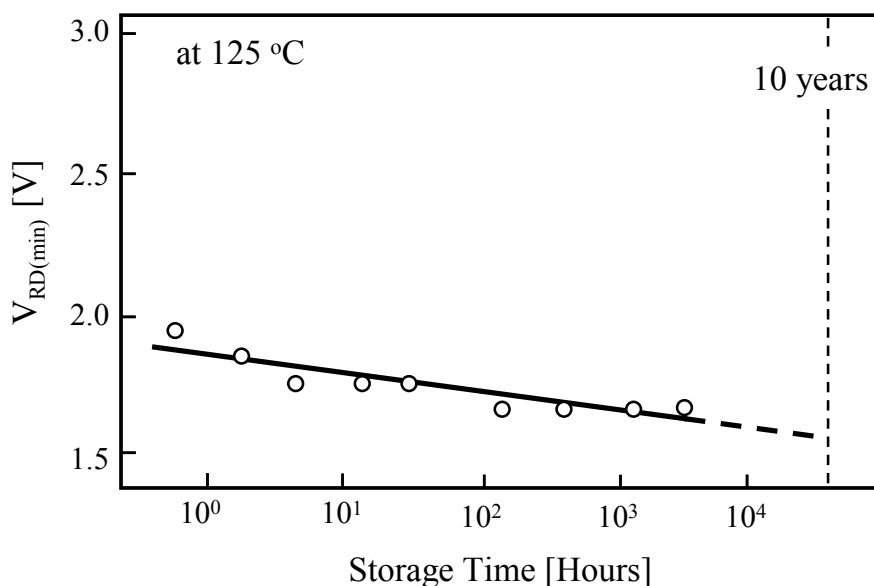


図 2-30 高温保存試験結果（非対称プログラム）

高温保存試験に続いて、非対称プログラムされた NDRO FeRAM チップの連続読み出し試験を行った。初期データとなる分極の書き込みは 85 °C の環境温度下で行い、2 値データを書きこんだ NDRO FeRAM チップから室温下で連続してデータの読み出しを行い、 $V_{RD(min)}$ の変化を調べた。

読み出し回数に対する $V_{RD(min)}$ の推移を、図 2-31 に示す。連続読み出し後も $V_{RD(min)}$ は初期値から変化せず、最大で 10^{13} 回の読み出し後も安定して読み出し動作が可能であることを確認できた。目標とする読み出し動作 10^{16} 回を試験するには 10 年以上の試験期間が必要であり、これが可能であることを検証するには加速試験を行う必要がある。加速のために読み出し電圧を高めた場合、読み出し動作で分極が破壊される破壊読み出しモードになってしまうことから、残念ながら NDRO FeRAM の加速試験は不可能である。しかし、連続読み出し試験における $V_{RD(min)}$ の安定性から、 10^{13} 回以降も継続して動作可能であると推認できる。

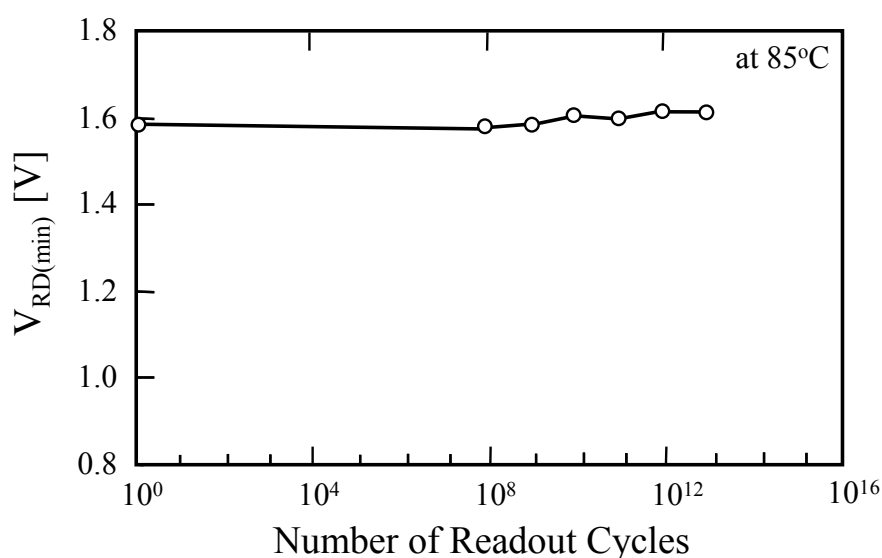


図 2-31 連続読み出し試験結果

以上に述べたように、0.6 μm プロセスで作製した 64Kbit NDRO FeRAM は高温保存および連続読み出しの信頼性試験において安定した挙動を示した。疲労劣化の電界依存性（図 2-6）から E_c 以下の電界印加では 10^{20} 回以上の読み出しも可能であると推定でき、目標とした高集積 NDRO FeRAM 技術を確立することができた。

2-3-2 0.18 μm リンクセル NDRO FeRAM としきい値ばらつきの補償

MOS FET 負荷 NDRO セルによる NDRO FeRAM 技術の高集積化を目指して、0.18 μm 世代への微細化に取り組んだ。0.18 μm FeRAM セルは、図 2-32 の断面構造に示すように、プレーナーキャパシタを MOS FET のプラグ上に形成したスタック構造である²⁰⁾。タングステンで形成されたビット線上にプレーナーキャパシタを配置し、その上に 3 層メタル配線が形成されている。メタル配線の形成プロセスでは水素を含むガスが用いられるので、酸化物である強誘電体が還元されないように水素バリア性を有する絶縁体でキャパシタの上下を覆っている。さらに、強誘電体キャパシタ下部のプラグからの水素侵入を抑えるため、下部電極は Pt/IrO_x/Ir という積層構造にして水素バリア性を高めている。スタックキャパシタおよび水素バリア形成は、プロセスフロー（図 2-33）に示すように 0.18 μm CMOS 工程の MOS FET 形成と多層メタル配線形成の間に挿入され、これらのプロセス改変を伴わない。従って、MOS FET 特性は 0.18 μm 標準 CMOS の特性と同一であり、標準 CMOS セルライブラリを用いた回路設計が可能となっている。

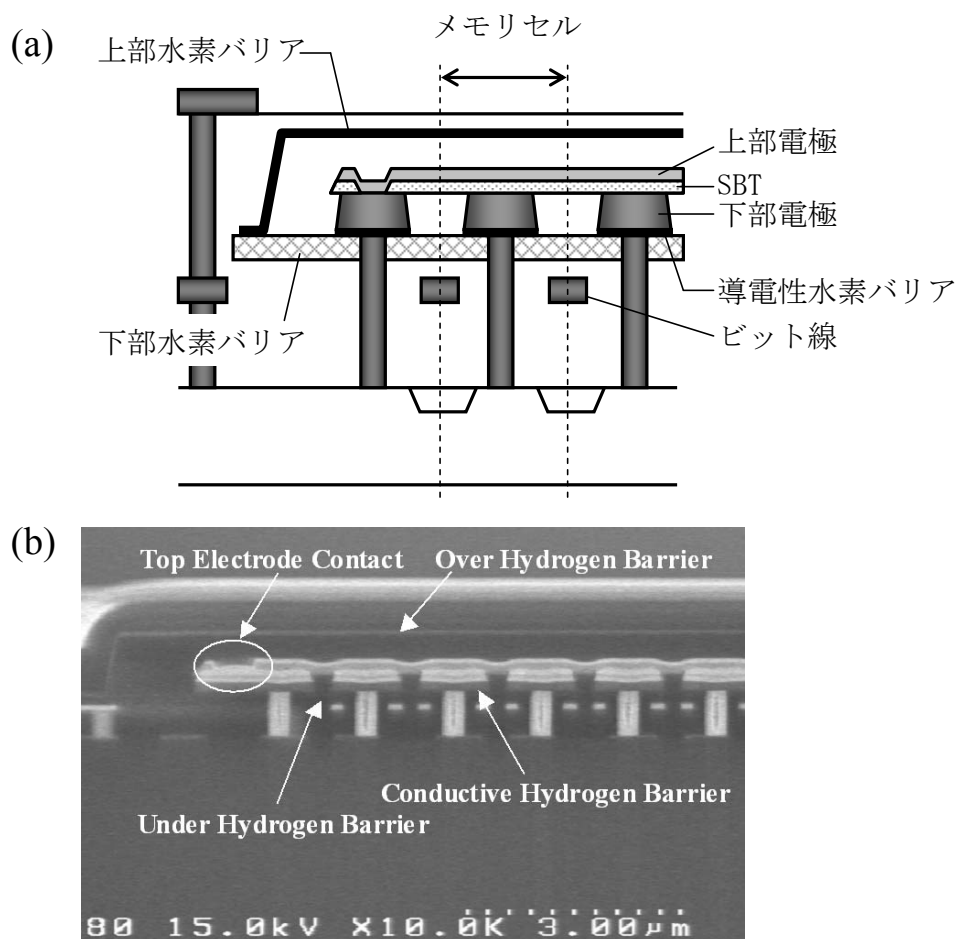


図 2-32 0.18 μm FeRAM セル断面構造²⁰⁾

(a) 断面模式図 (b) 断面 SEM 写真

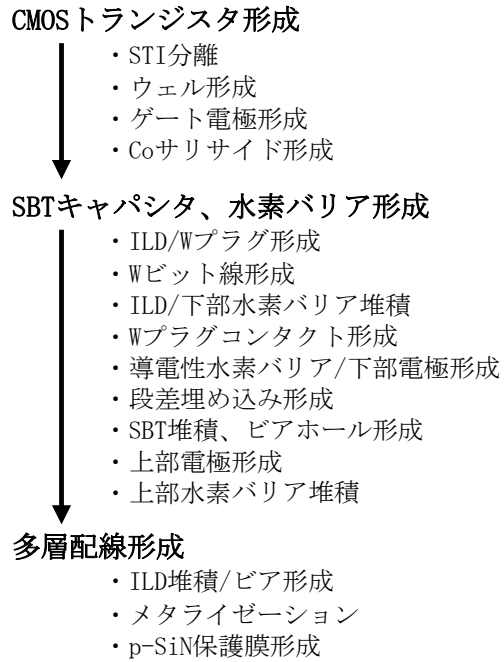


図 2-33 0.18 μm FeRAM プロセスフロー

0.18 μm CMOS の電源電圧 1.8 V で駆動できるように、CSD 法で堆積する SBT の膜厚は 0.6 μm 世代の 220 nm から 100 nm へと薄膜化し、800 $^{\circ}\text{C}$ の RTA (Rapid Thermal Annealing) により結晶化した。SBT キャパシタの電極サイズは 1.0 $\mu\text{m} \times 1.2 \mu\text{m}$ であり、その P_r -V ヒステリシスを図 2-34 に示す。ヒステリシスは良好な角型形状を示しており、残留分極密度 $2P_r=20 \mu\text{C}/\text{cm}^2$ 、抗電圧 $V_c=0.65 \text{ V}$ である。

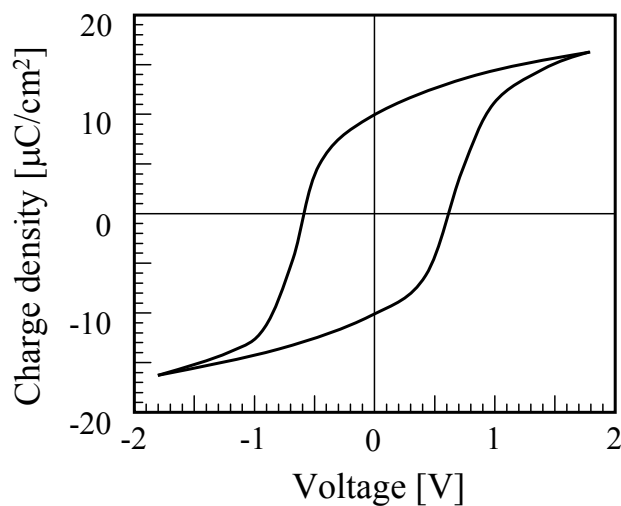


図 2-34 P_r -V ヒステリシス

一般的に DRAM 等のメモリではデータ記憶に用いるセルが一つであり、これに記憶した 2 値データをビット線 BL に読み出し、センスアンプで基準電圧 V_{REF} と比較している (図 2-35 (a))。 V_{REF} は 2 値データを読み出したときのビット線電圧の分布の中心電圧となるように設定し、センスアンプの動作マージンは V_{REF} と分布端の差 ΔV である。キャパシタばらつきによるビット線電圧の分布広がりや、 V_{REF} ばらつきが ΔV 以下であれば正常に動作する。 MOS FET 負荷 NDRO セルは V_c 以下の印加電圧による微小な分極反転を検出するため、メモリセルアレイが全て正常に動作するためには集積化した素子の均一性が重要である。しかし、 SBT キャパシタは分極軸がランダム方向に配向しているので微細化にともなって均一性が低下し²¹⁾、 MOS FET もまたゲート面積の縮小に伴って V_t ばらつきが増加する^{22,23)}。

0.18 μm NDRO FeRAM は、特性ばらつきに強い相補セル構成 (図 2-35 (b)) を採用した。相補セル構成は 2 つのメモリセルをペアとして互いに相補データを記憶し、センスアンプでこれらから読み出したビット線電圧を比較する。二つのセルにデータを記憶しているので高集積化では劣るものの、 2 値データのビット線電圧の分布端の差がセンスアンプの動作マージンとなり、これを $2\Delta V$ と大きくできる。このような特徴から、微小な分極反転の検出と微細化によるばらつき増加への対処に適する。

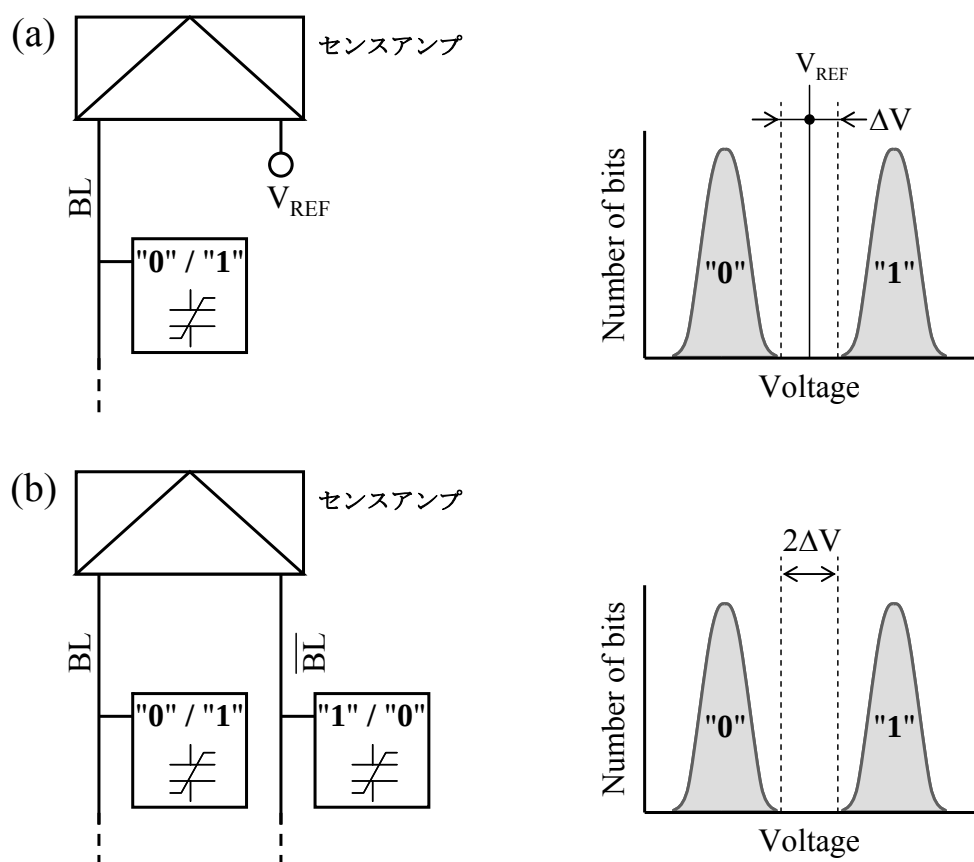


図 2-35 セル構成とセンスマージン

(a) 単一セル (b) 相補セル

さらに微弱分極電荷の検出精度を高めるため、0.18 μm NDRO FeRAM では読み出しトランジスタ特性のばらつきを補償する回路を開発した。開発したばらつき補償回路は、読み出しトランジスタのしきい値に対応した電荷を強誘電体キャパシタに蓄積し、分極電荷と合わせて読み出すことでばらつきを補償する。 V_t ばらつきを電荷で補償して検知するので、新たに開発した読み出し方法を Charge Compensation Sensing (CCS) 法と名付けた。CCS 法では MOS FET 負荷 NDRO セルの中間電極に読み出しトランジスタの V_t 相当の電圧を発生させるため、図 2-36 のように中間電極とドレイン間にオフセット設定トランジスタ Q_S を接続している。さらに、強誘電体キャパシタと中間電極を接続・切断するパストランジスタ Q_{PA} を設けた。

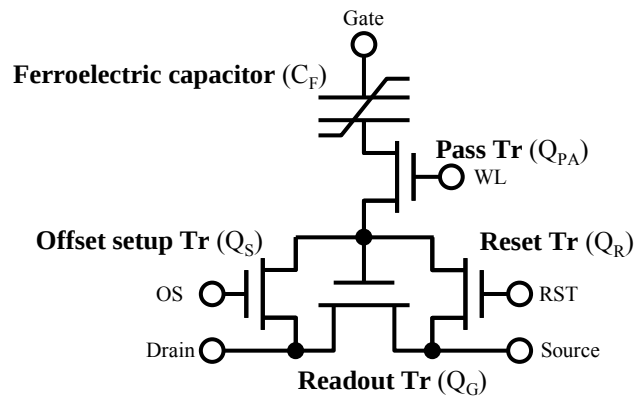


図 2-36 CCS 回路内蔵 NDRO セル

CCS 法による読み出しは、オフセット補償電荷蓄積、リセット、読み出しという 3 つのステップからなる。以下、ステップ順に沿って CCS 駆動を説明する。

(i) オフセット補償電荷蓄積

オフセット設定トランジスタ Q_S およびパストランジスタ Q_{PA} をオン、リセットトランジスタ Q_R をオフにし、読み出しトランジスタ Q_G のゲートとドレインが接続されたダイオード構成にする (図 2-37)。この状態で電源 V_{DD} から負荷抵抗、ビット線、 Q_G を介して接地されたソース線へと通電する。通電開始から Q_G のドレイン電圧は上昇し、同時にゲート電極電位 V_G もドレイン電圧と一致して上昇する。 V_G がしきい値に達した ($V_G=V_t$) とき、 Q_G はカットオフとなり、 V_G の変化は停止する。 Q_{PA} はオンとしてあるので、読み出しトランジスタの V_t に対応するオフセット補償電荷 q_v が強誘電体キャパシタ C_F に蓄積される。DRAM などに用いられている常誘電体キャパシタと異なり、印加電圧が V_C 以下であれば強誘電体キャパシタに記憶されている分極はパストランジスタ Q_{PA} をオンとしても破壊されないため、このような補償電荷の蓄積動作が可能である。なお、読み出しトランジスタ Q_G の V_t が強誘電体キャパシタの抗電圧 V_C 以上の場合、オフセット補償電荷蓄積工程で分極を破壊してしまうので、そのような場合には上電極に V_t 相当の電圧 V_p を印加しておく。

$$q_v = -C_{f^*} (V_p - V_t) \quad (2-8)$$

と表すことができる。



Q_{PA} および Q_S をオフにして強誘電体キャパシタ C_F および中間電極をビット線から切断した後、リセットトランジスタ Q_R をオンにして Q_G のゲートに残った電荷を排出する (図 2-38)。



(iii) 読み出し

Q_Rをオフ、Q_{PA}をオンにして、読み出しトランジスタ Q_Gのゲート電極と強誘電体キャパシタ C_Fを接続する（図 2-39）。この状態で強誘電体キャパシタ C_Fの上電極に読み出し電圧 V_{RD}を印加し、分極電荷 q_pとオフセット補償電荷 q_vをゲート電極に読み出す。ゲート電極に読み出される分極電荷 q_pは、簡単にはゲート容量 C_gと強誘電体キャパシタ容量 C_fの容量比で決まり、(2-9) 式のように表せる。

$$q_p = \frac{C_f \cdot C_g}{C_f + C_g} V_{RD} \quad (2-9)$$

同様に、オフセット補償電荷 q_v も容量比 γ ($=C_g/C_f+C_g$) に応じてゲート電極上に $\gamma \cdot q_v$ だけ移動する。

$$\gamma \cdot q_v = \frac{C_{ig}}{C_f + C_g} q_v \quad (2-10)$$

結局、ゲート電極に誘起される電荷 $q_G (=q_p+\gamma\cdot q_v)$ は C_g で電圧に変換され、ゲート電圧 V_G は (2-11) 式のように表せる。

$$\begin{aligned} V_G &= \frac{q^p + \gamma \cdot q^v}{C_g} \\ &= \frac{C_f}{C_f + C_g} (V_{RD} - V_p + V_t) \end{aligned} \quad (2-11)$$

MOS FET のドレイン電流式 (2-5) へ代入して、CCS 駆動を行ったときの I_{DS} は (2-12) 式のように表すことができる。

$$I_{DS} = \frac{1}{2} \mu \cdot \frac{\varepsilon_0 \cdot \varepsilon_r \cdot W \cdot L}{t_{ox}} \cdot \left\{ \frac{C_f}{C_f + C_g} (V_{RD} - V_P) - \frac{C_g}{C_f + C_g} V_i \right\} \quad (2-12)$$

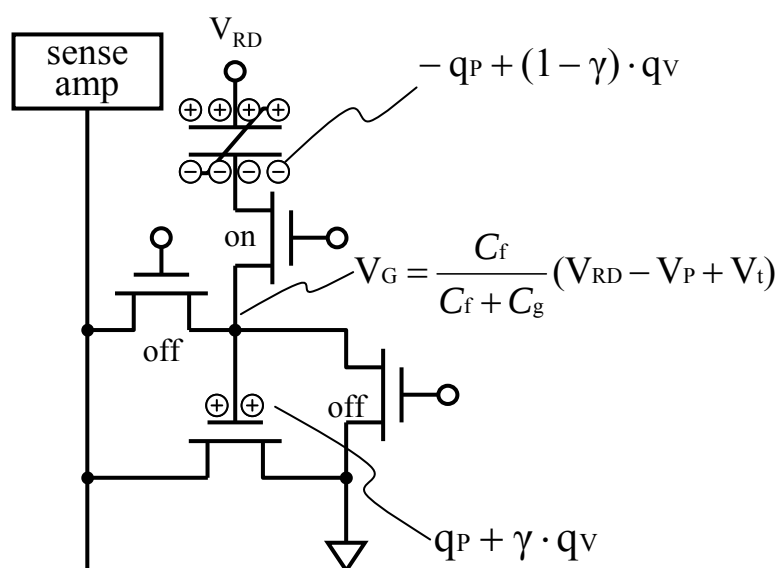


図 2-39 CSS 駆動 (iii)

(2-12) 式は V_t の項に容量比 γ が乗じられており、 V_t がばらつきによるドレイン電流 I_{DS} の変化を抑圧できることを示している。 C_F に比べて C_g は非常に小さいので、抑圧係数となる γ は小さい。CCS 駆動によれば、例えばメモリセル中の読み出しトランジスタ Q_G の V_t が、相補セルでペアとなるメモリセルのものよりも高くても電流駆動能力が相対的に小さい場合、 I_{DS} を大きくするように調整される。すなわち、個々の読み出しトランジスタの V_t がばらついたとしても、自動的に補償することができる。

CCS 法を適用した MOS FET 負荷 NDRO セルは、強誘電体キャパシタと読み出しトランジスタ Q_G に加えてリセットトランジスタ Q_R 、オフセット設定トランジスタ Q_S 、パストランジスタ Q_{PA} を必要とし、高集積チップに適用するにはセルを構成している素子数が多い。そこで、強誘電体キャパシタ C_F とパストランジスタ Q_{PA} でユニットセルを構成し、複数のユニットセルがサブビット線に接続され、その端部で読み出しトランジスタ Q_G 、リセットトランジスタ Q_R およびオフセット設定トランジスタ Q_S を共有するリンクセル構造を考案した (図 2-40)。ユニットセルを構成する Q_{PA} のゲートはワード線に、 C_F の電極はプレート線に接続され、ローデコーダで制御される。同様に Q_R および Q_S のゲート電極も行方向配線に接続され、ローデコーダで駆動される。一方、 Q_G のドレイン電極はビット線、ソース電極は接地されたソース線に接続される。前述のように、リンクセルは相補データを格納するペアと組み合わせて、センスアンプでその差分を増幅検出する。

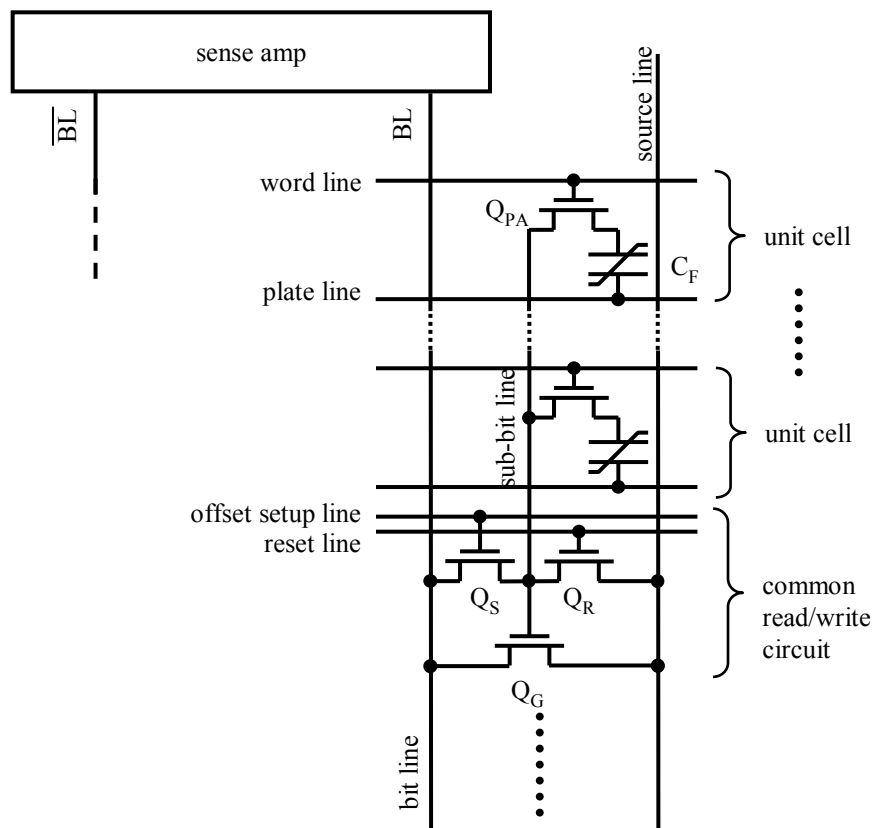


図 2-40 リンクセル

リンクセル中にある複数のユニットセルから1つを選択してデータを読み出し、あるいはデータを書き込む動作は、図 2-41 に示すタイミングチャートに従って行う。読み出し動作では、ローデコーダにより選択アドレスのワード線を活性化し、非選択アドレスのワード線は接地電位とする。この状態で、共有されたトランジスタ Q_G , Q_R , Q_S を駆動してビット線に記憶された分極に対応した電圧を読み出す。カラム側に配置されたセンスアンプはこのビット線電位を増幅検出し、データを出力する。書き込み動作ではローデコーダにより Q_R , Q_{PA} を選択し、データ"0"の場合は Hi 電位、データ"1"の場合は Lo 電位をビット線に書き込むことで、強誘電体キャパシタに分極を書き込む。

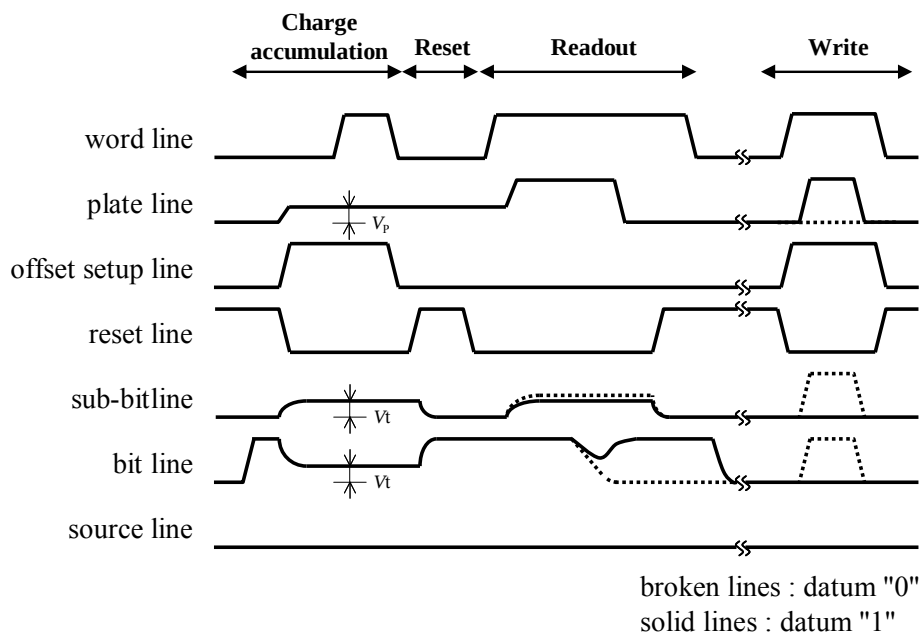


図 2-41 タイミングチャート

Q_{PA} , C_F で構成されるユニットセルの面積は $5.2 \mu\text{m}^2$ であり、共有した Q_G , Q_R , Q_S の面積は $5.8 \mu\text{m}^2$ である。リンクセルは、構成するユニットセル数を増やすに従って Q_G , Q_R , Q_S の面積オーバーヘッドを削減することができる。図 2-42 に規格化した 1 セルあたりの面積とリンクセル数の関係を示す。リンクしたセル数を 8 個以上にするにより、メモリセル面積のオーバーヘッドを 10% 以下にできることがわかる。0.6 μm テストセルで得られた知見に基づいて P_t - V ヒステリシスと寄生容量を含む負荷線の合成図を用いた動作点シミュレーションを行い、0.18 μm NDRO FeRAM のリンクセル数は 64bit とした。

リンクセル構造はビット線／サブビット線という階層化した配線構造（図 2-42）をとるため、NDRO FeRAM のビット線に接続されるトランジスタ数は少ない。その結果、全てのメモリセルがビット線に接続される従来の破壊読み出し型 FeRAM よりもビット線容量が小さく、より多くのメモリセルをビット線に接続してブロックを構成す

ることができる。同じ $0.18\ \mu\text{m}$ 技術で比較した場合、リンクセルの階層ビット線構造によりブロック面積に占めるメモリセルアレイ面積 (アレイ効率) の改善効果は 35% と試算できた。これにより、微弱分極電荷の検出精度向上のために採用した相補セル構成によるアレイ面積の増大を補うことができた。

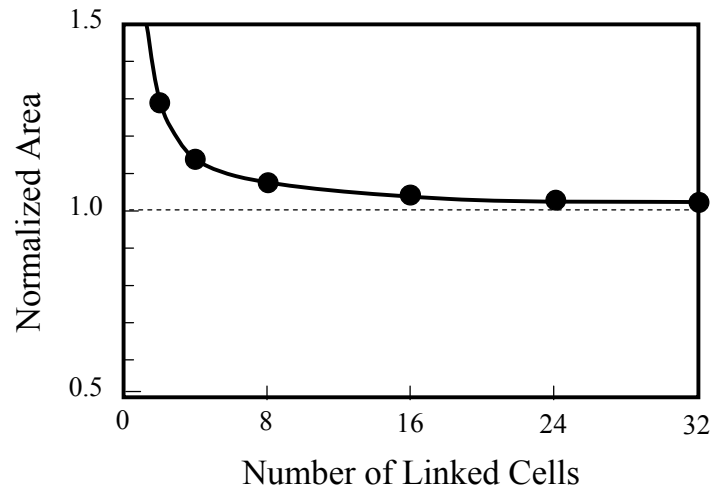


図 2-42 リンク数と規格化セルサイズ

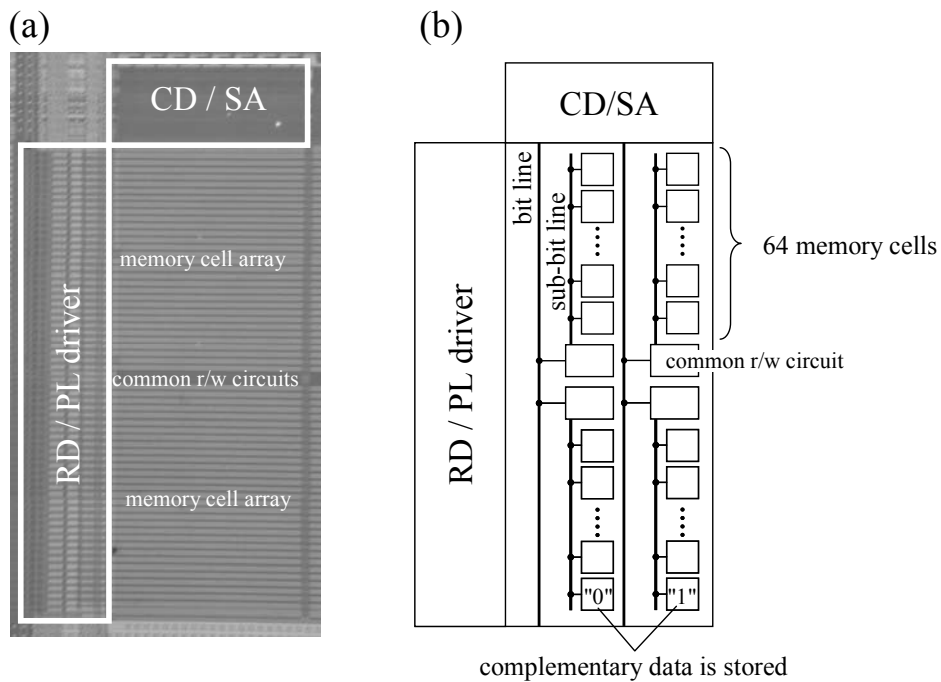


図 2-43 リンクセル・ブロック

(a) 光学顕微鏡写真 (b) 構成図

MOS FET のゲート長を L 、ゲート幅を W とすると、その V_t ばらつきは $\sqrt{LW}$ の逆数に比例する²²⁾。CCS 駆動の有効性を検証するため、 $0.18\ \mu\text{m}$ NDRO FeRAM には種々のゲート面積の読み出しトランジスタを搭載して試作し、 V_t ばらつきが動作に与える影響を調べた。

相補セルでペアとなるメモリセルにおいて、データ"0"記憶セルの V_t がデータ"1"記憶セルよりも小さい ($V_{t(0)} < V_{t(1)}$) 場合の読み出し動作を考える。この場合、データ"0"記憶セルのオフセット電流は正であるので、NDRO セルから読み出したデータの判定条件 $I_{DS(0)} > I_{DS(1)}$ を満たすために必要な読み出しトランジスタのゲート電圧変調は小さくてよい。すなわち、強誘電体キャパシタから読み出す分極電荷量は少なくてもよいので、ペアとなるトランジスタの V_t が一致しているメモリセルよりも低い読み出し電圧でデータを読み出すことができる。これとは反対に、データ"0"記憶セルの V_t がデータ"1"記憶セルよりも大きい場合 ($V_{t(0)} > V_{t(1)}$)、データ"0"記憶セルのオフセット電流は負である。この場合、読み出しトランジスタのゲート電圧変調をより大きくする必要がある、より大きな読み出し電圧 V_{RD} を印加して分極電荷量を増やして読み出さなければならない。 V_t のズレはランダムであり、誤動作せずに読み出すことができる読み出し電圧 V_{RD} は、個々のメモリセルによって上下する。従って、メモリチップを構成する全てのメモリセルが正常に動作する読み出し電圧の最低値 $V_{RD(\min)}$ を測定することで、 V_t ばらつきを評価することができる。 V_t ばらつきが大きいチップは、 $V_{RD(\min)}$ が高くなる。このような観点から試作した NDRO FeRAM の $V_{RD(\min)}$ を測定し、使用した読み出しトランジスタのゲート面積依存性を求めた。

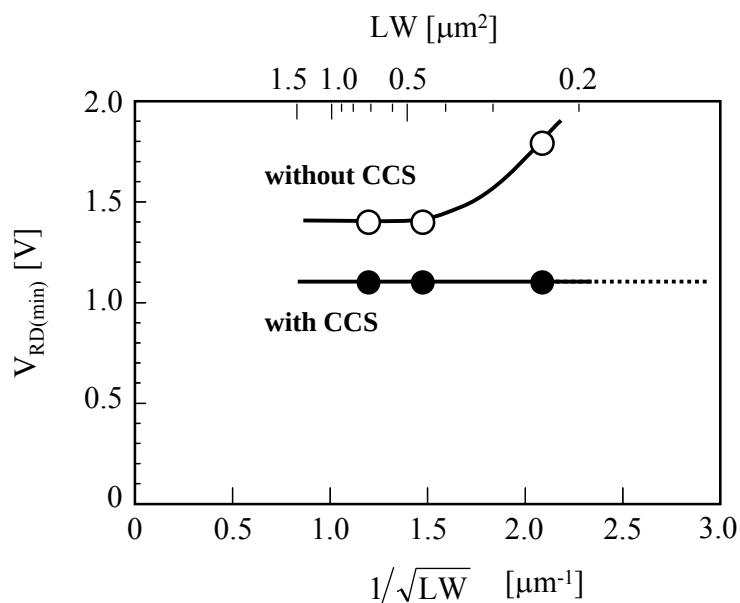


図 2-44 最小動作電圧のゲート寸法依存性

○CCS なし ●CCS あり

$V_{RD(\min)}$ のゲート面積依存性を図 2-44 に示す。CCS 回路を駆動せずに読み出しを行った場合、ゲート面積が小さくなるに従って $V_{RD(\min)}$ は上昇し、ゲート面積が $0.23\ \mu\text{m}^2$

で $V_{RD(min)}$ は電源電圧 1.8 V に達して全くマージンがない状態となった。一方、CCS 回路を機能させて読み出しを行った場合には $V_{RD(min)}$ は 1.1 V へと低下し、搭載した MOS FET のゲート面積範囲で $V_{RD(min)}$ は一定値を示した。

相補セルを構成する MOS FET 間の V_t ミスマッチを測定したところ、ゲート面積が $0.23 \mu m^2$ においてその標準偏差 σ は 38 mV であった。メモリセルアレイの V_t ばらつき分布端が 3σ であると仮定すると、CCS 駆動によって少なくとも 114mV のミスマッチを補償できていることになる。また、試作した範囲内でゲート面積に依存せずに $V_{RD(min)}$ は一定値を示したことから、CCS 回路を搭載したメモリセルはゲート面積をさらにスケールアップすることも可能であると期待できる。

次に、CCS 回路を駆動して NDRO FeRAM の連続読み出し試験を行った。メモリブロック中の 512bit にデータを書き込み、定めた回数だけ連続して読み出した後、誤動作せずに読み出すことができる動作電圧の範囲を測定した。強誘電体キャパシタ容量 C_f とゲート容量 C_g の容量比 γ を用いて、動作上限電圧および下限電圧の測定値から強誘電体印加電圧 V_F を算出し、読み出し回数に対してプロットした結果を図 2-45 に示す。

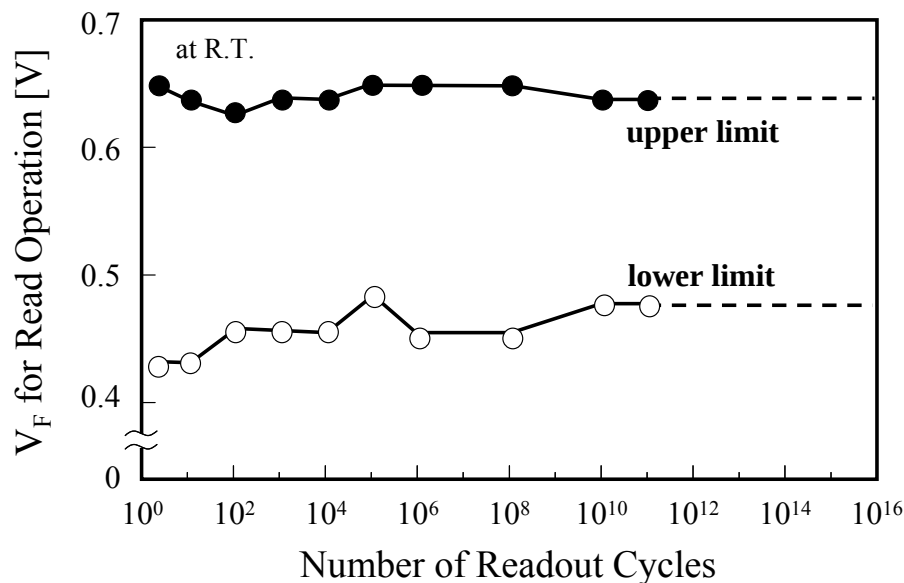


図 2-45 連続読み出し試験結果

連続読み出し試験の結果、動作上限値は V_C ($=0.65$ V) にほぼ一致する約 0.62 V で一定となった。すなわち、 V_C 以上では NDRO 動作しないことを再確認する結果となった。一方、動作下限は 0.45 V 付近にあり、これより低い電圧では分極電荷が小さすぎて CCS 回路を機能させた相補セルでも読み出すことができなかった。図 2-45 から判るように、 10^{11} 回の読み出し後においても 100 mV 以上の動作マージンを確保できており、 10^{16} 回以上の読み出しにも耐えられると期待できる。

2-4 まとめ

すでに実用化されている破壊読み出し型の強誘電体メモリ（FeRAM）は、強誘電体キャパシタにバイアスが印加されない状態でデータを保持し、10 年以上のリテンション特性を確保している。この確立された強誘電体キャパシタ技術を活かし、回路開発アプローチによる非破壊読み出し（NDRO）メモリセルの研究に取り組んだ。

NDRO 動作が可能なメモリセルとして提案されていた不揮発性ラッチは、これを論理回路と混載するには動作速度と駆動電圧に課題があり、強誘電体材料に SBT を使うことを提案した。SBT を内蔵した不揮発性フリップフロップを試作し、10 ns 以下の高速動作と 1.8 V 以下の低電圧駆動が可能であることを示した。SBT キャパシタの製造プロセスは CMOS プロセスとの親和性が高いことから、SBT キャパシタを内蔵した不揮発性ラッチの論理回路への応用展開が期待できる。

不揮発性ラッチは論理回路への搭載に適するものの、論理回路とともにシステムの根幹を成すメモリに応用するには素子数が多すぎる。NDRO FeRAM の実現を目指して、不揮発性ラッチよりも少ない素子数で NDRO 動作が可能な新しいメモリセル回路と駆動方法の研究に取り組んだ。新方式のメモリセルでは、強誘電体キャパシタと MOS FET を直列接続し、強誘電体キャパシタに抗電圧以下の微弱電圧を印加して発生する電荷を MOS FET で増幅し、記憶データを読み出した。データの読み出し後、強誘電体キャパシタから MOS ゲートへと移動した電荷は、MOS FET のゲート容量が閾値以下でほぼゼロとなることから、読み出し電圧除去によって強誘電体キャパシタへと再格納され、NDRO 動作を達成できた。提案した NDRO メモリのテストセルを作製し、 10^{12} 回の連続読み出し試験後も安定した NDRO 動作を実証した。強誘電体キャパシタへの電圧ストレス印加試験の結果、提案した動作は 10^{20} 回以上の読み出しに耐えられる信頼性を有しており、読み出し回数の制限を飛躍的に高めることに成功した。

さらに、NDRO メモリセルの集積化技術の開発に取り組み、 $0.6\mu\text{m}$ プロセス技術を用いて 64Kbit のメモリチップを作製した。その評価により、データ記憶中の強誘電体へのインプリント現象による動作不安定化という課題を見いだした。インプリント課題に対して、正負の自発分極で異なる絶対値に 2 値データをプログラムする非対称プログラム法を考案し、長時間保存後にも安定した動作が可能とできることを示した。

次いで、NDRO FeRAM の大容量化を目指し、プロセス技術を $0.18\mu\text{m}$ へと微細化した。MOS FET は微細化とともに閾値ばらつきが大きくなる課題があり、それを対策できる電荷補償検出（CCS）法を提案した。また、高密度なセル配列を可能とするリンクセル構造を確立した。 $0.18\mu\text{m}$ プロセス技術により実装した CCS 回路は、MOS FET の大きさに依存せず安定した読み出しが可能であることを示した。

回路開発アプローチで開発した NDRO FeRAM は、既存の破壊読み出し型 FeRAM と同じ製造工程で実現することができ、標準 CMOS プロセスで作られる LSI への混載が可能である。読み出し回数の無制限化により、FeRAM の応用範囲は広がってい

くものと期待できる。今後期待できる FeRAM の工業的応用について、第 4 章に電力削減回路、リコンフィギュラブル・ロジック回路、暗号回路を述べる。

【第2章 参考文献】

- 1) D. Klaus and S. S. Eaton Jr.: US Patent 4809225.
- 2) T. Ninomiya, S. Masui, M. Oura, K. Mukaida and T. Teramoto: Tech. Report of IEICE (2003) 51 [in Japanese].
- 3) T. Miwa, J. Yamada, H. Koike, T. Nakura, T. Kobayashi, N. Kasai and H. Toyoshima: Symp. VLSI Technology Dig. Tech. Pap., 2001, p. 129.
- 4) S. Koyama, Y. Kato, T. Yamada and Y. Shimada: IEICE Trans. ELECTRON. **E89-C** (2006) 1368.
- 5) Y. Kato, Y. Kaneko, H. Tanaka, K. Kaibara, S. Koyama, K. Isogai, T. Yamada and Y. Shimada: Jpn. J. Appl. Phys. **46** (2007) 2157.
- 6) P. K. Larsen, G. L. M. Kampschöer, M. J. E. Ulenaers, G. A. C. M. Spierings and R. Cuppens: Appl. Phys. Lett. **59** (1991) 611.
- 7) S. -M. Yoon and H. Ishiwara: IEEE Trans. Electron Devices **48** (2001) 2002.
- 8) 石原宏、木島健: NIKKEI ELECTRONICS, 2002.5.20, p. 137.
- 9) V. Joshi, S. Narayan and C. A. Araujo: *Proc. 12th Int. Symp. Integr. Ferroelectr.*, 2000, p. 96.
- 10) T. Mihara, H. Watanabe and C. A. Paz de Araujo: Jpn. J. Appl. Phys. **33** (1994) 3996.
- 11) M. Dawber and J. F. Scott: Appl. Phys. Lett. **76** (2000) 1060.
- 12) Y. Kato, T. Yamada and Y. Shimada: IEEE Trans. Electron Devices **52** (2005) 2616.
- 13) Y. Shimada, Y. Kato, T. Yamada, K. Tanaka, T. Otsuki, Z. Chen, M. Lim, V. Joshi, L. McMillan and C. A. Paz de Araujo: Integrated Ferroelectr. **40** (2001) 41.
- 14) 武石喜幸、名取研二、堀内重治: 「MOS トランジスタの動作理論」 近代科学社 1980 Chap. 1.
- 15) *ibid.*, Chap. 2.
- 16) Berkeley Short-channel IGFET Model Version3.3 (BSIM3.3): [Online] Available <http://www-device.eecs.berkeley.edu/~bsim3/>
- 17) T. Yamada, Y. Kato, S. Koyama and Y. Shimada: *Ext. Abstr. Solid State Devices and Materials*, 2003, p. 34.
- 18) S. Koyama, Y. Kato, T. Yamada and Y. Shimada: Integrated Ferroelectr. **82** (2006) 81.
- 19) 嶋田恭博、加藤剛久、山田隆善: 特許第 3,805,659 号, US Patent No.6,618,284.
- 20) Y. Nagano, T. Mikawa, T. Kutsunai, S. Natsume, T. Tatsunari, T. Ito, A. Noma, T. Nasu, S. Hayashi, H. Hirano, Y. Gohou, Y. Judai, E. Fujii: IEEE Trans. Semicond. Manuf. **18** (2005) 49.
- 21) Kaibara, K. Tanaka, K. Uchiyama, Y. Kato and Y. Shimada: Jpn. J. Appl. Phys. **47** (2008) 262.
- 22) H. -S. P. Wong, D. J. Frank, P. M. Solomon, C. H. J. Wann and J. J. Welser: *Proc. IEEE* **87** (1999) 537.
- 23) D. Burnett, K. Erington, C. Subramanian, and K. Baker: Symp. VLSI Technology Dig. Tech. Pap., 1994, p. 15.

第3章 ヘテロエピタキシャル酸化物積層構造を用いた強誘電体ゲート 薄膜トランジスタ

本章では、強誘電体をゲート絶縁膜に用いた強誘電体ゲートトランジスタへの取り組みについて述べる。強誘電体ゲートトランジスタはデータ書き込みと読み出しで強誘電体に印加する電界が直交しており、本質的に NDRO 動作が可能である。また、強誘電体キャパシタの特徴であった CMOS バックエンドプロセスとの親和性は損なわれるものの、強誘電体ゲートトランジスタは微細な素子形成が可能であり、メモリの大容量化に適する。

3-1 節「強誘電体ゲートトランジスタ」では、他の研究機関からの報告を参考にしながら取り組んだ種々の構造の強誘電体ゲートトランジスタの開発について述べる。強誘電体ゲートトランジスタはリテンション特性に課題があり、これを解決するには自発分極とキャリアの直接カップリングが必須であり、清浄かつ平坦な伝導界面の形成が重要であることを明らかにする。

3-2 節「強誘電体ゲート薄膜トランジスタ」では、強誘電体ゲートトランジスタの研究で明らかとなった課題の解決を目指して開発した強誘電体ゲート薄膜トランジスタについて述べる。ヘテロエピタキシャル酸化物積層構造の結晶構造解析と、これを用いて試作した強誘電体ゲート薄膜トランジスタの電気的特性を詳述する。

3-1 強誘電体ゲートトランジスタ

3-1-1 MFS 構造 FeFET

強誘電体をゲート絶縁膜に用いたトランジスタは古くから提案されており¹⁾、このようなデバイスでは図3-1のように分極とカップリングした強誘電体表面の電荷を水平方向に印加した電界により読み出す。これまでに、強誘電体単結晶表面の伝導を超高真空下で測定し、分極によって伝導率に変調されることが報告されている²⁾。その報告では、均一な分極方向にポーリングされた強誘電体表面は導電性を示し、その導電状態は12日間保持された。一方、ランダムな分極状態の強誘電体表面では、導電性はすぐに消滅し、高抵抗状態となった。このように、強誘電体の表面伝導は分極反転を伴わずに分極状態を読み出すことができるため、これを応用したメモリデバイスはNDRO動作が可能である。

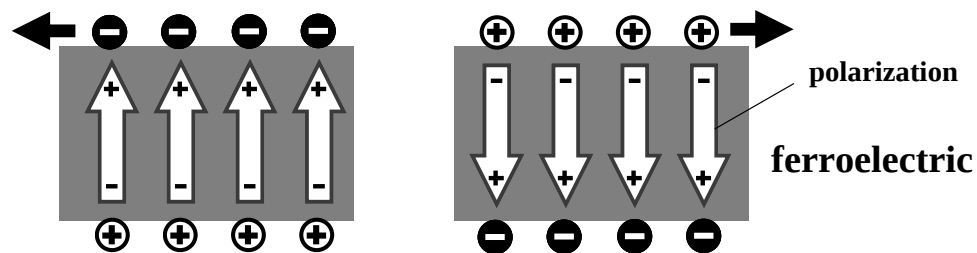


図 3-1 分極とカップリングした表面電荷の伝導

強誘電体の表面伝導を利用したメモリデバイスとして、強誘電体層と電荷伝導層（チャンネル）を積層した構造が種々提案されている。これらは強誘電体の分極を制御するゲート電極、チャンネルを通電する電流をプローブするためのソースおよびドレイン電極を備えており、強誘電体ゲートトランジスタ（Ferroelectric gate field effect transistor: FeFET）と呼ばれる。MOS FET と同様に FeFET はスケーリング則が成り立ち、ゲート幅、ゲート長、強誘電体厚さといった素子寸法および印加電圧をプロセス世代の進展に伴って比例縮小することができる。強誘電体の材料に固有な分極密度を高めることなくスケーリングすることができるので、キャパシタ型の FeRAM よりも微細化に適している³⁾。一例として、最も早くから研究されてきた MFS（Metal Ferroelectric Semiconductor）型 FeFET の断面構造を図 3-2 に示す^{1,4)}。MFS 型 FeFET は、p 型シリコン上に強誘電体ゲート絶縁膜を成長し、その上部にゲート電極、左右にソースおよびドレイン電極を形成した構造である。

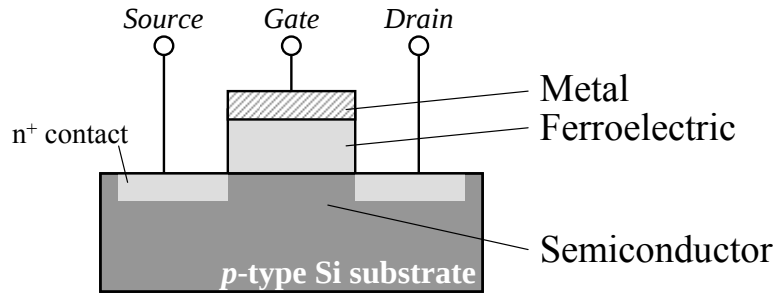


図 3-2 MFS 構造 FeFET

FeFET へのデータ書き込みは、図 3-3 のようにソースおよびドレイン電極を接地した状態で、ゲート電極に正負の電圧を印加して行う。p 型シリコン基板を用いた MFS 型 FeFET の場合、負のゲート電圧印加によって上向きの自発分極を書き込み、これをデータ"0"とする。このとき、図 3-4 (a) のバンド状態に示す通り p 型シリコン基板はホール蓄積状態となり、n 型のソース領域との間にはポテンシャル障壁が形成されたオフ状態となるので、ドレイン・ソース間に電流が流れない。一方、データ"1"を書き込む場合には、図 3-3 (b) に示すように正のゲート電圧を印加して下向きの自発分極状態にする。このとき、図 3-4 (b) のように p 型シリコン基板の表面には反転層が形成されてオン状態となり、ドレイン・ソース間は低抵抗となって電流が流れる。

データ"0"の場合には強誘電体の残留分極とシリコン表面のホール蓄積層がカップリングしており、強誘電体はフラットバンド状態となっている。フラットバンド状態では残留分極を反転させる減分極電界が存在せず、リーク電流による分極の消失も起こらないので、極めて安定してオフ状態を保持することが可能である。これは、金属電極で挟んだ強誘電体キャパシタではフラットバンド状態でデータを保持しており、10 年以上のデータ不揮発性を保証していることと同様である。一方、データ"1"の場合、強誘電体の自発分極から発する電気力線は反転層の電子および空乏層のイオン化不純物とカップリングしており、強誘電体には減分極電界が存在する。

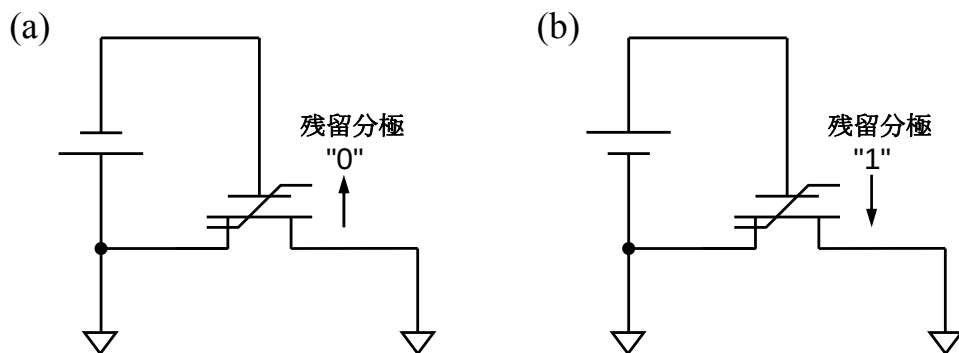


図 3-3 FeFET へのデータ書き込み動作

(a) データ"0" (b) データ"1"

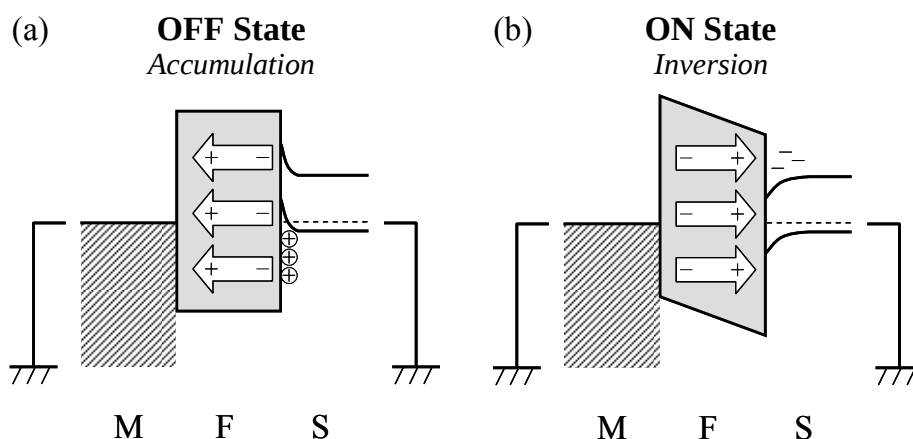


図 3-4 記憶状態のバンド構造

(a) データ"0" (b) データ"1"

上下方向の残留分極として記憶された 2 値データは、図 3-5 のようにゲート電極を接地した状態でドレイン・ソース間に電圧 V_{DS} を印加し、ドレイン電流 I_{DS} の大小として読み出す。このとき、データ"0"では上向き分極のオフ状態にあるので I_{DS} は小さい。一方、データ"1"では下向き分極のオン状態にあるので大きな I_{DS} が検出される。読み出し動作で強誘電体に印加される電圧 V_F が抗電圧 V_C よりも十分に小さくなるように V_{DS} を設定することにより、分極状態を破壊することなくデータの読み出しが可能な NDRO 動作を実現できる。

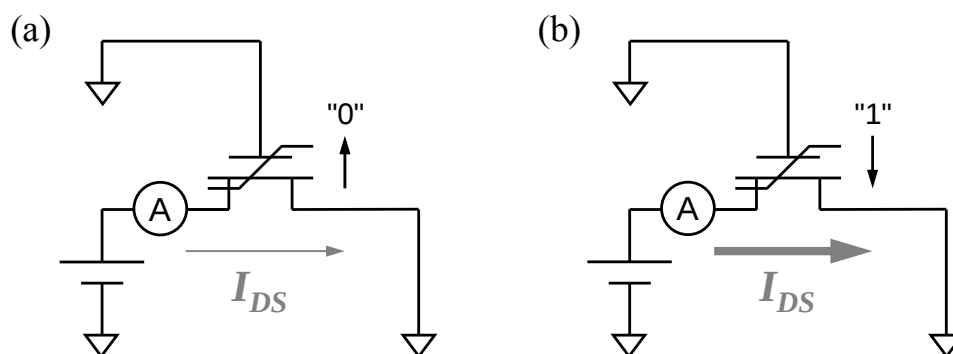


図 3-5 FeFET からのデータ読み出し動作

(a) データ"0" (b) データ"1"

3-1-2 MFIS 構造 FeFET

MFS 型 FeFET はスケーリング即が成り立つことから微細化に適し、NDRO 動作が可能のため次世代の不揮発性メモリとして期待されてきた。しかし、分極状態を保持して伝導度変調を維持することは非常に困難である^{5,6)}。その理由は、シリコン基板上に強誘電体を直接堆積させると、構成元素の相互拡散や低品質な遷移層形成により、良好な強誘電体／半導体界面が形成できないためである。界面形成を改善するため、最近では強誘電体とシリコン基板の間に絶縁性のバッファ層を挿入した MFIS (Metal Ferroelectric Insulator Semiconductor) 構造や^{4,7)}、バッファ層に加えて中間電極層を挿入した MFMIS (Metal Ferroelectric Metal Insulator Semiconductor) 構造が検討されている⁸⁾。

本研究では、米国 Symetrix 社と共同で MFIS 構造 FeFET の開発を行った。MFIS 構造で挿入されるバッファ層は、シリコン (5.41 Å) との格子ミスマッチが小さく、熱力学的に安定であることが求められる。バッファ層の候補となる酸化物材料の中でも、 CeO_2 (5.43 Å) は格子ミスマッチが 0.4% と小さく、理想的な界面形成が期待できる⁹⁾。このような理由から CeO_2 をバッファ層に選び、その上に SBT を積層した MFIS 構造 FeFET (図 3-6) の研究を行った。トップゲート電極は高温焼結に耐えられる高融点金属であり、かつリーク電流を抑えるために仕事関数が高いことが望ましいため、Pt を選んだ。 CeO_2 および SBT はともに CSD 法で成膜し、それぞれの厚さは 20 nm および 190 nm である。Pt/SBT/ CeO_2 構造 FeFET の開発は Symetrix 社で進められ¹⁰⁾、本研究では試作デバイスの NDRO 動作実現に取り組んだ¹¹⁾。

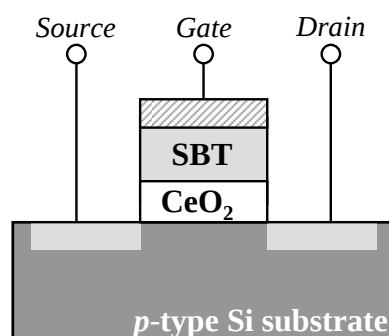


図 3-6 Pt/SBT/ CeO_2 /Si 構造 MFIS FeFET

試作した MFIS 型 FeFET のゲート電圧を正負に掃引して測定した $I_{\text{DS}}\text{-}V_{\text{GS}}$ 特性の一部（正電圧側のみ）を、図 3-7 の実線に示す。正方向の電圧掃引でドレイン電流の立ち上がりは正方向にシフトし、負方向の電圧掃引で立ち下がり負方向にシフトするヒステリシスを示した。このヒステリシスは SBT 膜の自発分極の反転によるものであり、正負の電圧掃引によるしきい値シフトの幅は約 1 V であった。また、正負の電圧掃引ともにしきい値は正バイアス側にあり、エンハンスメント型の特性を示している。このしきい値シフトは、SBT/ CeO_2 界面に空間電荷が存在するためと考えている。

エンハンスメント型特性では、 $V_{GS}=0$ V でオンおよびオフという 2 つのドレイン電流状態に分離していないため、ゲート電圧無印加で 2 値データを読み出す NDRO 動作は不可能である。

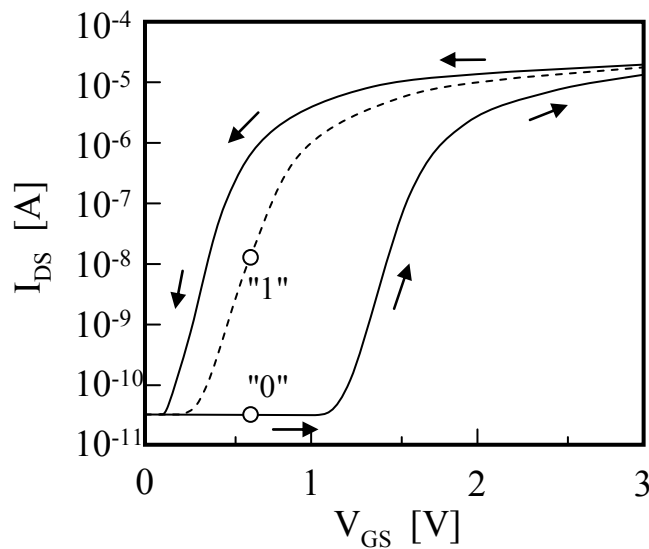


図 3-7 I_{DS} - V_{GS} 特性

そこで、分極が破壊されない程度にゲートバイアスを印加して電流差を読み出す擬似的な NDRO 動作の実現を試みた。 $V_{GS}=0.6$ V のバイアス条件で測定した I_{DS} は、データ"0"は実線のヒステリシス上にあり、データ"1"の電流は図 3-7 の破線で示すようにヒステリシス特性（実線）から低下した。このバイアス条件で、3 桁以上のオン電流／オフ電流比 (I_{on}/I_{off}) が得られた。擬似 NDRO 動作による連続読み出しを行った結果、図 3-8 に示すように 10^3 回を超える読み出しを行った後も電流変動比は安定していることを確認できた。

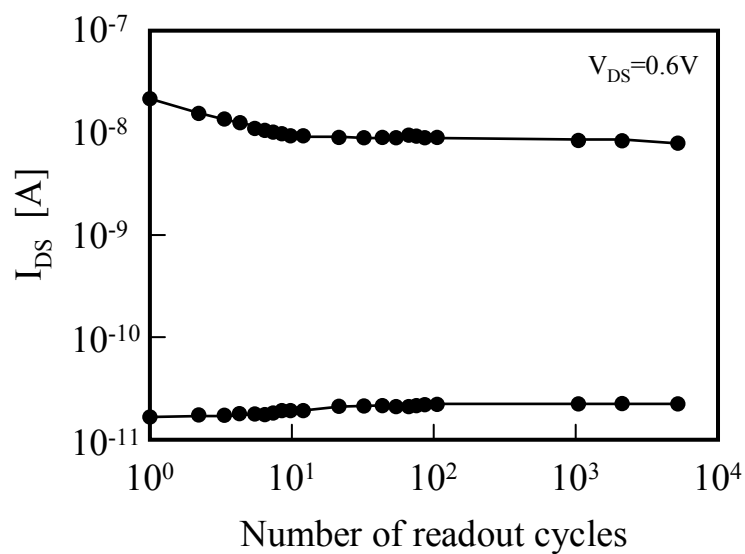


図 3-8 連続読み出し試験結果

次いで、Pt/STB/CeO₂/Si 構造 FeFET のリテンション特性を調べた。素子に±3 V の電圧を印加して 2 値データを書き込み、室温下で 2×10^6 秒（約 3 週間）放置した後にドレイン電流を測定した。その結果、図 3-9 に示すように、ドレイン電流はオンおよびオフ状態ともに変化し、 I_{on}/I_{off} は大きく減少した¹²⁾。

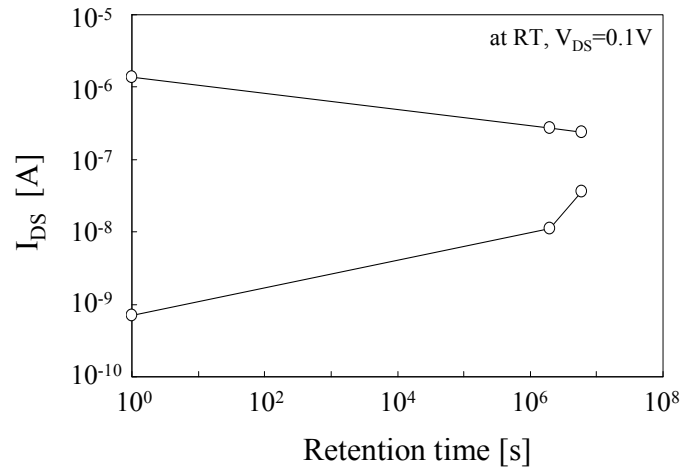


図 3-9 Pt/STB/CeO₂/Si 構造 FeFET のリテンション特性

ドレイン電流の経時変化は、バッファ層の挿入で発生した減分極電界が原因と考えられる。理想的な MFS 構造では強誘電体の残留分極とシリコン表面電荷がカップリングするので、図 3-4 に示したようにオフ状態（データ"0"）における強誘電体はフラットバンド状態となる。しかし、バッファ層を挿入したことにより、図 3-10 のようにオンおよびオフ状態ともに強誘電体膜中には分極方向と逆向きの電界（減分極電界）が発生している。減分極電界は分極を消滅させ、あるいはリーク電流によりバッファ層と強誘電体界面へ電荷を注入し、チャネル電荷量を減少させる。

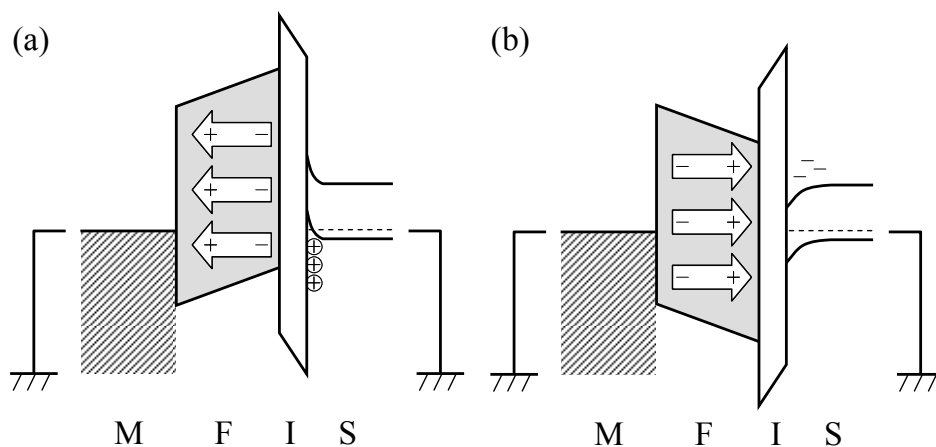


図 3-10 MFIS 構造のバンド状態

(a) データ"0" (b) データ"1"

本素子も含めて、現状では FeFET のリテンション特性は 10 年間のデータ保持が要求される不揮発性メモリとして使うには不十分と言わざるをえない。これまでに最も成功した Hf-Al-O をバッファ層に使った素子でも、データ保持は 30 日に留まっている¹³⁾。これはシリコン基板上に形成し、その表面チャネルの伝導を分極変調する FeFET の本質的な課題である。そこで、FeFET のリテンション特性改善を目指して、シリコンの表面チャネルを使わないデバイス構造の研究に取り組んだ。その詳細を次項で述べる。

3-1-3 界面伝導型 FeFET

不揮発性メモリの基本特性であるリテンションの改善を目指して、FeFET の原点に立ち返り、バッファ層を挿入しない構造で強誘電体表面の伝導を直接変調させるデバイスの研究に取り組むことにした。このようなアプローチの先例として、図 3-11 に示すように絶縁膜と強誘電体を積層したデバイスがある。積層構造は 2 種類あり、図 3-11 (a) のように強誘電体を絶縁膜上に形成した F/I (Ferroelectric/Insulator) 構造と¹⁴⁾、図 3-11 (b) のように積層順を逆にした I/F (Insulator/Ferroelectric) 構造が報告されている¹⁵⁾。F/I 構造は低抵抗シリコン基板とゲート電極間に電圧を印加して分極方向を反転させ、F/I 界面に形成したドレイン・ソース電極間電流の変調を読み出す。一方、I/F 構造 FeFET は上下のゲート電極間に印加した電圧で分極を反転し、自発分極により変調された界面伝導を読み出す。両構造ともに、ゲート電圧の掃引に伴ってドレイン電流はヒステリシスを描き、自発分極の方向に制御されて界面伝導電流が変調できることが報告されている^{14,15)}。本研究においても界面伝導型 FeFET の電流変調を目指し、まずは報告例と類似の構造による追試を行った。

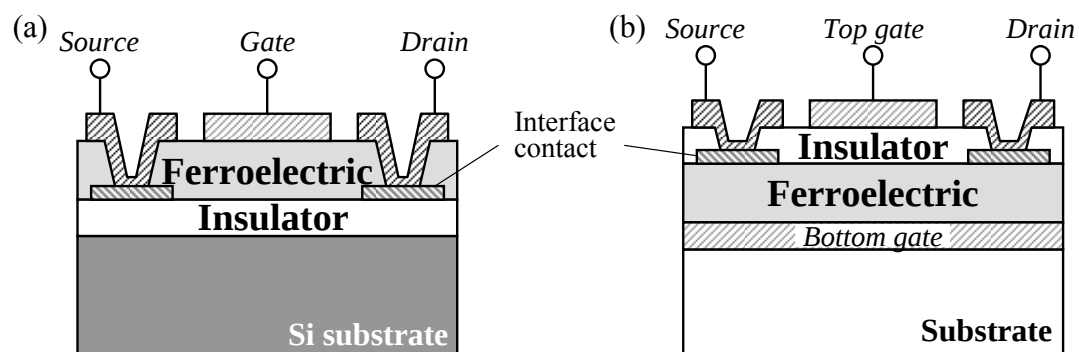


図 3-11 界面伝導型 FeFET
(a) F/I 構造 (b) I/F 構造

本研究の F/I 構造 FeFET は、厚さ 30 nm の Si_3N_4 ($\epsilon_r=7$) 上に厚さ 600 nm の SBT ($\epsilon_r=300$) を積層した構造である。また、I/F 構造 FeFET は、厚さ 100 nm の SBT 上に厚さ 55 nm の HfO_2 ($\epsilon_r=23$) を積層した構造である。これらの構造設計にあたり、強誘電体への分圧が V_C 以上、かつ絶縁膜への分圧が破壊電圧以下となるように比誘電率 ϵ_r を考慮して絶縁膜材料を選定し、膜厚を決定した。

試作した F/I 構造および I/F 構造 FeFET の S/D 電極間に DC 電圧を印加し、ゲート電圧を掃引しながらドレイン電流の測定を行った。しかし、両構造ともに、ゲート電圧に関係なくドレイン・ソース電極間には高抵抗状態であり、界面の伝導電流を観測することはできなかった。その理由は、F/I あるいは I/F 界面に伝導を担うキャリアが生成されていないからと考えられる。そのため、F 層の自発分極から発した電気力線は界面キャリアとカップリングすることなく、I 層の分極を介してゲート電極中の電荷

とカップリングしているものと考えられる。当然のことながら、界面伝導型 FeFET には伝導を担う界面キャリアの生成が必須であり、自発分極密度に見合うキャリアの意図的な導入が必要である。また、I/F 構造 FeFET の場合には多結晶構造の強誘電体の表面がチャネルとなるが、多結晶表面には 10nm オーダーでラフネスが存在するために移動度が極めて低いと推測される。例えばキャリアの意図的な導入に成功したとしても、大きな電流変調を得るには移動度の改善が必要と考えられる。

最近、異なるペロブスカイト材料の絶縁膜をエピタキシャルに積層した構造で界面伝導が報告され、注目されている^{16,17)}。積層構造に用いられているペロブスカイト材料は LaAlO_3 (LAO) / SrTiO_3 (STO) である (図 3-12)。STO 基板の最表面層によって伝導状態は異なり、基板表面が TiO_2 の場合には LAO/STO 界面にホール層が形成されて絶縁状態、 SrO の場合には電子層が形成されて導電状態となる。LAO を 1 原子層毎に堆積することで急峻な界面を形成しており、界面電子層の移動度は 2 K という極低温下で $10000 \text{ cm}^2/\text{Vs}$ を超える、さらに、ゲートバイアスの印加により、界面伝導が変調できることも報告されている^{18,19)}。

このような絶縁体である STO と LAO の界面に生成されるキャリア層の起源は、以下の通りに説明されている^{16,20)}。正に帯電した LaO^+ 層と負に帯電した AlO_2^- 層の層状積層構造である LAO は、バルク内では電荷中性条件を満たしている。これを成長する STO 基板の表面が TiO_2 の場合、STO 上の第一層には LaO^+ 層が成長して界面ホール層を形成する。一方、STO 表面が SrO の場合、第一層には AlO_2^- 層が成長して界面電子層を形成する。最近、この界面キャリア生成メカニズムと異なるメカニズムも報告されている²¹⁾。その報告によると、 LaO^+ 層と AlO_2^- 層の間に働く電気双極子によって STO 基板中の酸素欠損により生じた電子が界面に引き寄せられ、蓄積されることで伝導層が形成されているというものである。

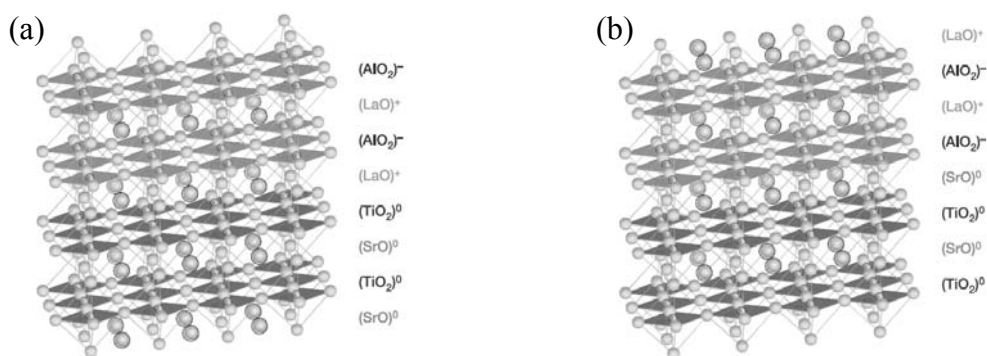


図 3-12 キャリアドーピングされたペロブスカイト積層界面 (Ref.16 から転載)

(a) 界面ホール層 (b) 界面電子層

強誘電体もペロブスカイト結晶材料群のファミリーであり、ペロブスカイト積層構造の一方を強誘電体材料にすれば自発分極で制御した界面伝導を実現できると考え、ペロブスカイト材料をヘテロエピタキシャル成長した I/F 型 FeFET の開発へと研究タ

ーゲットをシフトした。ヘテロエピタキシャル積層構造に用いるペロブスカイト材料は、強誘電体に PZT、その上部に積層する絶縁体には STO を選択した。STO の格子定数は $3.91 \text{ \AA}$ であり、PZT の a 軸 $4.04 \text{ \AA}$ とのミスマッチは 3% と小さく、ヘテロエピタキシャル成長に適した組み合わせであると考えたからである。試作したデバイス構造を図 3-13 に示す。STO/PZT 積層構造のエピタキシャル成長を意図して、基板および下部ゲート電極にはペロブスカイト構造の単結晶 STO (c-STO) および SrRuO_3 (SRO) を選んだ。SRO の格子定数は $3.93 \text{ \AA}$ と STO と PZT の間にあり、格子整合に適する。

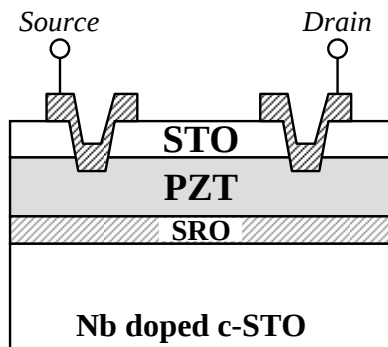


図 3-13 ヘテロエピタキシャル I/F 構造
界面伝導 FeFET

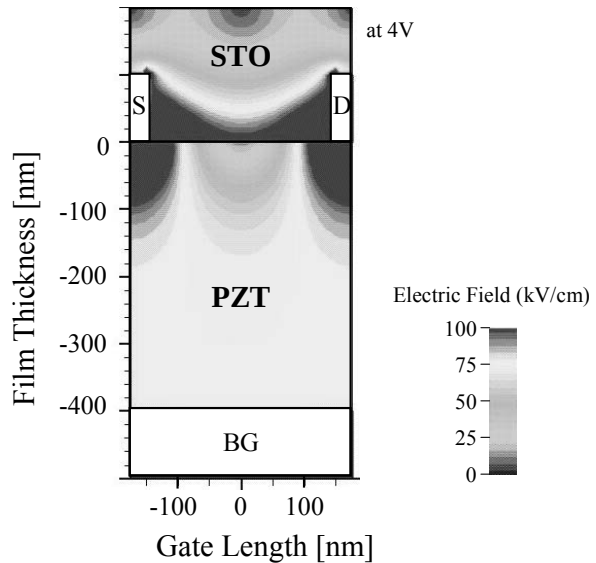


図 3-14 電界シミュレーション

デバイス構造設計にあたり、将来の微細素子実現に向けてボトムゲート (逆スタガ) 型 3 端子構造の開発を目指した。F/I 型および I/F 型界面伝導 FeFET でソース・ドレイン電極間に配置していたトップゲート電極が無くなり、かつソース・トップゲート間およびドレイン・トップゲート間の分離スペースが不要とできるので、素子サイズを小さくできるからである。トップゲート電極が省略された 3 端子構造では、ソースおよびドレイン電極とボトムゲート電極間に生成されたフリンジ電界により、強誘電体の自発分極を反転させる。そのため、図 3-13 に示す構造の電界シミュレーションを行い、ソース端の強誘電体に印加される垂直電界の強度が抗電界 E_c を越えることを確認しながら素子設計を進めた。図 3-14 にシミュレーションで得られた電界強度の一例を示す。電界シミュレーション結果を参考にして、STO/PZT/SRO 積層構造の膜厚は $75 \text{ nm}/150 \text{ nm}/50 \text{ nm}$ 、チャネルとなる S/D 電極間の距離は 50 nm とした。連続成長した酸化物積層構造の界面伝導を取り出す S/D 電極は、STO/PZT 界面の深さに達するコンタクトホールに S/D 電極を埋め込んで形成した。

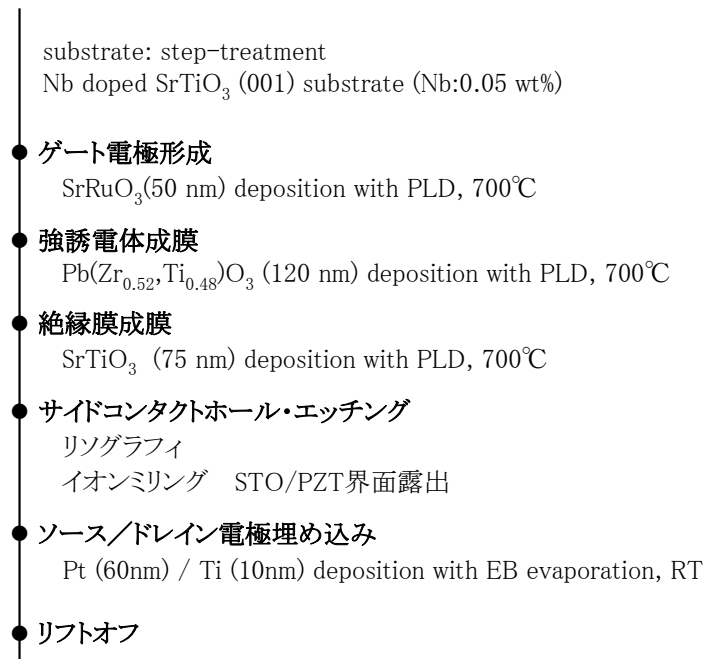


図 3-15 プロセスフロー

ヘテロエピタキシャル I/F 構造界面伝導 FeFET のプロセスフローの概略を図 3-15 に示し、以下に順を追って説明する。c-STO 基板（信光社製）の大きさは 15 mm × 15 mm であり、0.05% の Nb 添加により低抵抗である。(001) 面に切り出されたその表面は研磨および化学処理により原子層レベルで平坦となっている。

STO/PZT/SRO 積層構造はパルスレーザー堆積法（Pulsed Laser Deposition: PLD）により *in situ* に連続成長した（図 3-16）。PLD は、レーザー光を固体原料の分解気化エネルギー源として利用する物理的气相蒸着法の 1 つである。レーザー光を真空チャンバー内の固体ターゲットに照射してアブレーションを起こし、放出される高いエネルギーを持った粒子を基板上に堆積して薄膜を作製する。チャンバー内が超高真空となるように排気し、平均自由行程を確保できる程度に酸素ガスを導入し、基板上に結晶成長を行う。レーザー光強度・周波数・パルス数・基板温度の制御により、成膜速度を原子層オーダー制御しながら酸化物薄膜を成膜することができる。また、ターゲット組成をそのまま転写することができるという特徴がある。このような特徴から、酸化物積層構造の成長手法として PLD を選んだ。さらに、レーザー光を固体原料に照射する位置をスキャンしながら成膜し、同時に基板を回転させて堆積する位置を移動させることで基板面内の均一性を確保した。

今回用いた PLD の光源は、波長 248 nm の KrF エキシマレーザー（LPX210）である。SRO 成長条件は、基板温度 700 °C、酸素分圧 10 mTorr、レーザーエネルギー密度～1.0 J/cm²、照射周波数 5 Hz である。PZT は組成によって結晶構造ならびに配向性が変わるので²²⁾、SRO/c-STO (001) 上へのエピタキシャル成長に適すると考えられる Pb(Zr_{0.52},Ti_{0.48})O₃ という組成の焼結体をターゲットに用いた。PZT 成長条件は、基板

温度 700 °C、酸素分圧 100 mTorr、レーザエネルギー密度 $\sim 1.0 \text{ J/cm}^2$ 、照射周波数 10 Hz である。PZT 上への STO 成長条件は、SRO 成長と同様である。

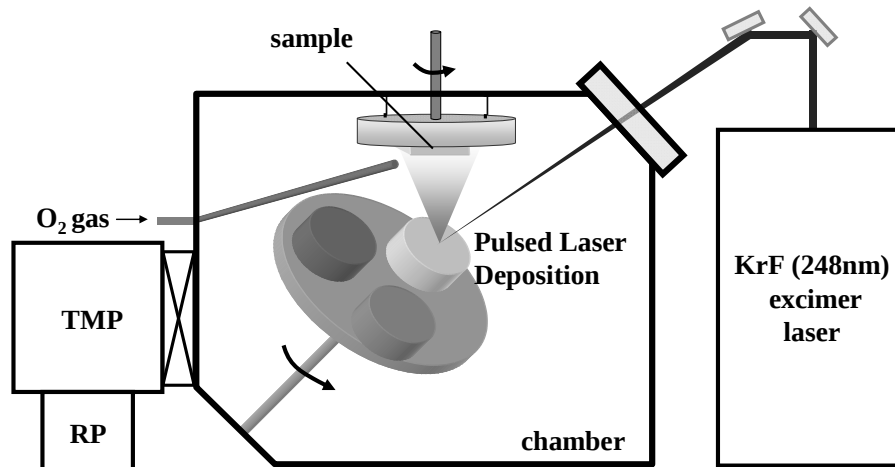


図 3-16 PLD 装置

PLD 法で積層した STO/PZT/SRO/c-STO 構造にレジストを塗布し、電子線描画装置によりコンタクトホール形状を焼き付けた後、積層構造の側壁に STO/PZT 界面が露出するようにイオンミリング法によりコンタクトホールを形成した。次いで密着層の Ti および Pt 電極を電子線蒸着した後、レジストを剥離して不要部をリフトオフし、STO/PZT 界面へのサイドコンタクトとなる S/D 電極を形成した。本試作では、チャネル幅となる S/D 電極幅が 150～1200 nm、チャネル長となる S/D 電極間隔が 50～1200 nm の範囲で異なる複数の素子サイズを作製した。

以上の方法で作製した積層構造の結晶状態を X 線回折 (X-ray diffraction: XRD) により調べた。ただし、基板と同一材料である最上層の STO はピークが重なるためこれを成膜せず、PZT/SRO/c-STO 構造の試料について測定した。得られた XRD プロファイル (図 3-17) には SRO、PZT とともに (00 l) ピークのみが検出されており、c-STO 基板の面方位にならって一軸配向していることを確認できた。

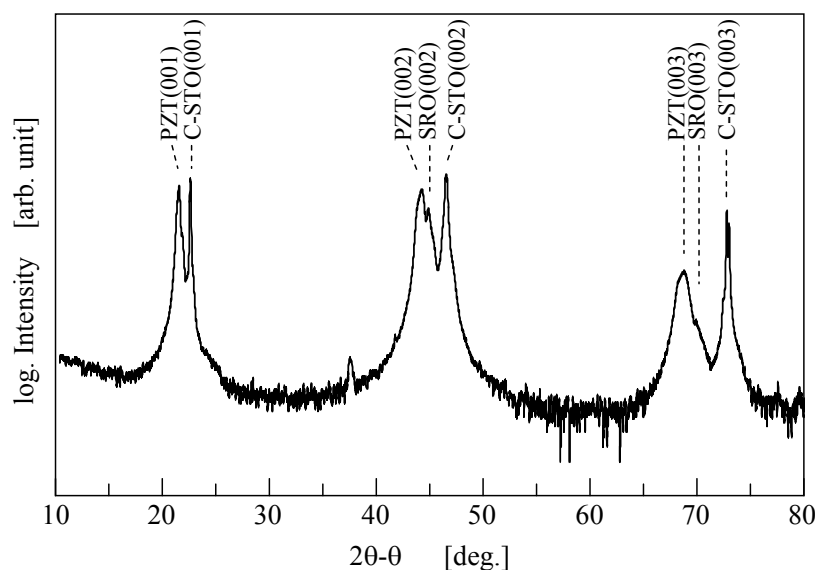


図 3-17 XRD プロファイル

PZT/SRO/c-STO 構造の表面を原子間力顕微鏡（Atomic Force Microscope: AFM）で観察したところ、表面ラフネスは 0.815 nm（Root Mean Square: RMS）と極めて小さく、原子層レベルで平坦であった（図 3-18）。

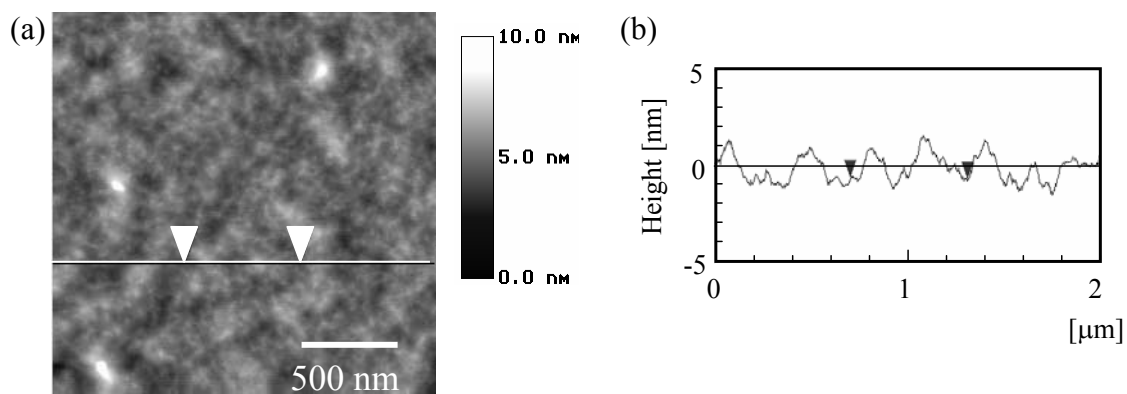


図 3-18 PZT 表面のラフネス
(a) AFM 像 (b) ラインプロファイル

原子層レベルで平坦であると確認された PZT の上に STO を成膜し、試料断面を透過型電子顕微鏡（Transmission Electron Microscope: TEM）で観察した写真を図 3-19 に示す。断面 TEM 写真より、PZT の周期構造を引き継いで STO が成長していることが判る。また、STO/PZT 界面に反応層は観察されず、急峻な界面が確認できる。

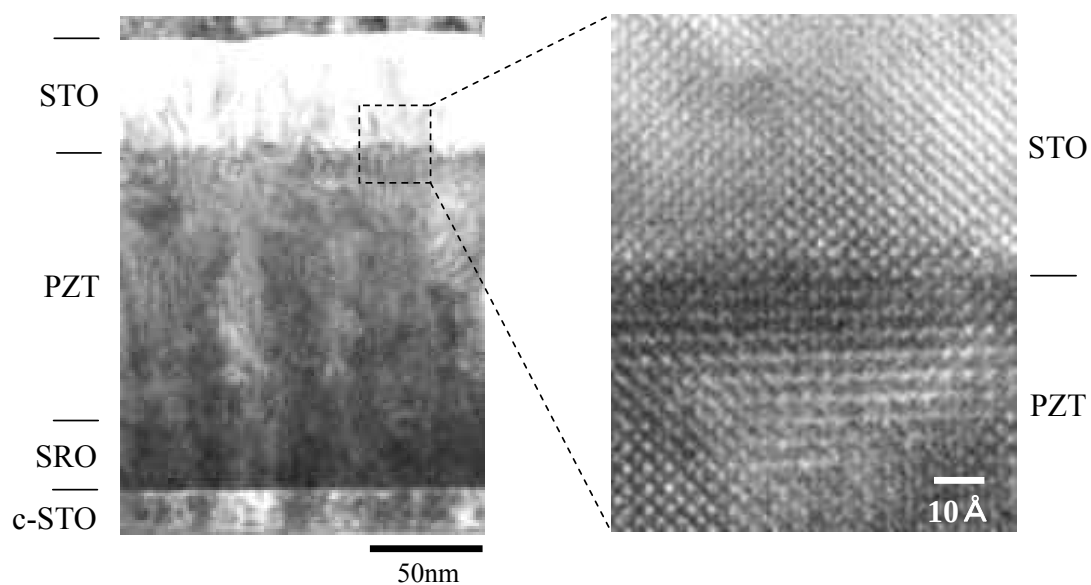


図 3-19 断面 TEM 像

STO/PZT/SRO/c-STO 構造の各層表面に $1\text{ nm}\phi$ の電子線を $5\mu\text{m}$ 角の範囲で走査し、後方散乱された電子の菊池線観察 (Electron Backscattering Diffraction Pattern: EBSP) から得られた極点図を図 3-20 に示す。c-STO 基板、SRO、PZT、STO の全層で 4 回点対象のスポットが観察された。これは、STO/PZT/SRO/c-STO 構造がヘテロエピタキシャル成長していることを意味する。

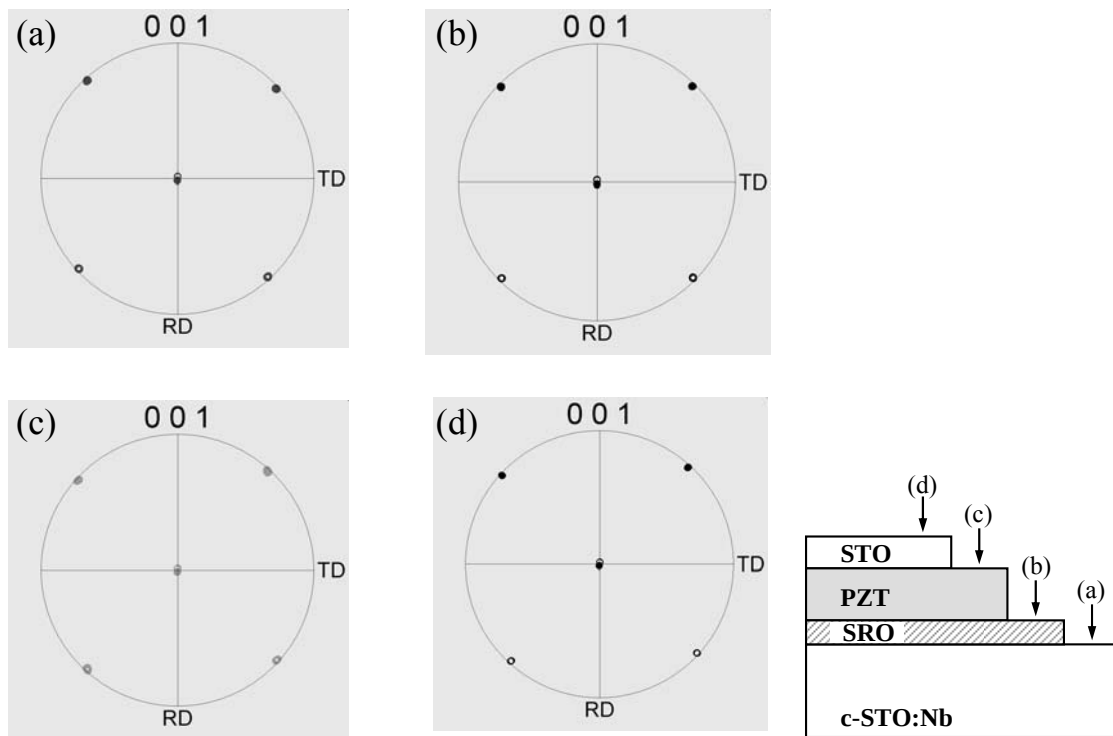


図 3-20 EBSP 極点図

(a) c-STO 基板 (b) SRO (c) PZT (d) STO

Matthews-Blakeslee モデルに基づき²³⁾、ポアソン比を 0.3 と仮定して PZT の臨界膜厚を計算したところ 6 nm であり、本試料で成膜した 150 nm 厚の PZT はこれを超えている。しかし、AFM、SEM による表面の観察、EBSP による表面配向状態のマッピング像からもクラックの存在は確認されなかった。非平衡状態の成長が臨界膜厚を超えた酸化物薄膜のヘテロエピタキシャル成長を可能にするとの報告があり²⁴⁾、非平衡状態で成膜する PLD を成長手法に選んだことにより臨界膜厚を超えてヘテロエピタキシーが実現できたと考える。

ヘテロエピタキシャル成長した PZT の電気的特性を調べるため、PZT 表面に Pt 電極を形成したキャパシタを作製した。Pt/PZT/SRO/c-STO キャパシタの P_r -V ヒステリシス特性を図 3-21 に示す。 P_r -V ヒステリシスは良好な角型比を有する形状を示しており、 $2P_r$ は $53.8 \mu\text{C}/\text{cm}^2$ 、 $2V_C$ は 2.4 V ($E_C=80 \text{ kV}/\text{cm}$) であった。

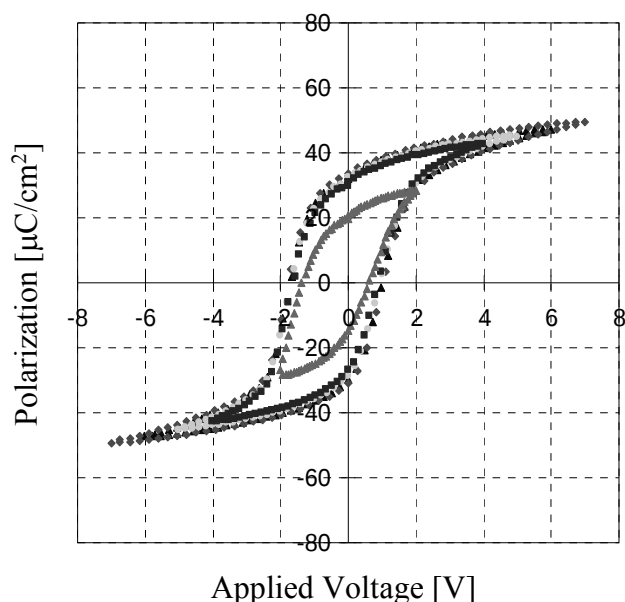


図 3-21 Pt/PZT/SRO/c-STO キャパシタの P_r -V ヒステリシス

ヘテロエピタキシャル成長した STO/PZT/SRO/c-STO 構造に S/D 電極を形成して FeFET を作製し、その電気的特性を評価した。しかし、作製した素子の S/D 電極とゲート電極間のリーク電流が大きく、界面伝導電流を検出することはできなかった。

Pt/PZT/SRO/c-STO キャパシタの P_r -V ヒステリシスから確認された PZT の残留分極密度 $53.8 \mu\text{C}/\text{cm}^2$ は、一般的な MOSFET のチャネル電荷密度 $\sim 1 \mu\text{C}/\text{cm}^2$ よりも 1 桁以上大きい。自発分極に完全に対応してキャリアが生成されているとすれば、仮に界面伝導の移動度がシリコンの移動度よりも数桁低いとしても電流検出は可能なはずである。本試作では原子層レベルで平坦な界面が形成できており、移動度が極端に低くなることはないと思われる。従って、ゲートリーク電流を下げることであれば、本素子構造で界面伝導電流の変調を検出できると期待できる。

過大なゲートリーク電流は STO/PZT 界面へのコンタクト形成に問題があったためであり、サイドコンタクトの形成がキーと考える。本試作では S/D 電極を埋め込むためにイオンミリングによるコンタクトホールを形成しており、イオンミリング中に PZT へダメージが入ったことがその原因と考えられる。本研究着想の元となった LAO/STO 界面伝導の研究報告では、積層構造の表面からレーザ照射により埋もれた界面へのオーミックコンタクトを形成したという記載はあるものの¹⁶⁾、その詳細は不明である。従って、低ダメージのサイドコンタクト形成技術を新たに開発する必要がある。しかし、急峻かつ清浄な界面を有する積層構造を形成した後に、その界面へ

のコンタクトを安定的に形成するのは非常に困難であり、工業化が難しい。

ヘテロエピタキシャル酸化物積層構造は、①自発分極とキャリアが直接カップリングするので安定したデータ保持が期待できる、②単一配向で微細化に適する、③原子層レベルで平坦なために高い移動度が期待できる、という特長がある。それ故、MFS 型などの FeFET よりも優れた性能とリテンション特性の実現を期待できる。そこで、これらの特長を活かして、界面へのコンタクトを改善した新たなデバイス構造の研究に着手した。次節でその詳細を述べる。

3-2 強誘電体ゲート薄膜トランジスタ

3-2-1 デバイス構造と動作原理

ヘテロエピタキシャル酸化物積層構造の自発分極による強誘電体表面伝導の変調を検出するため、強誘電体の上に半導体薄膜を堆積し、S/D 電極を形成した強誘電体ゲート薄膜トランジスタ (Ferroelectric gate thin film transistor: FeTFT) を考案した。図 3-22 の断面図に示すようにゲート電極が下層にくる逆スタガ (ボトムゲート) 型の構造であり、基板 (c-STO), ゲート電極 (SRO), 強誘電体 (PZT) はヘテロエピタキシャル成長したペロブスカイト積層構造である。

バッファ層を挿入した MFIS 構造あるいは MFMIS 構造の FeFET は、オン/オフ状態のいずれにも減分極電界が発生し、リテンション特性に本質的な限界がある。これに対して、p 型シリコン基板上に強誘電体を成膜した MFS 構造 FeFET は、自発分極によってシリコン表面にホールを蓄積した高抵抗 (オフ) 状態は理想的には安定である。ただし、反転層が形成される低抵抗 (オン) 状態では空乏層へ伸びる電気力線が減分極電界を発生させるので長時間の分極保持は困難である。そこで本研究で提案する FeTFT は、安定した蓄積状態で低抵抗 (オン) となり、反転状態で高抵抗 (オフ) となる動作に変更することを考えた。このような伝導率変調を実現するために、チャネルには n 型半導体を用いることにした。2 つの伝導変調状態のうち、反転状態を用いたオフ動作は減分極電界による分極消失で長時間の状態保持は難しくなってしまうが、*intrinsic* にチャネル抵抗を高くすることで自発分極を消失しても高抵抗状態が維持できると考えた。そのため、FeTFT の研究を遂行するにあたり、強誘電体上に積層する n 型半導体のキャリア密度と抵抗率を評価指標とした。

理想的には MFS 構造 FeFET の蓄積状態は安定であるはずであるが、実際には界面に遷移層が形成され、満足するような電流変調特性は得られていない。新たに提案する FeTFT では、ペロブスカイト積層構造を含めて積層構造は全てを酸化物材料とし、*in situ* に連続成長することを意図して、n 型半導体薄膜には ZnO を選択した。ZnO は PZT/SRO/c-STO 構造の形成温度よりも低温で成膜可能であり、PZT との界面における反応を抑制して急峻かつ清浄な界面形成が期待できるからである。

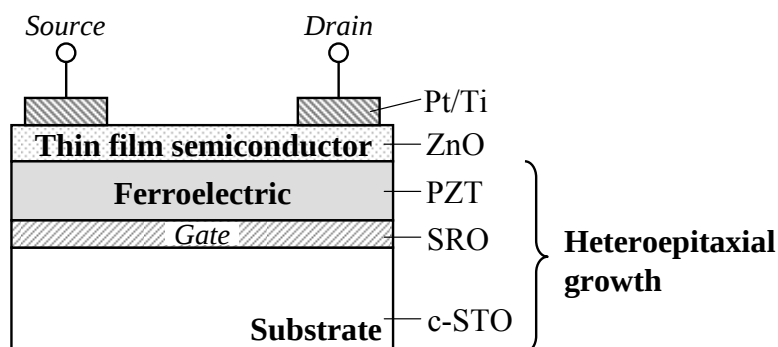


図 3-22 ヘテロエピタキシャル強誘電体ゲート薄膜トランジスタ

真空準位を基準として描いた酸化物積層構造のバンドダイアグラムを図 3-23 に示す。PZT と ZnO には 0.8~1.0 eV のエネルギー障壁があり、伝導電子が PZT に注入されて自発分極を減じる恐れが少ない。同様に、PZT と SRO には 1.7 eV のエネルギー障壁があり、SRO にゲート電圧を印加してデータを書き込む際の電子注入抑制が期待できる。

n 型半導体である ZnO の p 型化に関する研究は盛んに行われ、MBE (Molecular Beam Epitaxy)、スパッタ、PLD によりそれぞれ N, P₂O₅, As を添加して p 型 ZnO を成膜した報告があるものの^{25,26,27)}、その再現性は乏しい。安定した p 型の発現を目指して理論的な究明が行われ、Ga と N を同時に添加 (co-doping) することで p 型 ZnO が得られることが示された²⁸⁾。しかし、co-doping を試みた結果、p 型化に成功したという報告もあれば²⁹⁾、p 型 ZnO は得られなかったという報告もあり^{30,31)}、実用的な pn 接合の形成技術は未だ確立されていない。そこで、本研究では ZnO 上に形成する S/D 電極は Pt/Ti 積層メタルとした。Ti は仕事関数が低く、図 3-23 に示すように、n 型半導体である ZnO の伝導帯中にフェルミ準位が位置してオーミックコンタクトを形成するので³²⁾、オン状態における ZnO/PZT 界面への電子注入に適する。一方、オフ状態では pn 接合のようにホールが注入されないので、ZnO に反転層は形成されない。従って、ZnO/PZT/SRO 構造の FeTFT は、PZT の自発分極反転によって蓄積状態で低抵抗 (オン) となり、空乏化状態で高抵抗 (オフ) となる。

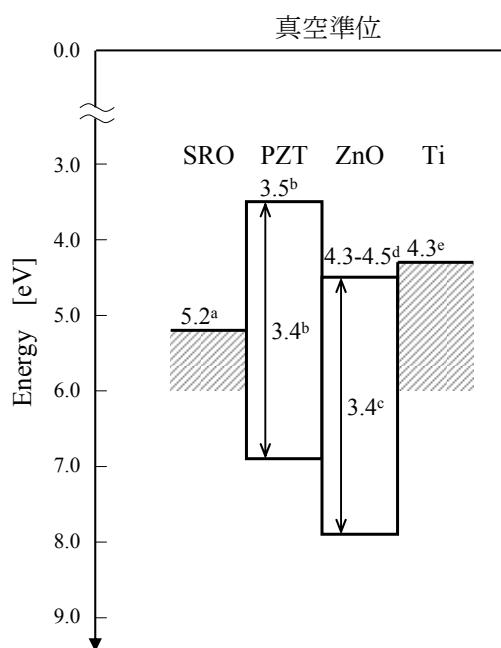


図 3-23 真空準位を基準としたバンドダイアグラム

^aSee Ref. 33

^bSee Ref. 34

^cSee Ref. 35

^dSee Ref. 36,37

^eSee Ref. 38

FeTET へのデータ書き込みは FeFET と同様（図 3-3）であり、ソースおよびドレイン電極を接地した状態でゲート電極に正負の電圧を印加して行う。データ"0"の場合には負のゲート電圧を印加し、図 3-24 (a) のように下向きの自発分極を書き込む。このとき、図 3-25 (a) のバンド状態に示すように ZnO 膜中のキャリアが追い払われ、空乏層が形成される。ZnO 膜厚 t が空乏層の厚さ以下となる場合、ZnO 膜は高抵抗な完全空乏状態となり、ドレイン・ソース間に電流は流れない。データ"0"の記憶状態における強誘電体には減分極電界が存在し、時間の経過にともなって残留分極量の低下が懸念される。残留分極が低下して空乏状態が消失した場合、ZnO 薄膜中の *intrinsic* なキャリアがドレイン・ソース間を伝導し、オフ電流 I_{off} は (3-1) 式のようになる。

$$I_{\text{off}} = e \cdot \mu_{\text{eff}} \cdot N_i \cdot \frac{W_g}{L_g} \cdot t \cdot V_{\text{DS}} \quad (3-1)$$

但し、 N_i は ZnO 薄膜の *intrinsic* なキャリア密度、 e は素電荷量、 μ_{eff} は電界効果移動度、 V_{DS} はドレイン・ソース間の印加電圧、 L_g はチャネル長（ドレイン・ソース電極間距離）、 W_g はチャネル幅（ドレイン・ソース電極幅）である。

一方、データ"1"の場合には正のゲート電圧を印加し、図 3-24 (b) のように上向きの自発分極を書き込む。このとき、図 3-25 (b) のように ZnO と PZT の界面に自発分極とカップリングして二次元電子ガスが蓄積され、ZnO/PZT 界面は低抵抗となる。ZnO バルク中の *intrinsic* なキャリアと ZnO/PZT 界面の蓄積電荷がドレイン・ソース間を伝導し、そのオン電流 I_{on} は (3-2) 式で表される。括弧内の第一項が *intrinsic* なキャリア、第二項が ZnO/PZT 界面の蓄積電荷である。

$$I_{\text{on}} = \mu_{\text{eff}} \cdot (e \cdot N_i \cdot t + P_r) \cdot \frac{W_g}{L_g} \cdot V_{\text{DS}} \quad (3-2)$$

但し、 P_r は PZT の分極密度である。PZT の分極で誘起される ZnO/PZT 界面電荷量は、ZnO 薄膜中の電荷量よりも桁違いに多いので

$$P_r \gg e \cdot N_i \cdot t \quad (3-3)$$

が成り立ち、 I_{on} は (3-4) 式で表すことができる。

$$I_{\text{on}} \approx \mu_{\text{eff}} \cdot P_r \cdot \frac{W_g}{L_g} \cdot V_{\text{DS}} \quad (3-4)$$

この状態では強誘電体の残留分極は ZnO/PZT 界面の電荷とカップリングしており、強誘電体はフラットバンド状態となっている。フラットバンド状態では残留分極を反転させる減分極電界が存在せず、リーク電流による分極子の遮蔽も起こらないので、極めて安定してオン状態を保持することが可能である。

データ"0"における高抵抗なオフ状態とデータ"1"における低抵抗なオン状態の電流比 $I_{\text{on}}/I_{\text{off}}$ は、(3-1) および (3-4) 式から導かれ、

$$I_{\text{on}}/I_{\text{off}} = \frac{P_r}{e \cdot N_i \cdot t} \quad (3-5)$$

となる。空乏状態が消失したとしてもオン・オフ比 $I_{\text{on}}/I_{\text{off}}$ を高いレベルに維持するた

めには、高い分極密度 P_r を有する PZT 膜上にキャリア密度 N_i が低い ZnO 薄膜を成長し、かつ ZnO 膜厚 t を薄くすればよいことが、(3-5) 式より理解できる。

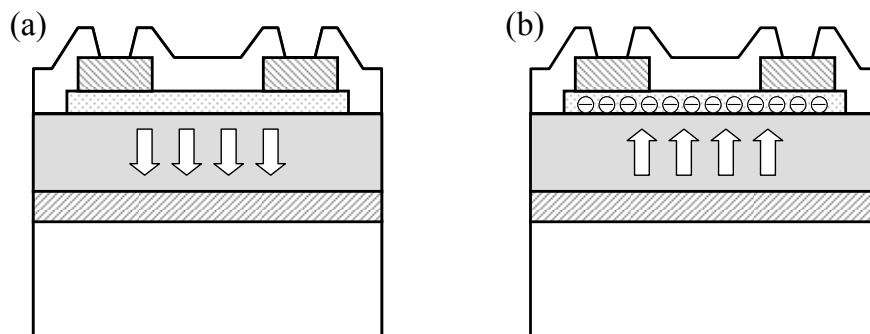


図 3-24 自発分極による電荷変調

(a) データ"0" (b) データ"1"

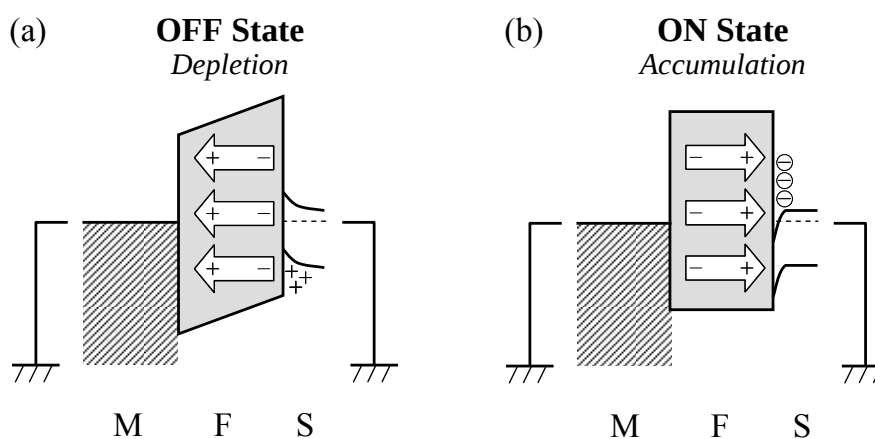


図 3-25 記憶状態のバンド構造

(a) データ"0" (b) データ"1"

FeTFT のオン・オフ比 I_{on}/I_{off} を表す (3-5) 式には素子サイズが含まれない。それ故、プロセス世代の進展にともなってゲート長 L_g 、ゲート幅 W_g および強誘電体膜厚 t_F を比例縮小して微細化した場合にも I_{on}/I_{off} を維持することができ、スケーリングが成り立つ (図 3-26)。

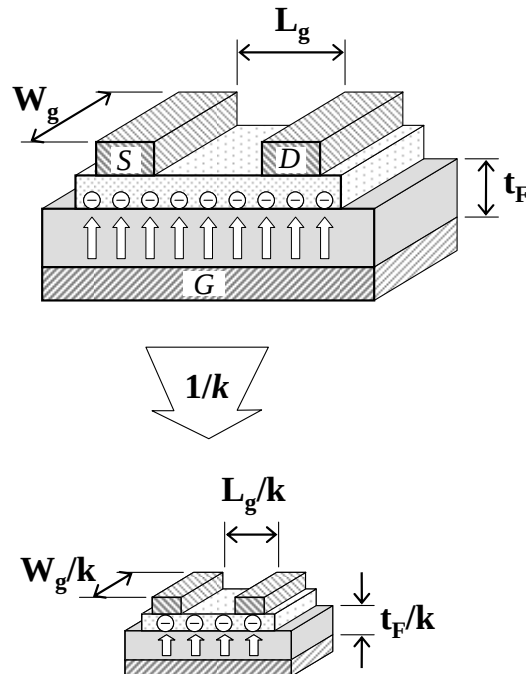


図 3-26 強誘電体ゲート TFT のスケーリング

以上に述べたデバイスコンセプトは、過去に行ってきた FeFET の研究を通じて考案するに至ったものである。その動作実証に向けて、I/F 構造界面伝導 FeFET の研究で開発したヘテロエピタキシャル技術を用いて高品位な ZnO 極薄膜の成膜と、これを用いた FeTFT の研究に取り組んだ。ところで、本研究を推進した時期に、他の研究グループから逆スタガ型 FeTFT の報告がなされた。

第一の報告例は、強誘電体である $\text{Bi}_{4-x}\text{La}_x\text{Ti}_3\text{O}_{12}$ (BLT) の上に、スズをドーピングした酸化インジウム (indium-tin-oxide : ITO) を積層した構造である^{39,40)}。ITO 上に形成した S/D 電極間の通電電流が BLT の自発分極によって変調されることを観測し、FeTFT デバイスとして初めて電流変調を報告している。しかし、その変調度は低く、リテンションも 0.1 日程度と短い。この FeTFT で用いた BLT は多結晶構造であり、表面のラフネスが大きいためではないかと考えられる。最近では、多結晶強誘電体の表面を研磨することで特性改善が図られつつある。

第二の報告例は、強誘電体である YMnO_3 の上に ZnO (0001) をエピタキシャル成長した構造である⁴¹⁾。本構造のドレイン電流はゲート電圧掃引によってヒステリシスを描くものの、ゲート電圧無印加状態における電流変調比は 1 桁にとどまっており、そのリテンション特性については言及されていない。このように電流変調度が低い要因は、オフ電流が大きく、負バイアス方向へのしきい値シフトが見られるためである。

オフ電流が大きい理由は、 YMnO_3 上に成膜した ZnO のキャリア密度が 10^{21} cm^{-3} 以上と高いためである。また、 c 軸配向した ZnO の自発分極によるキャリア生成もその一因ではないかと推測する。負方向へのしきい値シフトは、これも ZnO の自発分極による効果と考える。なお、この報告にはイットリウム安定化ジルコニア (Yttrium-stabilized zirconia: YSZ) をテンプレートとした Pt/PZT/ ZnO /YSZ 積層構造からなるスタガ (トップゲート) 型の FeTFT の試作および評価結果も含まれている。しかし、逆スタガ構造 FeTFT と同様に電流変調比は低く、リテンション特性への言及はない。

本研究ではヘテロエピタキシャル成長した強誘電体上の界面伝導を用いることにより、多結晶構造 FeTFT よりも電気特性ならびにリテンション特性を向上させることを目論んだ点で優れる。さらに次項以降に述べるように、ヘテロエピタキシャル成長した高品位な ZnO 薄膜のキャリア密度は低く、 YMnO_3 上とは異なる配向で成長させることができたため、優れた電気的特性とリテンション特性を実現できた。以降ではヘテロエピタキシャル積層構造の結晶評価と、この構造を使って作製した FeTFT の電気的特性およびリテンション特性について述べる。

3-2-2 酸化物エピタキシャル成長技術を用いたデバイス作製

ヘテロエピタキシャル FeTFT のプロセスフロー（図 3-27）は以下の通りである。c-STO 基板（信光社製）の大きさは 15 mm × 15 mm であり、0.05% の Nb 添加により低抵抗である。(001) 面に切り出されたその表面は研磨および化学処理により原子層レベルで平坦となっている。10⁻⁶ Torr に減圧した真空チャンバーに c-STO 基板を装着し、ZnO/PZT/SRO 積層構造は PLD 法により *in situ* に連続成長した。光源は波長 248 nm の KrF エキシマレーザ（LPX210）である。SRO および PZT 成長はヘテロエピタキシャル I/F 界面伝導 FeFET の作製と同一条件で行った。SRO 成長条件は、基板温度 700 °C、酸素分圧 10 mTorr、レーザエネルギー密度～1.0 J/cm²、照射周波数 5 Hz である。PZT 成長に用いたターゲット組成は Pb(Zr_{0.52}Ti_{0.48})O₃ であり、基板温度 700 °C、酸素分圧 100 mTorr、レーザエネルギー密度～1.0 J/cm²、照射周波数 10 Hz である。PZT 上への ZnO 成長条件は、基板温度 400 °C、酸素分圧 10 mTorr、レーザエネルギー密度～0.5 J/cm²、照射周波数 10 Hz である。各層の厚さは成膜時間で制御し、FeTFT に用いた SRO, PZT, ZnO の厚さはそれぞれ 30 nm, 450 nm, 30 nm である。ZnO 薄膜はリソグラフィを施した後、希硝酸でパターニングした。その表面に Pt/Ti 積層メタルの S/D 電極を電子ビーム蒸着により形成した。最後に、保護膜として SiN_x をスパッタにより成膜してデバイスを完成させた。チャンネル幅となる ZnO 幅は 100 μm、チャンネル長となる S/D 電極間隔は 3 μm である。

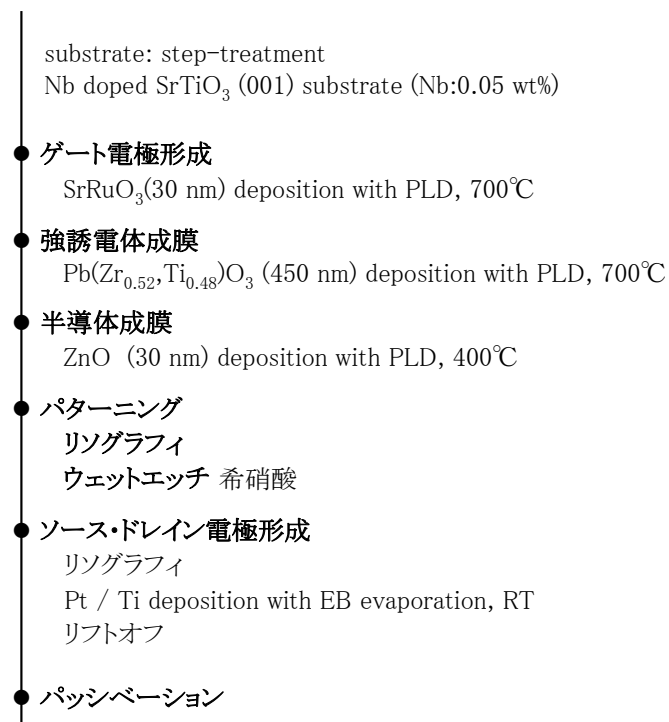


図 3-27 プロセスフロー

PLD で成長した ZnO/PZT/SRO/c-STO 積層構造の XRD プロファイルを図 3-28 に示す。ペロブスカイト材料である SRO、PZT とともに (00 ℓ) ピークのみが検出され、その上に成膜したウルツ鉱型構造の ZnO 薄膜は (11-20) ピークのみが観察された。他の結晶相に関連付けられるピークが見られないことから、SRO、PZT、ZnO はそれぞれ (001), (001), (11-20) に配向していることが判る。また、PZT (003) および ZnO (11-20) ピークの半値幅 (Full Width at Half-Maximum: FWHM) はそれぞれ 37 arcsec および 72 arcsec であった。本試験で得られた FWHM は ZnO 薄膜のレビュー論文でまとめられているエピタキシャル ZnO 薄膜の報告例 (12~数百 arcsec) と比べても遜色なく⁴²⁾、良好な結晶性であることを示唆する。

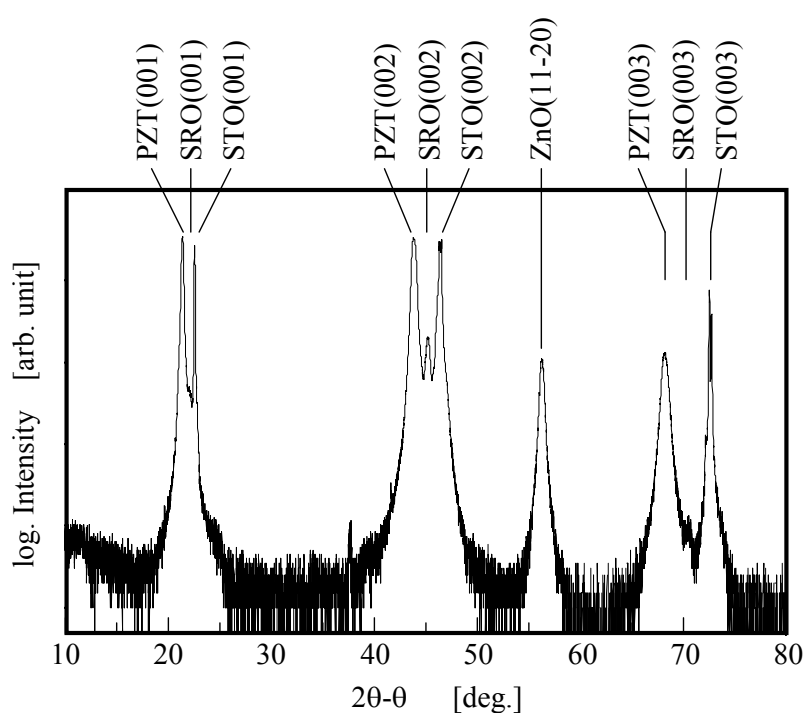


図 3-28 XRD プロファイル

次いで、断面 TEM により観察した積層構造を図 3-29 に示す。図 3-29 (a) は Pt/Ti/ZnO/PZT/SRO/c-STO 積層構造の暗視野像、図 3-29 (b) および (c) はそれぞれ ZnO/PZT および Ti/ZnO 界面の高解像度明視野像である。ZnO/PZT 界面の高解像度像において界面に反応層は観察されず、PZT の周期構造を引き継いで ZnO が成長していることが判る。すでに述べたように、AFM で観察した PZT 表面の表面ラフネスは 0.815 nm (RMS) と極めて小さく、原子層レベルで平坦であった (図 3-18)。断面 TEM 写真より、ZnO の成長後も界面の急峻性が維持できていることが確認できる。良好な ZnO/PZT 界面の形成は、ZnO を PZT 成長よりも 300 °C 低い温度で成長しているためと考えている。

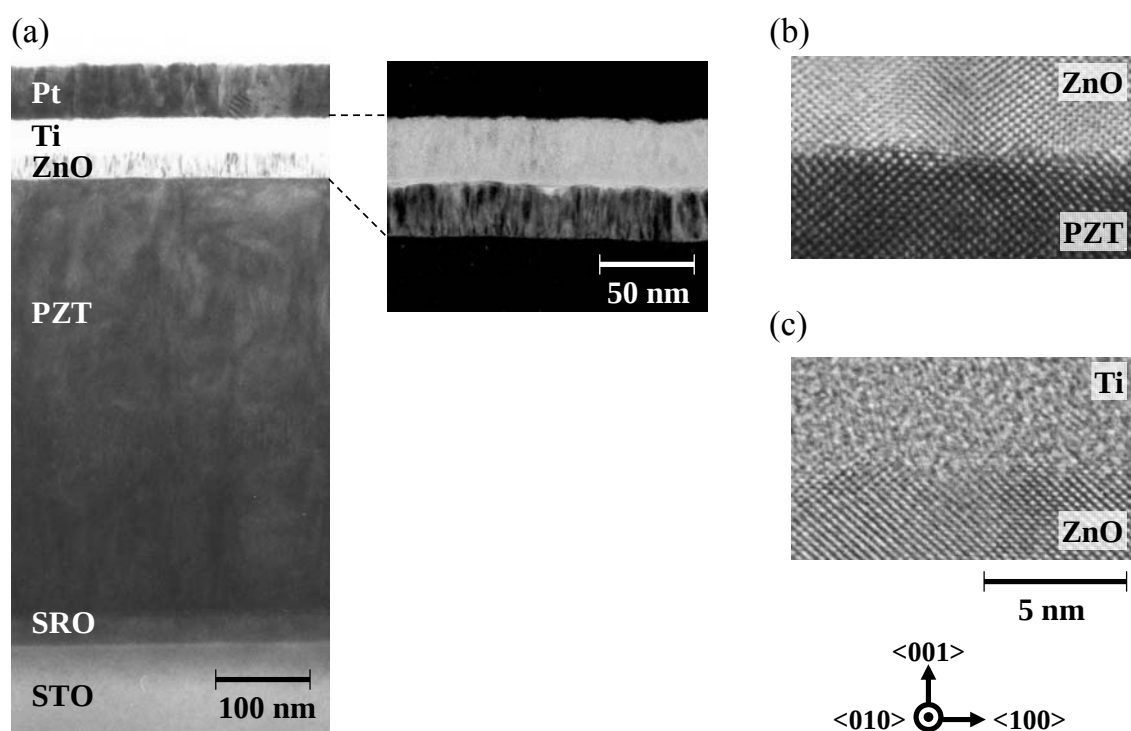


図 3-29 断面 TEM 像

(a) Pt/Ti/ZnO/PZT/SRO/STO (b) ZnO/PZT (c) Ti/ZnO

TEM 観察と同時に取得した (010) 方向から入射した電子線の回折 (Transmission Electron Diffraction: TED) 像を図 3-30 に示す。TED 像には回折スポットのみが観察され、PZT および ZnO 薄膜が単結晶品質であることが確認できる。また、ZnO の [1-102] 軸が PZT の [100] 軸に平行であり、ウルツ鉱型構造の ZnO がペロブスカイト積層構造の上にヘテロエピタキシャル成長し、ZnO の c 軸は膜面に平行方向を向いていると結論づけられる (図 3-31)。考えうる ZnO と PZT の格子マッチングは、積層構造の上から見た時に、例えば PZT の O 原子上に Zn 原子が重なるように描くことができる (図 3-32)。

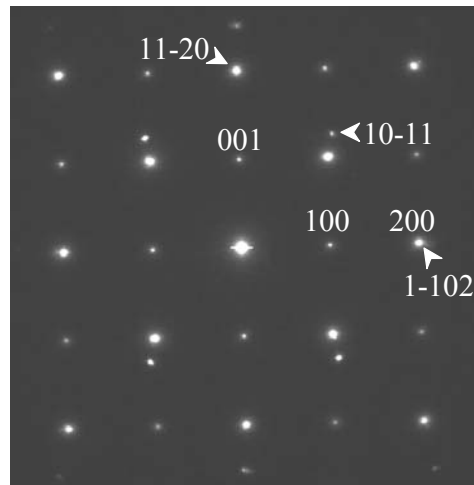


図 3-30 PZT および ZnO (矢印) の TED 像

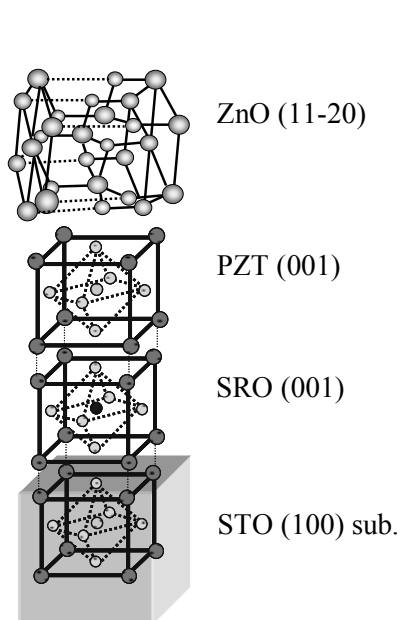


図 3-31 ヘテロエピタキシャル積層構造

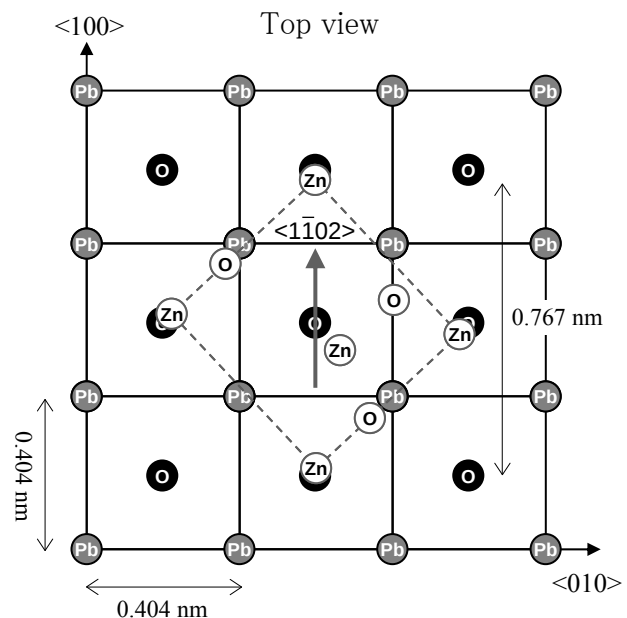


図 3-32 ZnO/PZT の格子マッチング

ZnO は c 軸方向に自発分極があり、その計算値は $5.0 \sim 5.7 \text{ } \mu\text{C}/\text{cm}^2$ と報告されている^{43,44,45)}。これまでに ZnO 薄膜を用いたデバイスとして紫外 LED (Light Emitting Diode) や^{46, 47)}、高速トランジスタが研究されており^{48, 49)}、いずれも c 軸配向した極性 ZnO 薄膜を用いている。例えば、Tsukazaki らは $\text{ZnO}/\text{Mg}_x\text{Zn}_{1-x}\text{O}$ の極性界面に閉じ込めた二次元電子ガスの散乱を最小化し、その量子ホール効果を報告している⁴⁹⁾。

c 軸が倒れた (11-20) 配向の ZnO 薄膜は、R 面あるいは M 面サファイア基板上へ MBE (Molecular Beam Epitaxy)⁵⁰⁾、MOVPE (Metal Organic Vapor Phase Epitaxy)^{51,52)}、MOCVD (Metalorganic Chemical Vapor Deposition) によりエピタキシャル成長した報告⁵³⁾、斜め 30 度に傾けたガラス基板上にスパッタ成膜した報告がある⁵⁴⁾。また、本研究と同様に (100) STO 基板を用いて、PLD により (11-20) 配向の ZnO ナノワイヤを成長した報告もある⁵⁵⁾。これらの報告は、残念ながら (11-20) ZnO の結晶性評価にとどまっている。それ故、今回のヘテロエピタキシャル成長した (11-20) 配向の無極性 ZnO 薄膜の電氣的評価を行い、その性質を調べることは学術的に興味深い。

本研究の FeTFT では、PZT の自発分極反転により ZnO/PZT 界面への二次元電子ガス蓄積をスイッチングすることを試みる。このような動作原理に基づくデバイスでは、ZnO の c 軸が基板面に垂直であるよりも、膜面に平行であることは都合がよい。c 軸配向した場合、その自発分極が誘起するキャリアによりオフ電流が増加し、しきい値をシフトさせることが懸念されるからである。また、PZT 分極に ZnO 分極がオフセットされ、ZnO/PZT 界面に蓄積する電荷量を減じてオン電流が低下することも考えられる。YMnO₃ 上に成膜した c 軸配向した極性 ZnO を用いた FeTFT の報告によるとその電流変調度は 1 桁に過ぎず⁴¹⁾、メモリチップに適用するには不十分である。このような観点から、PZT/SRO/c-STO 上にヘテロエピタキシャル成長した高品質な無極性 ZnO を用いた FeFET では、高い電流変調度が期待できる。次項では、試作したキャパシタ構造および FeTFT の電氣的特性について報告する。

3-2-3 二次元電子ガス・スイッチングによる伝導変調とリテンション特性

本項では、ヘテロエピタキシャル積層構造 FeTFT の電気的特性について述べる。最初に、低抵抗であることが求められるゲート電極として成膜した SRO 薄膜の抵抗率を調べた。SRO 薄膜の抵抗率は $6.6 \times 10^{-6} \Omega\text{m}$ であり、バルク SRO で報告されている $2.8 \times 10^{-6} \Omega\text{m}$ と同程度に低抵抗であった⁵⁶⁾。

次いで、FeFET のチャネル層となる ZnO 薄膜の電気的特性を調べた。PLD 法で成膜する時間を変えて異なる厚さの ZnO 薄膜を用意し、それらのキャリア密度および抵抗率を室温下で van de Pauw 法により測定 (Accent 社 HL5500PC) した。図 3-33 に示すように、抵抗率は膜厚減少とともに増加し、キャリア密度は減少した。特に、厚さ 30 nm の ZnO 薄膜のキャリア密度は $N_i=10^{15} \text{ cm}^{-3}$ と非常に小さく、これまでの報告例よりも約 1 桁高抵抗な膜が得られた^{25,57)}。数 10 nm という極薄膜におけるキャリア密度の減少は、欠陥密度の少ない高品質な薄膜成長によるものと考えられる。同様なシート抵抗の増加現象は SiO_2 上の Si 薄膜構造 (Silicon on insulator: SOI) でも報告されており、50 nm 未満の薄膜化で数桁に及ぶ抵抗増加が観測されている⁵⁸⁾。FeTFT のオフ電流は ZnO 層の抵抗率に依存するため、以降の実験では最も高抵抗を示した厚さ 30 nm の ZnO を FeTFT のチャネル層として検討を進めた。

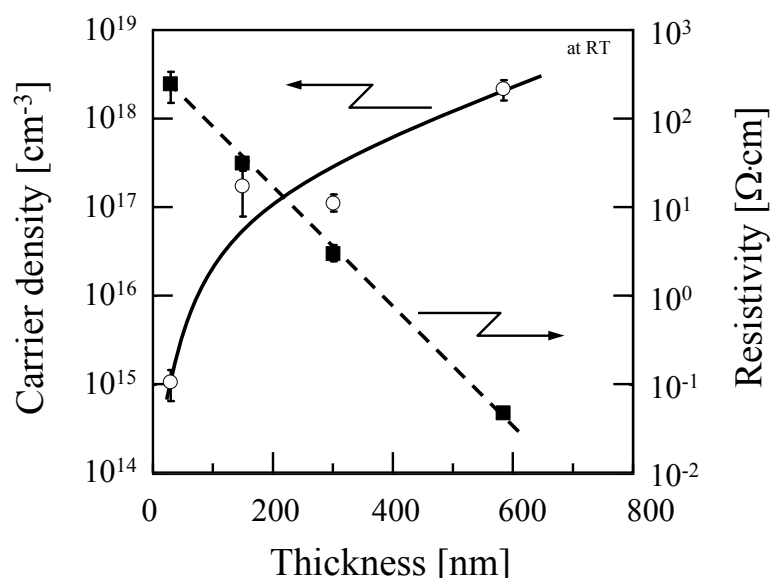


図 3-33 ZnO 薄膜のキャリア密度および抵抗率の膜厚依存性

ZnO 薄膜の c 軸方向に沿って van de Pauw 法により電子移動度を測定したところ、 $\mu_H=26 \text{ cm}^2/\text{Vs}$ であった。知る限りこれまでに c 軸方向の電子移動度の報告例はなく、本試験で初めて測定に成功した⁵⁹⁾。今回明らかとなった c 軸方向の電子移動度は、基板面方位 (110) の STO 基板上にエピタキシャル成長した ZnO で測定された a 軸方向

の報告値 $15\sim70\text{ cm}^2/\text{Vs}$ と同等である⁶⁰⁾。これまでに報告されている ZnO のバンド構造によると⁶¹⁾、c 軸方向 (Γ 点 $\rightarrow$ A 点) と a 軸方向 (Γ 点 $\rightarrow$ K 点) の伝導帯形状に大きな差異が見られないことから、移動度の測定結果は妥当なものと考えている。

ヘテロエピタキシャル酸化物積層 (Pt/Ti/ZnO/PZT/SRO/c-STO) 構造から成る ZnO/PZT キャパシタの P_r -V ヒステリシス特性を測定した。 P_r -V ヒステリシス特性は上部の Pt/Ti 電極を接地し、下部の SRO 電極に周波数 1 KHz、デューティ比 50% の AC パルスを印加して測定 (Radiant 社 RT6000SI) した。ZnO 膜厚は 30 nm であり、上部電極の面積は $6.2\times10^{-5}\text{ cm}^2$ である。得られた P-V ヒステリシス曲線を図 3-34 に示す。正電圧を印加した場合には ZnO 薄膜は電極として振る舞い、上下電極に印加した電圧はそのまま PZT に印加される。一方、負電圧を印加した場合には ZnO 薄膜は空乏化し、上下電極に印加した電圧は ZnO 層で電圧降下して PZT に印加される。そのため、 P_r -V ヒステリシスは負電圧側へ膨らんだ形状に観測され、正の抗電圧+2 V に対して負の抗電圧-4.5 V は大きくなる。PZT の自発分極は 9 V で飽和し、残留分極量 (P_r) は $30\text{ }\mu\text{C}/\text{cm}^2$ であった。

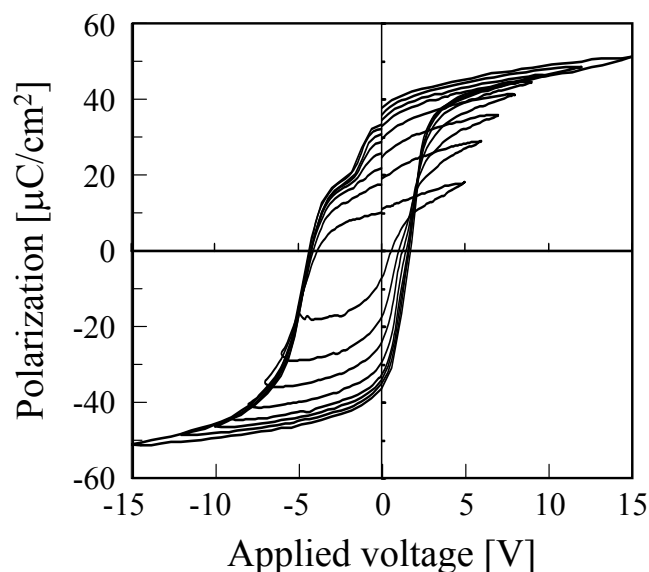


図 3-34 ZnO/PZT キャパシタの P_r -V ヒステリシス

ここまでの電気的特性評価で得られた PZT および ZnO 薄膜の物性値より、PZT の自発分極が下向きの場合に ZnO 薄膜は完全空乏状態となるか検証する。ZnO 薄膜に存在するキャリアの面密度は $e\cdot N_i\cdot t$ で与えられ、これに $N_i=10^{15}\text{ cm}^{-3}$ および $t=30\text{ nm}$ を代入すると $0.0005\text{ }\mu\text{C}/\text{cm}^2$ となる。この電荷密度は P_r -V 特性の測定で得られた残留分極量 $30\text{ }\mu\text{C}/\text{cm}^2$ よりも十分に小さく、PZT の自発分極により ZnO 薄膜は完全空乏状態とできることが確認できる。

さらに、キャリア密度と残留分極密度から分極反転による電流変調を見積もること

ができる。*intrinsic* 状態の ZnO には $0.0005 \mu\text{C}/\text{cm}^2$ のキャリアが存在し、蓄積状態には $30 \mu\text{C}/\text{cm}^2$ の電子が ZnO/PZT 界面に蓄積される。すでに (3-5) 式で示したように、これらの比より電流変調は求めることができ、 $I_{\text{on}}/I_{\text{off}} = 6 \times 10^4$ と見積もられる。当然のことながら、完全空乏状態と蓄積状態のオン・オフ電流比 $I_{\text{on}}/I_{\text{off}}$ はこれよりも大きく、 6×10^4 以上の電流変調を期待できる。既に述べたように、フラットバンド状態の蓄積中には、安定したオン電流値を示すと予想される。一方、減分極電界によって PZT の自発分極が消失することによって、空乏動作におけるキャリア密度は保持動作中に増加することが懸念される。しかし、仮に PZT の自発分極が全て失われたとしても、 $N_i = 10^{15} \text{cm}^{-3}$ という低キャリア密度の ZnO を厚さ 30 nm という極薄膜で成長した FeTFT は 6×10^4 以上の $I_{\text{on}}/I_{\text{off}}$ を確保することが可能である。

次いで、ZnO/PZT キャパシタに電圧を印加したときの電荷応答を調べるため、C-V 測定 (Agilent 社 4284A) を行った。比較のため、PZT 上に成膜した ZnO を希硝酸でエッチングした表面に上部電極を形成した PZT キャパシタの C-V 測定も実施した。これらのキャパシタ測定は、周波数 1 MHz、振幅 30 mV の AC パルスを重畳した電圧を下部電極である SRO に印加して行った。その結果を図 3-35 に示す。

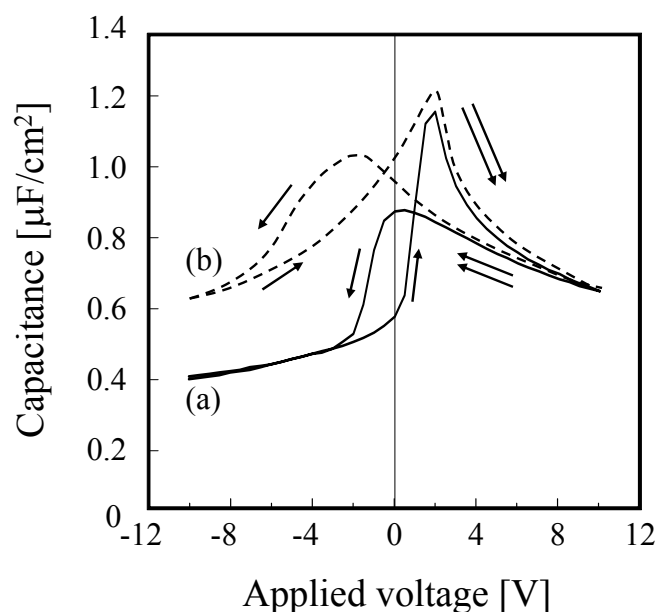


図 3-35 C-V 特性

(a) ZnO/PZT キャパシタ (実線) (b) PZT キャパシタ (破線)

PZT キャパシタの SRO 電極電圧を掃引した場合、図 3-35 (b) に示すように正負の抗電圧付近で分極反転に伴う電荷の出し入れを示すピークが観測された。自発分極が飽和するだけの十分な電圧 $\pm 10 \text{ V}$ を印加したとき、容量値は正負バイアスともに $\sim 0.6 \mu\text{F}/\text{cm}^2$ であった。

ZnO/PZT キャパシタの SRO 電極に $+10 \text{ V}$ 印加したとき、図 3-35 (a) に示すように

その容量値は PZT キャパシタの測定結果と一致した。ZnO/PZT 界面に蓄積された二次元電子ガスが電極として振る舞い、上下電極に印加した電圧はそのまま PZT に印加されるためである。一方、ZnO/PZT キャパシタに負電圧を印加した場合、その容量値は $0.4 \mu\text{F}/\text{cm}^2$ へと低下した。これは、厚さ 30 nm の ZnO 薄膜が完全に空乏化し、PZT 容量と ZnO 空乏層容量が直列接続されたためである。この容量値 $0.4 \mu\text{F}/\text{cm}^2$ から求めた ZnO 薄膜の比誘電率は $\epsilon_r \sim 10$ となり、文献値の 8.2 とよい一致を示した²⁵⁾。

C-V 測定後の ZnO/PZT キャパシタを室温下に 10^3 s の間放置した後に、SRO 電極電圧ゼロにおける容量値を測定したところ、初期測定で異なる掃引方向で得られた 2 つの容量値は全く変化することなく再現された。すなわち、自発分極による電荷蓄積および空乏状態は不揮発性であることが確認できた。

STO 基板の[100]軸方向に平行となるように ZnO チャンネルを加工し、S/D 電極を形成して Pt/Ti/PZT/SRO 構造 FeTFT を試作し、その伝達特性を測定 (Agilent 社 4155C) した。ゲート電圧は -10 V から +10 V へと正方向に掃引し、次いで +10 V から -10 V へと負方向に掃引している。このとき、ドレイン・ソース間には PZT の抗電圧よりも十分に低い電圧 $V_{\text{DS}} = 0.1 \text{ V}$ を印加しており、PZT の自発分極はドレインからソースにかけてほぼ一様に反転させている。本測定で得られた $I_{\text{DS}}-V_{\text{GS}}$ 特性を図 3-36 に示す。

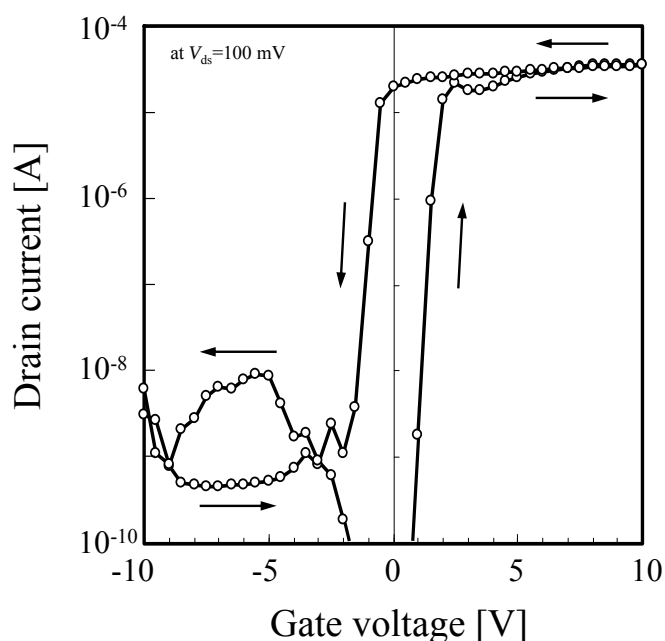


図 3-36 $I_{\text{DS}}-V_{\text{GS}}$ 特性

正方向のゲート電圧掃引によって PZT は上向きの分極に反転してオン状態となり、 $I_{\text{DS}}-V_{\text{GS}}$ 特性は正方向にシフトした。オン状態はゲート電圧をゼロに戻したときにも維持され、そのドレイン電流値は $I_{\text{on}} = 2 \times 10^{-5} \text{ A}$ であった。その後の負方向の掃引によって PZT は下向きの分極に反転してオフ状態となり、 $I_{\text{DS}}-V_{\text{GS}}$ 特性は負方向にシフトした。オフ状態はゲート電圧をゼロに戻したときにも維持され、そのドレイン電流値

は $I_{\text{off}} < 10^{-10}$ A であった。すなわち、PZT の分極反転に対応して $I_{\text{DS}}-V_{\text{GS}}$ 特性は反時計方向のヒステリシスを描き、ドレイン電流の変調は 10^5 を超えた。正および負方向へのゲート電圧掃引におけるしきい値は、それぞれ $V_{\text{t}}=1.0$ V および $V_{\text{t}}=-1.0$ V であった。

$I_{\text{DS}}-V_{\text{GS}}$ 特性はゲート電圧がゼロでオン・オフという 2 つの状態に分かれており、ドレイン・ソース間のみに微小電圧を印加して流れるドレイン電流の大小を検知することによって自発分極方向を判別することができる。この読み出し動作でゲート電極には電圧を印加しないので、記憶している自発分極が破壊されることはない。すなわち、非破壊読み出し (NDRO) が可能である。

また、試作した FeTFT が示した $I_{\text{on}}/I_{\text{off}} \geq 10^5$ というオン・オフ電流比は、先に検討した厚さ 30 nm の ZnO 薄膜の蓄積および空乏状態における電子密度変調度が 6×10^4 以上という結果と非常によく一致しており、デバイスコンセプト通りのスイッチング動作を実現することができた。 $I_{\text{on}}/I_{\text{off}} \geq 10^5$ のオン・オフ電流比があれば、安定した読み出し動作を確保しつつメモリセルアレイを構成することができる。例えばビット線に 1000 個の FeTFT を接続してメモリセルをアレイ化した場合にビット線を通るオフ電流は単一素子の 3 桁増となるが、オン電流はその 100 倍大きいので、センスアンプによるデータ判別は十分に可能である。

このようにゲート電圧がゼロで 2 値状態を読み出すことができるのは、 $I_{\text{DS}}-V_{\text{GS}}$ 特性のしきい値がズレていないためである。正および負方向へのゲート電圧掃引におけるしきい値 ($V_{\text{t}}=1.0$ V および $V_{\text{t}}=-1.0$ V) の中間値はゼロとなっており、しきい値ズレが発生していない。これは、PZT 膜中あるいは ZnO/PZT 界面に存在する空間電荷の密度が、自発分極密度に比べて無視できるほど小さいことを意味する。その理由は、3-2-2 項で述べたように、ヘテロエピタキシャル構造の結晶品質が優れているためと考える。

本測定で得られた $I_{\text{DS}}-V_{\text{GS}}$ 特性から ZnO/PZT 界面を走行する電子の電界効果移動度 μ_{eff} を求める。ゲート電圧を正に掃引したときのチャネル電荷密度 $Q_{2\text{D}}$ は、ゲート電圧 V_{g} における自発分極 $P_{\text{f}}(V_{\text{g}})$ とカップリングした電子と、PZT の常誘電性容量 C_{g} により誘起された電子の和となる。

$$Q_{2\text{D}} = P_{\text{f}}(V_{\text{g}}) + C_{\text{g}} \cdot V_{\text{g}} \quad (3-6)$$

FeTFT のオン電流を表す (3-4) 式のキャリア密度の項にこれを代入して、ゲート電圧を掃引したときのドレイン・ソース間電流 I_{DS} は、

$$I_{\text{DS}} = \mu_{\text{eff}} \cdot Q_{2\text{D}} \cdot \frac{W_{\text{g}}}{L_{\text{g}}} \cdot V_{\text{DS}} \quad (3-7)$$

と表すことができる。(3-7) 式を微分することにより電界効果移動度 μ_{eff} を求めることができる。

$$\mu_{\text{eff}} = \frac{\frac{\partial I_{\text{DS}}}{\partial V_{\text{g}}} \cdot \frac{\partial V_{\text{g}}}{\partial Q_{2\text{D}}}}{V_{\text{DS}} \cdot \frac{W_{\text{g}}}{L_{\text{g}}}} \quad (3-8)$$

(3-8) 式中の $\partial I_{DS}/\partial V_g$ および $\partial V_g/\partial Q_{2D}$ は、それぞれ I_{DS} - V_{GS} 特性 (図 3-36) および P_r - V 特性 (図 3-34 ; 電圧掃引状態で測定される電荷密度は、常誘電性キャパシタ C_g による蓄積電荷成分を含む) から求めることができる。その計算結果は、 $\mu_{eff} \sim 0.1 \text{ cm}^2/\text{Vs}$ となった⁶²⁾。ホール測定で得られた $\mu_H = 26 \text{ cm}^2/\text{Vs}$ と比べると μ_{eff} は 2 桁小さく、これまでに報告されている ZnO TFT の電界効果移動度と比べても劣っている^{48,63,64)}。C-V 測定で明らかにしたように、キャリアはオン状態において自発分極とカップリングしており、ZnO/PZT 界面に存在している。ドレイン・ソース間の電界印加によってキャリアは ZnO/PZT 界面を走行するため、界面のラフネスによってキャリアが散乱されて移動度が低下していると考えられる。AFM で測定 (図 3-18) した PZT 表面ラフネス 0.815 nm (RMS) は PZT 結晶格子の 2 層に相当しており、ZnO/PZT 界面は平坦であるとの評価を下した。しかし、強誘電体の自発分極とカップリングした電子は強い力で界面に閉じ込められていると考えられ、オン電流の低下要因になっていると推察される。あるいは、ZnO のドメイン壁による散乱も考えられる。c 軸が倒れた ZnO 薄膜は、キャリア走行面に ZnO の自発分極によるポテンシャル変調が存在すると予測できるからである。今後、ZnO/PZT 界面キャリアの走行における散乱機構の詳細な研究が必要である。

なお、自発分極で誘起されたキャリア密度は、MOS 構造の反転チャネル層におけるキャリア密度よりも 2 桁大きい。従って、FeTFT は Si-MOS FET に比べて μ_{eff} が劣るものの、オン電流が大きく低下することはない。ここで、FeTFT のオン電流を用いて、FeTFT で構成したメモリチップの動作速度を見積もってみる。本研究で試作した FeTFT の素子寸法 ($W_g/L_g = 100\mu\text{m}/3\mu\text{m}$) はゲート幅が大きいため、このままではメモリセルに適用できない。これを $W_g/L_g = 1$ と小さくしたときのオン電流は、 $I_{on} \sim 6 \times 10^{-6} \text{ A}$ と見積もることができる。FeTFT のオン電流は、素子寸法を微細化 (例えば $W_g/L_g = 45\text{nm}/45\text{nm}$) したとしても、(3-4) 式に示したように維持される。複数のメモリセルをマトリクス状にアレイ化し、ドレイン電極をビット線に接続した場合、ビット線に存在する寄生容量は数 pF である⁶⁵⁾。FeTFT によってビット線容量を 1 V の振幅で充放電する時間は、 100 ns オーダーと試算できる。この動作速度は既存の FeRAM よりも 1 桁劣るが、キャッシュメモリの搭載により高速化することは可能である。

以上に述べた初期特性の評価に次いで、室温下で書き込んだオンおよびオフ状態の保持特性について調べた。初期データは、ドレインおよびソース電極を接地 ($V_{DS} = 0 \text{ V}$) した状態で、ゲート電極に 500 ns のパルスを印加して行った。データ"0"の場合には -10 V の負極性パルス ($V_{GS} = -10 \text{ V}$) を印加し、データ"1"の場合には $+10 \text{ V}$ の正極性パルス ($V_{GS} = +10 \text{ V}$) を印加した。初期データを書き込んだ FeTFT を室温下で放置した後、ゲート電圧を無印加 ($V_{GS} = 0 \text{ V}$) の状態でドレイン・ソース間に微弱電圧 ($V_{DS} = 0.1 \text{ V}$) を印加してドレイン電流を測定し、その経時変化を求めた。得られたリテンション特性を図 3-37 に示す。

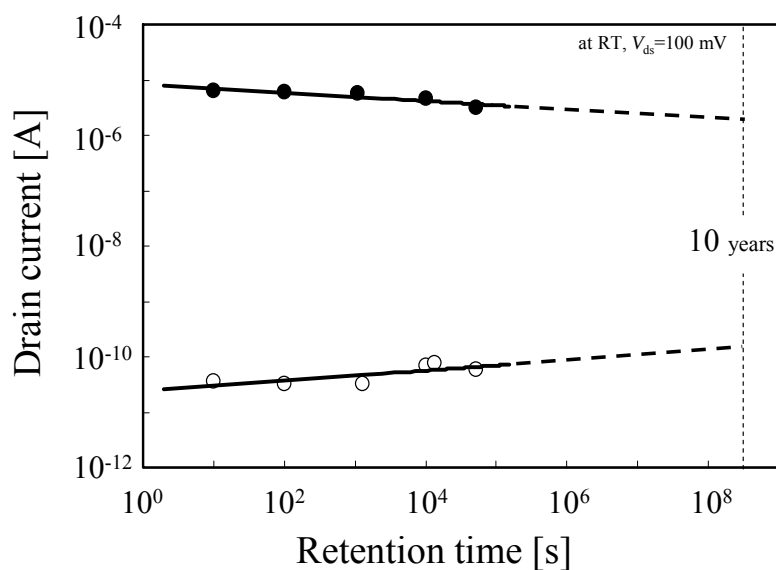


図 3-37 リテンション特性

●データ"1" (オン状態) ○データ"0" (オフ状態)

リテンション試験中、両状態ともにドレイン電流は大きく変化することはない。初期に 10^5 であったオン電流／オフ電流比 (I_{on}/I_{off}) は、 10^5 s 経過後も 10^4 以上を維持した。ドレイン電流変化の外挿より、10 年間のデータ保持に相当する 3×10^8 s 後も一定のメモリウィンドウ（オン電流とオフ電流の差）が残存すると推定できる。

リテンション特性で得られた安定したオンおよびオフ状態は、物理的考察に基づいて設計したヘテロエピタキシャル Pt/Ti/ZnO/PZT/SRO/c-STO 構造デバイスの当初目論見通りである。オン状態において、ZnO 薄膜中の電子は PZT の自発分極と強く結合し、ZnO/PZT 界面に蓄積され、PZT 薄膜内はフラットバンド状態を実現している。従って、減分極電界により自発分極が劣化することはない。一方、オフ状態においては 30 nm という極薄膜の ZnO 中の電子濃度は 10^{15} cm^{-3} と非常に低く、PZT の自発分極により完全に空乏化している。仮に自発分極が消失したとしても、オンおよびオフ状態の電子密度変調は 6×10^4 倍以上を見込むことができ、実際に 10^5 を超える I_{on}/I_{off} を実現することができた。

3-3 まとめ

1960年代から取り組まれてきた MFS 型 FeFET のリテンション課題を解決するべく、シリコンと格子整合する CeO_2 をバッファ層に用いた MFIS 型 FeFET の研究に取り組んだ。分極が破壊されない程度にゲート電圧を印加する擬似的な非破壊読み出しを提案し、 10^3 回を超える連続読み出しに成功した。しかし、強誘電体に発生する減分極電界によって約 3 週間の放置試験でデータが消失し、リテンション特性は不十分であった。

次いで、強誘電体と絶縁体の界面伝導 FeFET は減分極電界が生じないことに着目し、他機関から報告されたデバイスと類似した構造による追試を試みた。しかし、試作した界面伝導 FeFET において界面を伝導する電流を検出できず、自発分極による伝導変調の確認には至らなかった。界面伝導を検出できなかったのは、多結晶強誘電体の表面ラフネスによる散乱が原因と考え、PLD 法により単結晶ペロブスカイト基板上に強誘電体を含む酸化物積層構造をヘテロエピタキシャル成長した界面伝導型 FeFET を開発した。原子層レベルで平坦な界面を形成することはできたものの、連続成長した強誘電体と絶縁体の界面へのコンタクト形成は難しく、この構造においても界面を伝導する電流を検出することはできなかった。

以上の実験の経緯より、半導体層に n 型薄膜を用いたヘテロエピタキシャル強誘電体ゲート薄膜トランジスタを考案するに至った。本構造では長時間のデータ保存においても安定した蓄積状態（オン動作）と、自発分極が消失したとしても高抵抗状態（オフ動作）を維持できる。先に開発した酸化物ヘテロエピタキシャル成長技術を用いて、ペロブスカイト結晶構造の SrTiO_3 基板上にゲート電極（ SrRuO_3 ）と強誘電体（ $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ ）を積層し、その上にウルツ鉱構造の n 型酸化物半導体（ ZnO ）を堆積して酸化物積層構造を形成した。その結晶解析により、各層がヘテロエピタキシャル成長しており、急峻かつ清浄な界面が形成できていることを確認した。エピタキシャル成長した厚さ 30 nm の ZnO は、その電子濃度が 10^{15} cm^{-3} と非常に高抵抗であり、 $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ の自発分極密度の測定結果から 6×10^4 以上の電子濃度変調が可能であると試算できた。この酸化物積層構造を用いて試作したデバイスは、ゲート電圧の掃引によって $\text{ZnO}/\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ 界面の蓄積および空乏化状態を遷移し、試算した電子濃度変調と一致する 10^5 以上のドレイン電流変調が観測された。さらに、電流変調は室温下で 10^5 秒経過後も安定しており、10 年以上のデータ保持が可能との予測を示した。

本研究により、ヘテロエピタキシャル強誘電体ゲート薄膜トランジスタの基本特性を実証できた。今後はその実用化に向けた研究が必要であり、第 4 章でその現状と課題について述べる。

【第3章 参考文献】

- 1) M. Ross: US Patent No.2791760 (1957).
- 2) Y. Watanabe, M. Okano and A. Masuda: Phys. Rev. Lett. **86** (2001) 332.
- 3) 石原宏: 応用物理 **75** (2006) 546.
- 4) S. Y. Wu: IEEE Trans. Electron Devices **ED-21** (1974) 499.
- 5) M. Alexe: Appl. Phys. Lett. **72** (1998) 2283.
- 6) S. Sakai and R. Ilangoan: IEEE Electron Device Lett. **25** (2004) 369.
- 7) K. Aizawa, B.-E. Park, Y. Kawashima, K. Takahashi and H. Ishiwara: Appl. Phys. Lett. **85** (2004) 3199.
- 8) S.-M. Yoon, E. Tokumitsu and H. Ishiwara: Jpn. J. Appl. Phys. **39** (2000) 2119.
- 9) 木口 賢紀, 脇谷 尚樹, 水谷 惟恭, 篠崎 和夫: 分析化学 **55** (2006) 419.
- 10) M. Lim, J. W. Bacon, L. D. McMillan and C. A. Paz de Araujo: Integrated Ferroelectr. **27** (1999) 71.
- 11) Y. Shimada, K. Arita, Y. Kato, K. Uchiyama, V. Joshi and M. Lim: Integrated Ferroelectr. **34** (2001) 27.
- 12) Y. Kato and Y. Shimada: Ext. Abstr. (61nd Autumn Meet., 2000); Japan Society of Applied Physics and Related Societies, 7p-G-1 [in Japanese].
- 13) Q. H. Li and S. Sakai: Appl. Phys. Lett. **89** (2006) 222910.
- 14) G. Hirooka, M. Noda and M. Okuyama: Jpn. J. Appl. Phys. **43** (2004) 2190.
- 15) B. Y. Lee, T. Minami, T. Kanashima and M. Okuyama: Jpn. J. Appl. Phys. **45** (2006) 8608.
- 16) A. Ohtomo and H. Y. Hwang: Nature **427** (2004) 423.
- 17) H. Y. Hwang, A. Ohtomo, N. Nakagawa, D. A. Muller and J. L. Grasul: Physica E **22** (2004) 712.
- 18) S. Thiel, G. Hammerl, A. Schmehl, C. W. Schneider and J. Mannhart: Science **313** (2006) 1942.
- 19) A. D. Caviglia, S. Gariglio, N. Reyren, D. Jaccard, T. Schneider, M. Gabay, S. Thiel, G. Hammerl, J. Mannhart and J.-M. Triscone: Nature **456** (2008) 624.
- 20) H. Y. Hwang: Science **313** (2006) 1895.
- 21) K. Yoshimatsu, R. Yasuhara, H. Kumigashira and M. Oshima: Phys. Rev. Lett. **101** (2008) 026802.
- 22) S. Yokoyama, Y. Honda, H. Morioka, S. Okamoto, H. Funakubo, T. Iijima and H. Matsuda: J. Apply. Phys. **98** (2005) 094106.
- 23) J. W. Matthews and A. E. Blakeslee: J. Cryst. Growth **27** (1974) 118.
- 24) M. Kawasaki, M. Lippmaa, M. Nakamura, K. Takahashi and H. Koinuma: Hyomen Kagaku **21** (2000) 702 [in Japanese].
- 25) D. C. Look, D. C. Reynolds, C. W. Litton, R. L. Jones, D. B. Eason and G. Cantwell: Apply. Phys. Lett. **81** (2002) 1830.
- 26) K.-K. Kim, H.-S. Kim, D.-K. Hwang, J.-H. Lim, and S.-J. Park: Apply. Phys. Lett. **83** (2003) 63.
- 27) Y. R. Ryu, T. S. Lee and H. W. White: Apply. Phys. Lett. **83** (2003) 87.
- 28) T. Yamamoto and H. Katayama-Yoshida: Jpn. J. Apply. Phys. **38** (1999) L166.
- 29) A. Tsukazaki, A. Ohtomo, T. Onuma, M. Ohtani, T. Makino, M. Sumiya, K. Ohtani, S. F. Chichibu, S. Fuke, Y. Segawa, H. Ohno, H. Koinuma and M. Kawasaki: Nat. Mater. **4** (2005) 42.
- 30) A. Tsukazaki, H. Saito, K. Tamura, M. Ohtani, H. Koinuma, M. Sumiya, S. Fuke, T. Fukumura and M. Kawasaki: Apply. Phys. Lett. **81** (2002) 235.
- 31) K. Nakahara, H. Takasu, P. Fons, A. Yamada, K. Iwata, K. Matsubara, R. Hunger and S. Niki: Appl. Phys. Lett. **79** (2001) 4139.
- 32) J. S. Wright, L. Stafford, B. P. Gila, D. P. Norton, S. J. Pearton, Hung-Ta Wang and F. Ren: Journal of Electronic Materials **36** (2007) 488.
- 33) X. Fang and T. Kobayashi: Appl. Phys. A **69** (1999) S587.
- 34) J. F. Scot: Jpn. J. Appl. Phys. **38** (1999) 2272.
- 35) A. Ohtomo, K. Tamura, K. Saikusa, K. Takahashi, T. Makino, Y. Segawa, H. Koinuma and M. Kawasaki: Appl. Phys. Lett. **75** (1999) 2635.
- 36) K. B. Sundaram and A. Khan: J. Vac. Sci. Technol. A **15** (1997) 428.
- 37) S. Hasegawa, S. Nishida, T. Yamashita and H. Asahi: J. Ceramic Process. Res. **6** (2005) 245.
- 38) H. B. Michaelson: J. Apply. Phys. **48** (1977) 4729.
- 39) E. Tokumitsu, M. Senoo and T. Miyasako: Microelectron. Eng. **80** (2005) 305.
- 40) T. Miyasako, M. Senoo and E. Tokumitsu: Appl. Phys. Lett. **86** (2005) 162902.
- 41) T. Fukushima, T. Yoshimura, K. Masuko, K. Maeda, A. Ashida and N. Fujimura: Jpn. J. Appl. Phys. **47** (2008) 8874.
- 42) U. Ozgur, Y. I. Alivov, C. Liu, A. Teke, M. A. Reshchikov, S. Dogan, V. Avrutin, S. J. Cho and H.

-
- Morkoc: J. Appl. Phys. **98** (2005) 041301.
- 43) A. Dal Corso, M. Pstemark, R. Resta and A. Baldereschi: Phys. Rev. B **50** (1994) 10715.
 - 44) F. Bernardini, V. Fiorentini and D. Vanderbilt: Phys. Rev. B **56** (1997) R10024.
 - 45) Y. Noel, C. M. Zicovich-Wilson, B. Civalleri, Ph. D'Arco and R. Dovesi: Phys. Rev. B **65** (2001) 014111.
 - 46) Z. K. Tang, M. Kawasaki, A. Ohtomo, H. Koinuma and Y. Segawa: J. Cryst. Growth **287** (2006) 169.
 - 47) E. M. C. Fortunato, P. M. C. Barquinha, A. C. M. B. G. Pimentel, A. M. F. Gonçalves, A. J. S. Marques, R. F. P. Martins and L. M. N. Pereira: Appl. Phys. Lett. **85** (2004) 2541.
 - 48) P. F. Carcia, R. S. McLean, M. H. Reilly, and G. Nunes, Jr.: Appl. Phys. Lett. **82** (2003) 1117.
 - 49) A. Tsukazaki, A. Ohtomo, T. Kita, Y. Ohno, H. Ohno and M. Kawasaki: Science **315** (2007) 1388.
 - 50) P. Vennéguès, J. M. Chauveau, M. Korytov, C. Deparis, J. Zuniga-Perez, and C. Morhain: J. Appl. Phys. **103** (2008) 083525.
 - 51) T. Moriyama and S. Fujita: Jpn. J. Appl. Phys. **44** (2005) 7919.
 - 52) J. Zúñiga-Pérez, V. Muñoz-Sanjósé, E. Palacios-Lidón and J. Colchero: Appl. Phys. Lett. **88** (2006) 261912.
 - 53) C. R. Gorla, N. W. Emanetoglu, S. Liang, W. E. Mayo, Y. Lu, M. Wraback and H. Shen: J. Appl. Phys. **85** (1999) 2595.
 - 54) T. Yanagitani, N. Mishima, M. Matsukawa and Y. Watanabe: IEEE Trans. Ultrason. Ferroelectr. Freq. Control **54** (2007) 701.
 - 55) D.-W. Kim, S. Shin, Y. Kim, S.H. Chang, Y.J. Chang, M. Kim and H. Jeong: Solid State Commun. **143** (2007) 140.
 - 56) N. Tsuda, K. Nasu, A. Fujimori and K. Shiratori: *Electronic Conduction in Oxides* (Shokabo, Tokyo, 1993) 2nd ed., Chap. 2, p. 28 [in Japanese].
 - 57) B. L. Zhu, X. H. Sun, S. S. Guo, X. Z. Zhao, J. Wu, R. Wu and J. Liu: Jpn. J. Appl. Phys. **45** (2006) 7860.
 - 58) P. Zhang, E. Tevaarwerk, B.-N. Park, D. E. Savage, G. K. Celler, I. Knezevic, P. G. Evans, M. A. Eriksson and M. G. Lagally: nature **439** (2006) 703.
 - 59) Y. Kato, Y. Kaneko, H. Tanaka and Y. Shimada: Jpn. J. Apply. Phys. **47** (2008) 2719.
 - 60) E. Bellingeri, D. Marre, I. Pallecchi, L. Pellegrino and A. S. Siri: Appl. Phys. Lett. **86** (2005) 012109.
 - 61) J. D. Albrecht, P. P. Ruden, S. Limpijumnong, W. R. L. Lambrecht and K. F. Brennan: J. Apply. Phys. **86** (1999) 6864.
 - 62) H. Tanaka, Y. Kaneko and Y. Kato: Jpn. J. Apply. Phys. **47** (2008) 7527.
 - 63) H.-H. Hsieh and C.-C. Wu: Appl. Phys. Lett. **89** (2006) 041109.
 - 64) J. Nishii, F. M. Hossain, S. Takagi, T. Aita, K. Saikusa, Y. Ohmaki, I. Ohkubo, S. Kishimoto, A. Ohtomo, T. Fukumura, F. Matsukura, Y. Ohno, H. Koinuma, H. Ohno and M. Kawasaki: Jpn. J. Appl. Phys. **42** (2003) L347.
 - 65) 伊藤清男: 超 LSI メモリ (培風館) 第 2 章.

第4章 強誘電体メモリの将来展開

強誘電体の自発分極をデータの保持に用いる FeRAM は、高速かつ低電力という特長を活かして、電池を持たない IC カードや物品管理用タグ IC などからすでに普及が始まっている。また、その製造プロセスは CMOS プロセスとの親和性が高く、CMOS 回路と組み合わせて新しい機能を発揮することが期待できる。4-1 節「工業的応用」では FeRAM の新たな工業的応用として、電力削減回路およびリコンフィギュラブル回路と暗号化処理について研究した結果を述べる。

こうした応用を実現するには、FeRAM の大容量化は必須となる。4-2 節「微細化技術」では、FeRAM の微細化技術についての研究結果をまとめている。最初に FeRAM 微細化のトレンドを俯瞰した後、0.13 μm 世代以降に必要となる三次元構造強誘電体キャパシタ構造の開発、さらには先端 CMOS への搭載で課題となるプロセス低温化技術を述べる。最後に、本研究で新たに提案した FeTFT のメモリチップ化に向けた課題について述べる。

4-1 工業的応用

4-1-1 不揮発性ラッチと電力削減応用

第 2-1 節で述べたように、クロックで制御してデータ入出力するフリップフロップはラッチで構成されており、その相補記憶ノード $N, \overline{N}$ に強誘電体キャパシタを接続することにより不揮発性フリップフロップ (Nonvolatile Flip-Flop: NVFF) を構成することが可能である。NVFF と組み合わせ回路で構成されたロジック回路の給電線にパワースイッチを挿入し、クロック入力と電源入力に制御回路を設けることでロジック回路の電源管理が可能となる (図 4-1)。通常モードではクロックに同期してデータ処理を行い、システム負荷がゼロとなれば強誘電体キャパシタにロジック状態を格納し、電源を遮断することで待機電力をゼロにする。システムで処理するプロセスが発生すれば、強誘電体キャパシタからロジック状態を読み出してアクティブ状態に復帰する。

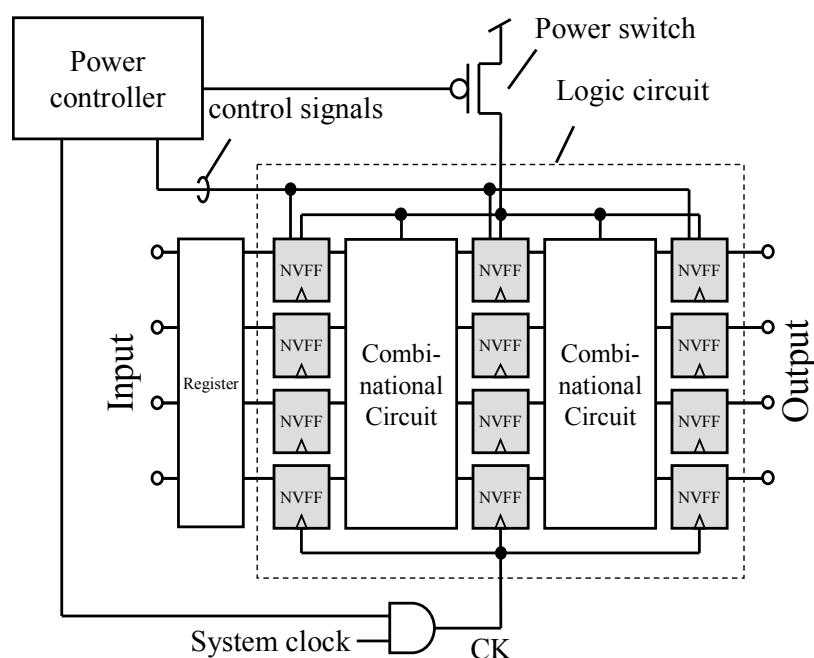


図 4-1 電源管理可能な NVFF 内蔵ロジック回路

65 nm 以降の先端微細 CMOS 世代ではロジック回路の消費電力は、アクティブ状態よりも待機状態が大きくなる。これまで、待機中のウェル電位の制御によるしきい値シフト¹⁾、異なるしきい値の FET を組み合わせた回路²⁾、電源電圧とクロック周波数の動的管理など³⁾、様々な電力削減手法が提案されてきた。中でも NVFF を使った電源管理回路は、待機電力を完全にゼロにできるので電力削減効果が大きく、有望である⁴⁾。携帯電話のベースバンド処理 LSI (Large Scale Integrated Circuit) は、待機中であっても位置確認のために数秒毎に基地局と交信を行っており、そのために電力が消費されている。ベースバンド処理 LSI に NVFF 内蔵ロジック回路技術による電源管理

を適用した場合、基地局交信を除いたスタンバイ期間に電源をシャットダウンすることが可能となり、その電力消費をゼロにできる（図 4-2）。電源切断と投入のサイクルが数秒に 1 度という頻度から 10 年という期間動作を続けた場合のアクセス回数を見積もると 10^8 回オーダーとなる。電源切断のたびに強誘電体へのデータ書き込みが行われるが、その回数は疲労劣化回数（図 1-10）を下回るので電力削減回路への NVFF 応用は可能である。65 nm CMOS プロセスで作製されたベースバンド LSI の電力消費状況から見積もったところ、その待機電力を 71% 削減できると試算できた。すなわち、NVFF 技術により携帯電話の待ち受け時間を大幅に伸張することが可能である。

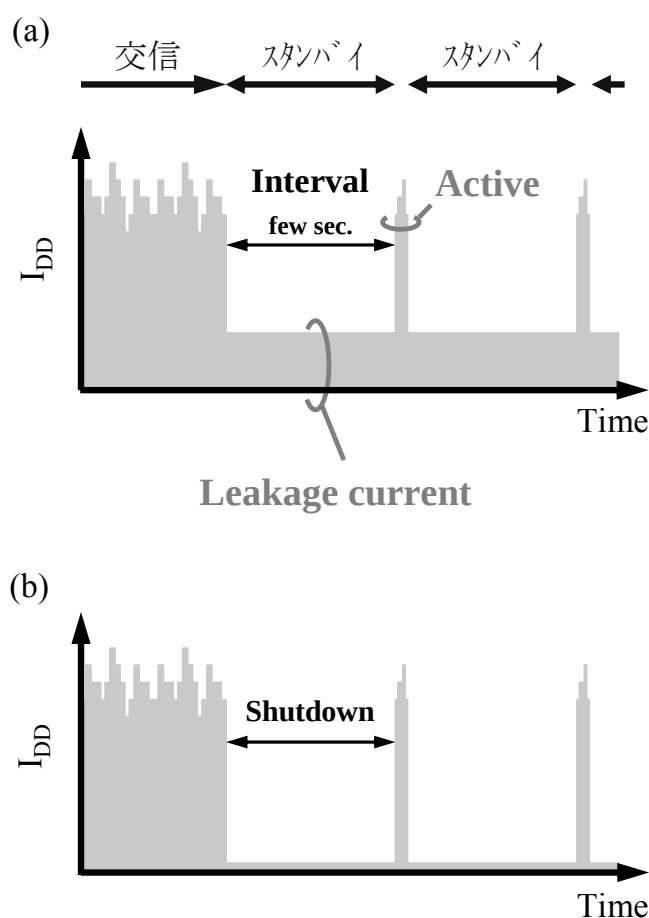


図 4-2 ベースバンド LSI の消費電流
(a) 電源管理なし (b) 電源管理あり

第 2-1 節で述べたように、SBT 内蔵 NVFF の遷移時間は 10 ns 以下であり、100 MHz のシステムにおいて 1 クロック期間内で遷移可能である。従来の PZT 内蔵 NVFF では遷移に 10 クロック期間を要していたため、その間に入力されたデータをバッファリングしておくためのレジスタが必要であった。SBT を使うことにより、データバッファなしで電源管理が可能となり、回路規模を削減することが可能となる。

4-1-2 リコンフィギュラブル・ロジック回路への応用

従来の FeRAM で課題であった $10^{10} \sim 10^{12}$ 回に制限された読み出し回数を実質的に無制限とすることにより、新たな用途を拓くことができる。その一つとして、動的再構成可能な論理 (Reconfigurable Logic: RL) 回路への適用が考えられる。動的再構成とは、図 4-3 に示すようにオーディオ、ビデオコーディング、ベースバンド処理といった異なる信号処理に対応したコンフィギュレーションデータにより、ハードウェアの構成を変えることである。ハードウェアの高速性とソフトウェアの柔軟性を併せ持ち、増大し続ける LSI の設計工数を削減できる技術として期待されている⁵⁾。

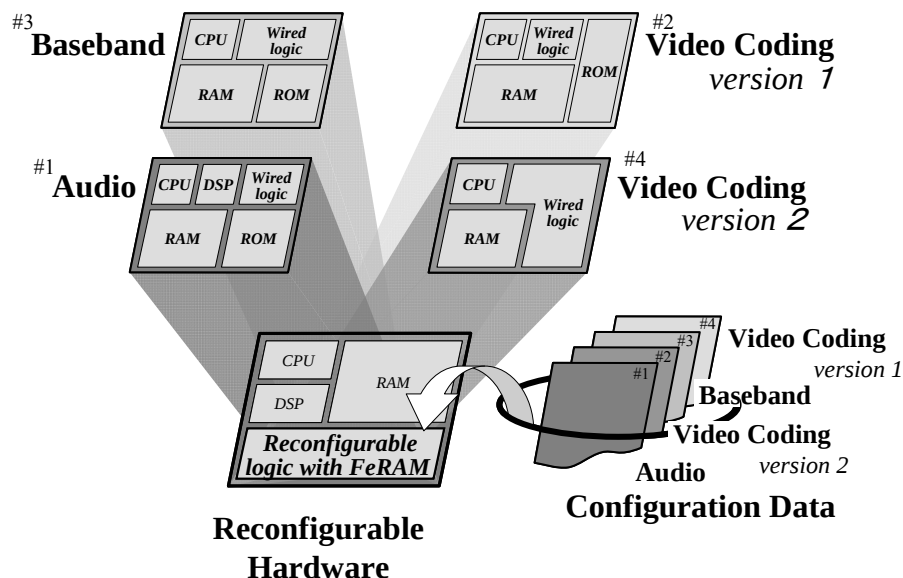


図 4-3 動的再構成の概念

動的にハードウェアを再構成するには、コンフィギュレーションデータを格納するために高速で動作する不揮発性メモリを内蔵する必要がある。これまでに強誘電体キャパシタを内蔵した NVSRAM を内蔵した RL 回路により、高速性と不揮発性の両立が実現されている⁶⁾。しかし、2-1-3 節で述べたように NVSRAM は素子数が多いため、大容量化が困難である。そこで、 $0.18\mu\text{m}$ FeRAM 技術により、素子数を削減した RL 回路を設計した⁷⁾。図 4-4 に示すように、RL 回路はルックアップテーブル (Look Up Table: LUT)、不揮発性フリップフロップ (NVFF)、マルチプレクサ (MUX) からなる機能ユニット (Functional Unit: FU) を 16×32 個アレイ化している。FU 内部には 2 つの SBT キャパシタと 2 つのパストランジスタで構成された複数の破壊読み出し型メモリセルと、データの書き込み読み出し回路を行う交差結合インバータを備える。1 つの FU あたり 417bit のメモリを内蔵しており、8 個のコンフィギュレーションデータを格納することができる。メモリからコンフィギュレーションデータを読み出して LUT を書き換えることで個々の FU で実行する演算機能を変更し、FU 間を結線す

る Routing 変更により FU 間を流れるデータの変更ができる。試作した RL 回路の顕微鏡写真を図 4-5 に示す。

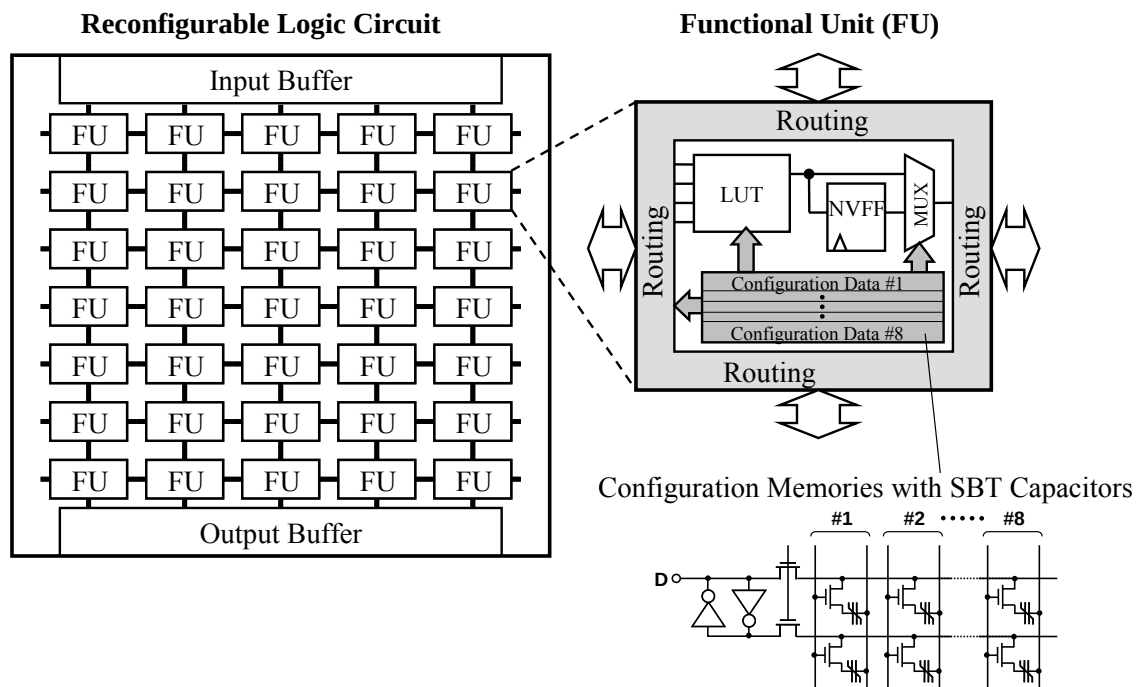


図 4-4 SBT キャパシタを内蔵した RL 回路

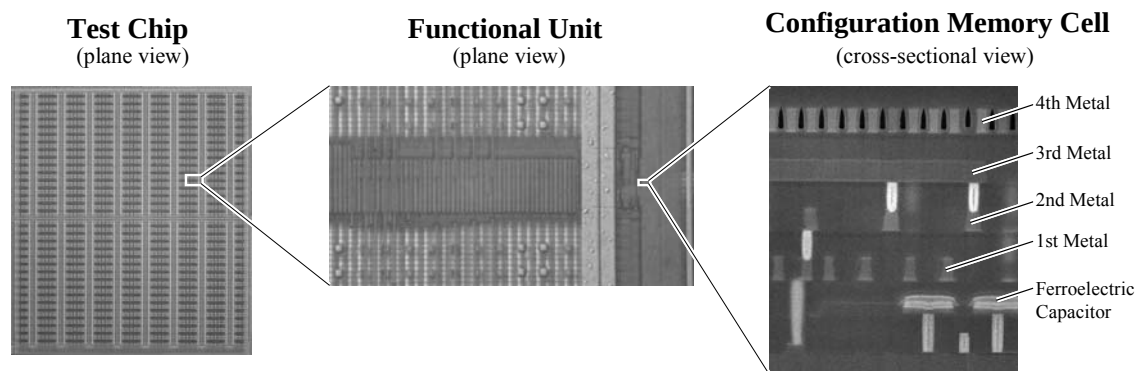


図 4-5 試作した RL 回路の顕微鏡写真

開発した RL 回路におけるコンフィギュレーションの一例として、64bit DES (Data Encryption Standard) プロトコルに基づく暗号化処理の様子を図 4-6 に示す。最初に、暗号化に必要な共通鍵をブロック k_1, k_2 の FU 内にある NVFF へ格納する。本研究で試作した FU には NVFF を内蔵しているため、一度 NVFF へ書きこんでしまえば回路をシャットダウンしても回路内に共通鍵を保持することができる。従来の暗号化回路では起動の度に共通鍵を書き込む必要があったが、この工程は悪意あるアクセス者により盗難される危険性が高い。本構成により書きこみ工程の頻度を減らすことができ、共通鍵が盗難にあう機会を著しく減らすことができる。さらに、不揮発性メモリに書き込まれた共通鍵を盗もうとした場合、図 4-7 (a) のように EEPROM であればフローティングゲートトランジスタのドレインおよびソースにプロービングして通電電流を観測することで読み出すことが可能である。これに対して、スタック構造の強誘電体キャパシタはプロービングする段階でキャパシタが破壊されてしまう上に (図 4-7 (b))、仮に何らかの方法でプロービングに成功したとしても電圧を印加した瞬間に分極が破壊されてしまうので極めて安全にデータを保持することが可能である⁷⁾。共通鍵の格納後にコンフィギュレーションデータをメモリから読み出し、図 4-6 (b) に示すように RL 回路を暗号化処理回路に再構成する。暗号化処理構成の RL 回路は、入力データを逐次暗号化して出力する。

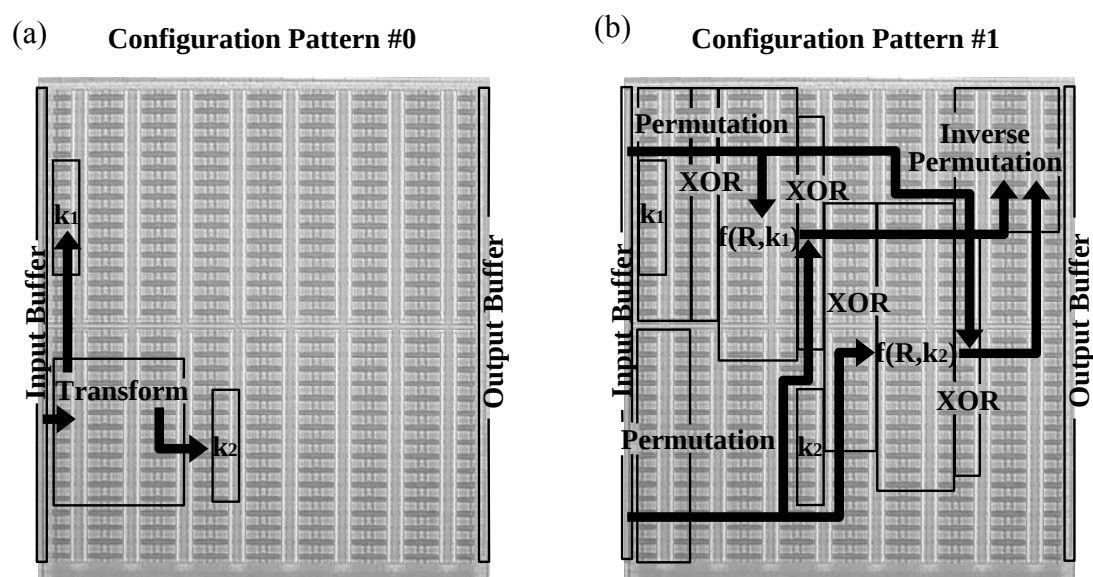


図 4-6 暗号化処理のコンフィギュレーション

(a) 暗号キーの格納 (b) データ暗号化

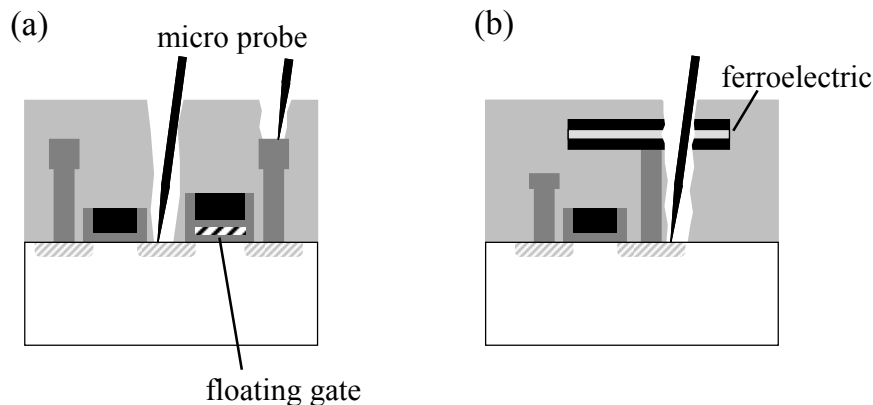


図 4-7 プローブによるデータ盗難

(a) EEPROM (b) FeRAM

0.18 μm プロセスで試作した SBT キャパシタ内蔵 RL 回路は、従来 FeRAM と同様に破壊読み出し方式であった。そのため、暗号処理のように頻繁に再構成することのない機能に適用した。本研究で開発した NDRO 回路を搭載することにより、再構成頻度の高い複雑な処理を実行できるようになる。例えばクロックサイクル毎に再構成して映像信号を処理するようなことも可能となる。このような動作には、読み出し回数が無制限であることが必須となる。また、複雑な処理を FeRAM 混載システムに担わせるには、大きなメモリ容量が必要となることは言うまでもない。現代のエレクトロニクス機器は、RL 回路も含めて多様な機能がシリコン上へと集約されている。その原動力となっているのが、スケーリング即に基づく半導体素子の微細化である。微細化がエレクトロニクス機器の低コスト、高機能、低電力を進め、人々の生活利便性を高めているのは周知のことである。次節では、強誘電体メモリの微細化技術について述べる。微細化を進めていくことにより、本節で述べた RL 回路以外への応用が広がっていくことが期待できる。さらには、物理的な微細化限界が近づく Flash EEPROM の代替メモリの候補となりえる。

4-2 微細化技術

4-2-1 微細化トレンド

強誘電体キャパシタを用いた FeRAM 技術の微細化トレンドを俯瞰する。FeRAM 技術開発は 1990 年代の初頭より活発となり、2000 年前後に PZT および SBT を材料に用いたデバイスが相次いで製品化に成功した。この頃の FeRAM は $0.5\sim 0.8\mu\text{m}$ プロセス世代の技術により製造された。その一例として、松下電器産業（株）（現パナソニック）で開発された $0.6\mu\text{m}$ FeRAM のメモリセル断面図を図 4-8 に挿入している。平行平板電極の強誘電体キャパシタとパストランジスタが並べて配置され、強誘電体キャパシタの上部電極とパストランジスタのソース領域をメタル配線で接続したプレーナ構造である。強誘電体は SBT であり、原料溶液をスピン塗布した後、乾燥・焼結して形成される。 $0.5\sim 0.8\mu\text{m}$ 世代の FeRAM は小規模な演算回路と集積化され、無線タグ等に用いられてきた。

次いで、2003 年頃からは本格的な SoC に対応可能な $0.18\sim 0.35\mu\text{m}$ FeRAM が開発された^{8,9,10,11)}。例えば松下電器産業（株）（現パナソニック）で開発された $0.18\mu\text{m}$ FeRAM では¹¹⁾、パストランジスタのソース領域に形成されたプラグ電極上に平行平板型の強誘電体キャパシタが配置されたプレーナスタック構造のデバイス（図 4-8 挿入写真）とすることにより、メモリセルサイズの縮小を実現した。強誘電体キャパシタ形成後の多層配線工程で強誘電体が水素ガスに暴露されて劣化することを防止するため、強誘電体キャパシタの下層および上層に水素バリア層を備える。FeRAM を混載したシリコン基板上の MOS FET 特性はピュア CMOS のものと同一であり、標準 CMOS セルライブラリで設計したマイコン、暗号処理回路など大規模回路と集積可能となり、非接触 IC カードなどに搭載されている。

現在、 $0.13\mu\text{m}$ CMOS 以降への FeRAM 搭載に向けた開発が活発となっている。この世代から強誘電体キャパシタの自発分極により蓄積される電荷量がセンスアンプの検知限界を下回るようになってくる。強誘電体の自発分極量は材料固有であり、電極面積が決まれば一定となる。すなわち、DRAM のように世代の進展とともに絶縁膜を薄膜化することで電荷量を維持するスケーリング則が成り立たない。この世代の強誘電体キャパシタへの適用を目指して、自発分極密度の高い材料の開発が活発である。例えば、ビスマス層状ペロブスカイト材料群では $(\text{Bi},\text{La})_4\text{Ti}_3\text{O}_{12}$ (BLT) が研究されており^{12,13)}、また単純ペロブスカイト材料群では BiFeO_3 (BFO) が代表的である^{14,15)}。しかし、このアプローチではプロセス世代毎の材料開発が必要であり、効率的なプロセス世代の移行が困難である。これに対して、同一材料を使い続けるという開発思想のもと、限られた面積のメモリセル中に大きな電極面積を実現する三次元構造強誘電体キャパシタの開発というアプローチもまた盛んである^{16,17,18)}。三次元構造開発アプローチでは世代毎に強誘電体材料を変える必要はなく、立体電極のアスペクト比（高さ÷底辺）を大きくすることにより、プロセス世代が進んでも電荷量を維持していく。

三次元構造キャパシタでは、平行平板電極の強誘電体キャパシタで用いられたスピノコート成膜に代わり、有機金属化学気相成長 (Metal Organic Chemical Vapor Deposition: MOCVD) 法による強誘電体の成膜技術が必要となる。

さらに 65nm 世代以降では、強誘電体プロセスの低温化が課題となる。0.18 μ m 世代の CMOS プロセスでは S/D 電極のバリアメタルに CoSi₂ が使われており、800 °C の焼結工程を経てもその抵抗値は安定している。しかし、65nm 世代では超極浅接合に用いられる NiSi_x の高抵抗化を防ぐため、500 °C 以下の低温プロセス開発が必要となる¹⁹⁾。

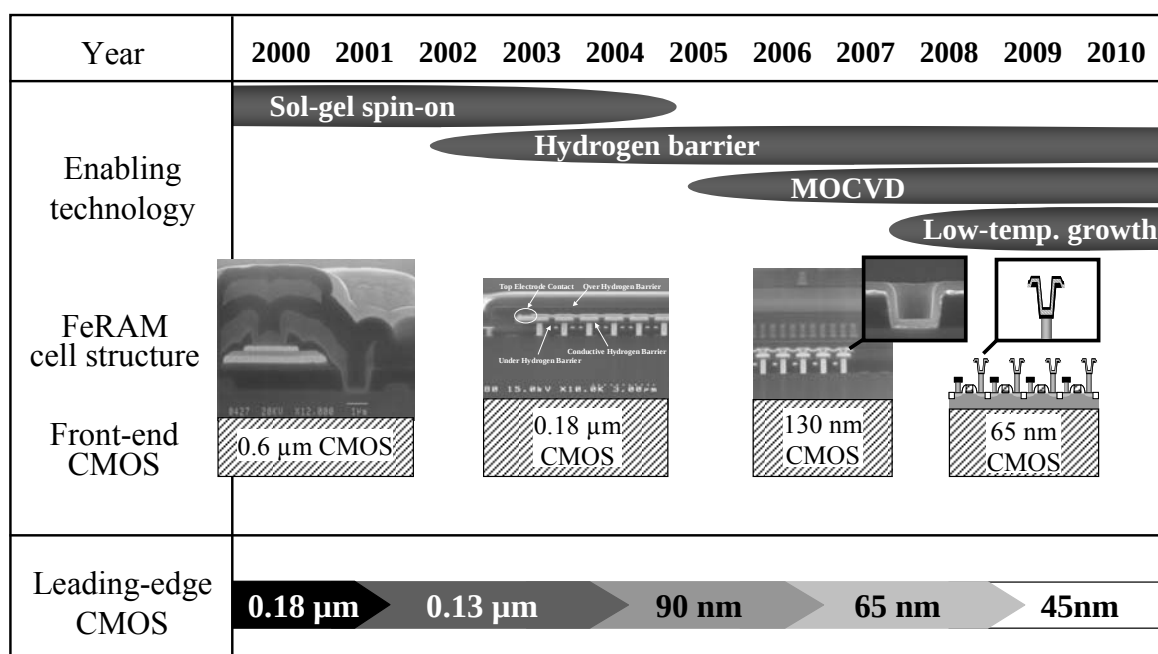


図 4-8 FeRAM の微細化トレンド

以上、強誘電体キャパシタを用いた FeRAM 技術の微細化トレンドを俯瞰し、三次元構造への MOCVD 成膜技術、低温プロセス技術が必要であることを明らかにした。ところで、不揮発性メモリで大きな市場を占める NAND 型 Flash EEPROM は、32nm 世代以降に物理的な限界を迎えると言われている。この世代ではフローティングゲートに蓄積される電荷量が 100 電子を下回り、トンネル酸化膜のリークによって長時間のデータ保持が困難になる可能性が指摘されているのである²⁰⁾。それ故、NAND 型 Flash EEPROM の限界を超えてスケーリング可能な不揮発性メモリの開発が喫緊の課題となっている。この世代における Flash EEPROM に代わる大容量メモリの候補として、強誘電体キャパシタを用いた FeRAM よりも、むしろ強誘電体ゲート薄膜トランジスタが有力と考える。強誘電体キャパシタを用いた強誘電体メモリの場合、三次元構造強誘電体キャパシタを微細ノードへ適用するには、高いアスペクトの実現が困難と考えるからである。例えば 0.13 μ m 世代に対して 45nm 世代は 1/3 のシュリンク率である。三次元構造のアスペクト比はシュリンク率の 2 乗に従って大きくなり、45nm

世代のアスペクト比は $0.13\mu\text{m}$ 世代の 9 倍となる。このような高アスペクト構造中へ強誘電体を均一に成膜し、焼結するのは非常に困難であると言わざるをえない。また、下層の CMOS へのコンタクト形成も同様に深くなり、CMOS との接続が難しくなる。三次元構造強誘電体キャパシタにはこのような課題があるのに対して、3-2-1 項で述べたように強誘電体ゲート薄膜トランジスタはスケーリング則が成り立ち、性能を維持したまま素子サイズをシュリンクすることができる。しかも、強誘電体の自発分極密度は、誘電体に電圧を印加して蓄積される電荷密度よりも 1~2 桁大きいので、強誘電体をゲート絶縁膜に使うトランジスタは Flash EEPROM よりも多くの電荷をゲートに蓄えることができる。従って、微細ノードでは信頼性に優れた不揮発性メモリを実現できる可能性がある。

次項以降、強誘電体メモリの将来展開に必須となる 3 つの開発テーマについて、本研究における取り組みを記す。最初に $0.13\mu\text{m}$ 世代以降に必要となる三次元構造 SBT キャパシタの開発²¹⁾、次いで先端 CMOS への搭載で課題となるプロセス低温化に向けた新材料開発について述べる^{7,21,22)}、さらには、FeTFT を適用した FeRAM のメモリセルを提案し、その実用化への課題について述べる^{23,24)}。

4-2-2 三次元構造強誘電体キャパシタ

0.18 μm FeRAM 世代まで使われた平行平板電極の強誘電体キャパシタでは、図 4-9 (a) のように液体原料をスピncコートにより塗布した後、乾燥・焼結して強誘電体を成膜していた。三次元構造キャパシタでは MOCVD 法により、図 4-9 (b) のように気化した原料ガスを基板に吹き付けて金属酸化膜を成長し、焼結することで立体電極上に強誘電体薄膜を成膜する。三次元構造 SBT キャパシタの開発に用いた強誘電体 MOCVD 装置の外観写真を図 4-10 に示す。本 MOCVD 装置では、Sr, Bi, Ta 元素を含む金属アルコキシドをエチルシクロヘキサンで希釈した液体原料を気化し、酸素と混合して高温ステージ上に配置した基板にシャワーヘッドから吹き付けて成膜する。MOCVD 法で三次元構造キャパシタを形成するプロセスフローを図 4-11 に示す。凹形状のホール壁面にロングスロースパッタ法により IrO_x 電極を形成した基板を用意し、これに MOCVD 法で厚さ 100 nm の Sr-Bi-Ta-膜を成膜する。次いで、RTA により大気中で 800 $^{\circ}\text{C}$, 1 min の熱処理を行って焼結した後、上部電極となる IrO_x 電極を再度成膜した。

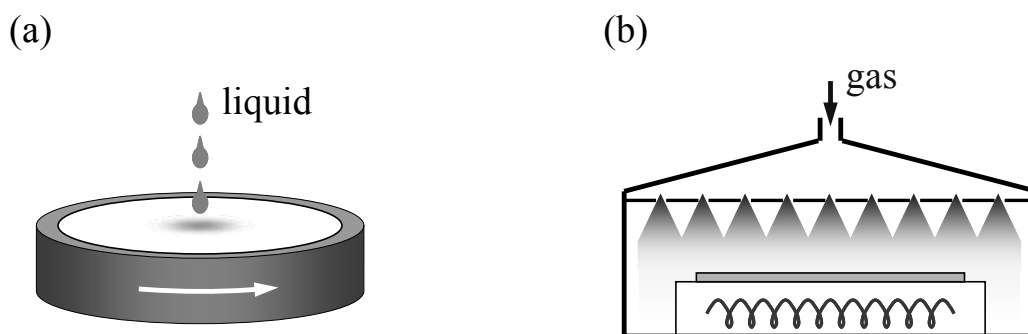


図 4-9 強誘電体キャパシタの製造方法

(a) スピncコート (b) MOCVD

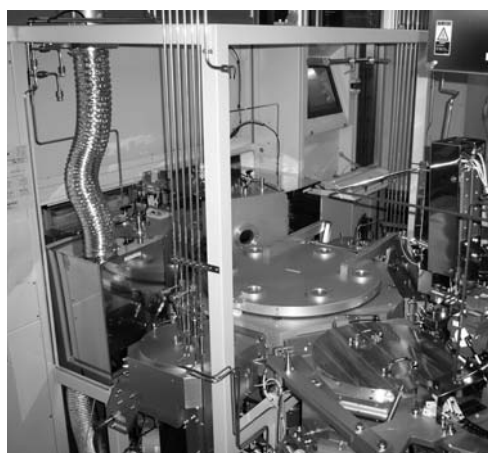


図 4-10 強誘電体 MOCVD 装置

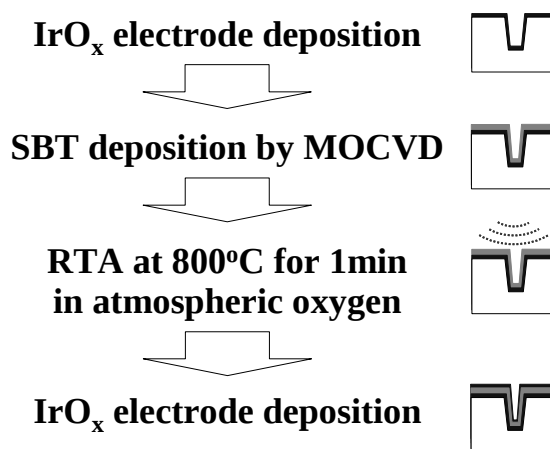


図 4-11 プロセスフロー

従来のスピncコート法およびMOCVD法により SBT を成膜した三次元構造の断面 SEM 写真を図 4-12 に示す。スピncコート法の場合、底部に原料溶液が溜まるために膜厚が不均一となった。それに対して、MOCVD 法では反応律速条件を選んで成膜することにより、底面積 $0.25\ \mu\text{m} \times 0.25\ \mu\text{m}$ 、高さ $0.5\ \mu\text{m}$ の三次元構造の外部・内部ともに均一な厚さとなっている。

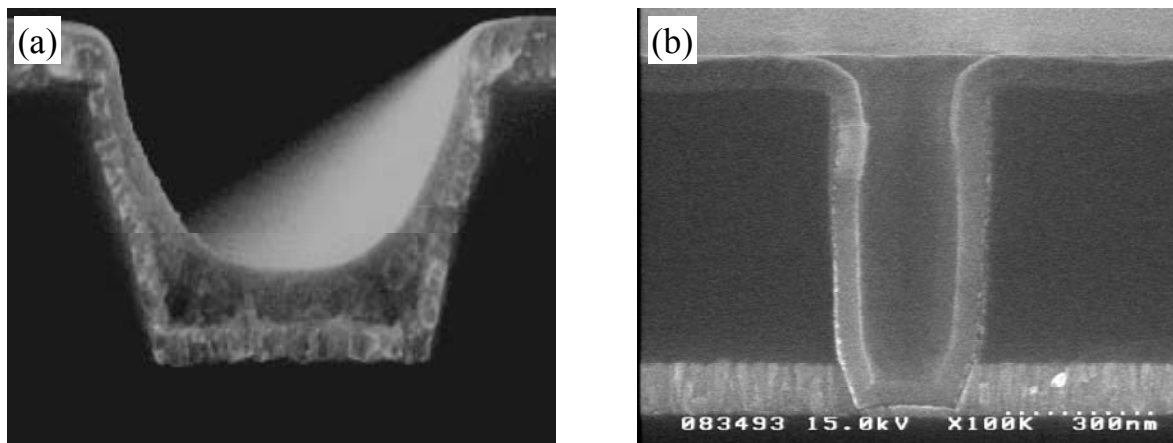


図 4-12 SBT 三次元キャパシタの断面 SEM 写真

(a) スピncコート (アスペクト比=1) (b) MOCVD (アスペクト比=2)

次に、MOCVD 法で成膜した SBT 膜の結晶構造を調べた結果について述べる。図 4-13 (a) は SBT 膜の表面 SEM 写真であり、焼結工程で多結晶となっていることが判る。その EBSP 観察では、スキャンエリア全面にわたってビスマス層状ペロブスカイト構造への結晶化を示唆する菊池線が得られた。EBSP では結晶化と同時に配向状態も知ることができる。この配向マップから各結晶軸に配向した領域の面積比を求めることにより、既知である結晶軸方向毎の自発分極値から強誘電体膜の平均的な自発分極密度を算出することが可能である²⁵⁾。この方法を用いることにより、キャパシタを作製して P_r - V ヒステリシス特性を測定せずとも、成膜直後に自発分極密度を予測することが可能である。本研究では EBSP 観察を駆使することにより、MOCVD 成膜条件の最適化を図った。図 4-13 (b) に表面の結晶配向マップの一例を示す。図に挿入したカラーキーに従って配向方向は色塗りされており、SBT グレインがランダム配向していることが確認できる。これはスピncコート法で成膜した SBT と同様である。赤色に着色されたグレインは自発分極を持たない c 軸配向であり、自発分極を示す a 軸配向は緑色に着色したグレインである。

表面の結晶解析は EBSP により簡便に行えるが、三次元構造内部の結晶解析は困難である。これまでは薄片化した試料を作製し、その断面を TEM で観察する手法が一般的であった。しかし、断面 TEM 解析用の試料作製は高度な技術が必要であり、多くの時間を要する。本研究では SEM 装置で三次元構造断面に電子線を照射して得られる EBSP を観察する技術を確立した²⁵⁾。本手法では TEM 用に必要な薄片化が不要

であり、短時間で評価が可能である。その結果、三次元構造の外部・側壁・底面に成膜した SBT 膜の全箇所においてビスマス層状ペロブスカイト構造の菊池線が観測され、内部の結晶化を確認することができた。三次元構造の外部・側壁・底面における電極垂直方向への配向をカラー化し、断面の配向を可視化した EBSP マップの一例を図 4-14 に示す。

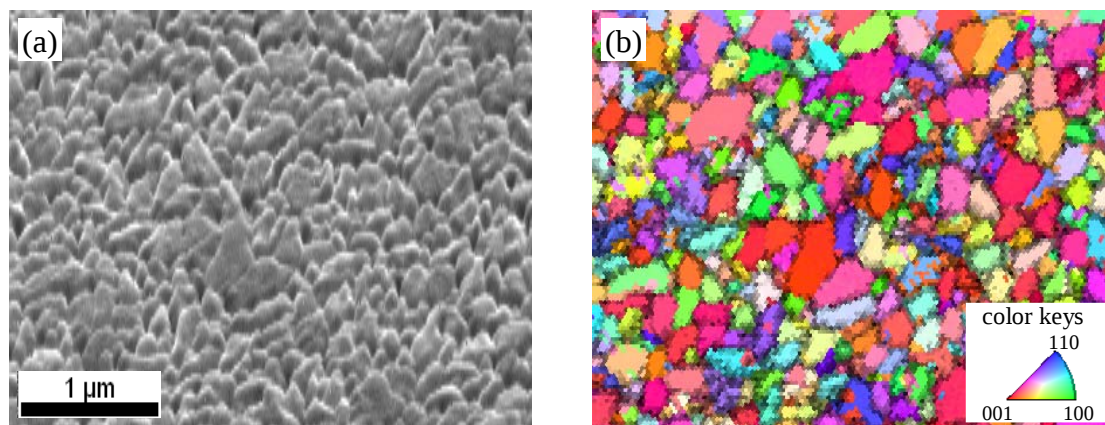


図 4-13 SBT 三次元キャパシタ表面の結晶評価

(a) SEM (b) EBSP マップ (tilt 70°)

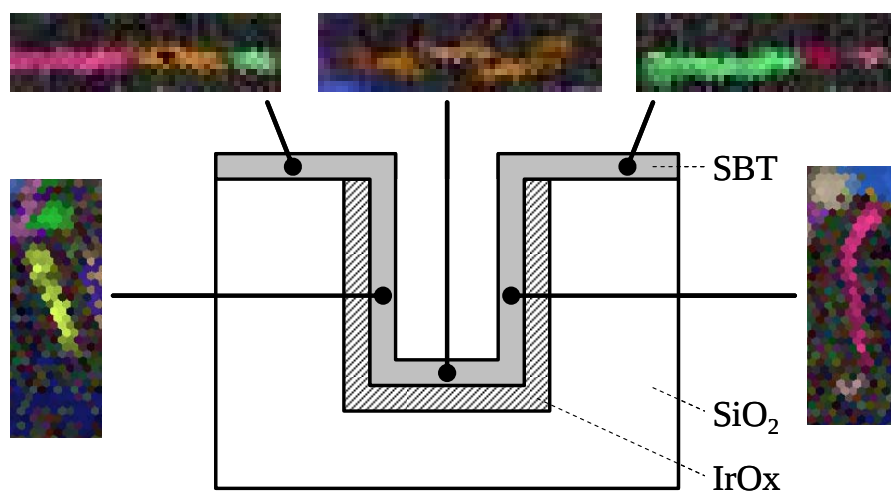


図 4-14 SBT 三次元キャパシタ断面の結晶評価

三次元構造の外部・側壁・底面でペロブスカイト結晶が観測できたキャパシタの電気的特性を調べた。図 4-15 (a) はスピンコートで塗布・焼結した平行平板構造 SBT キャパシタ、図 4-15 (b) はアスペクト比が 1 の三次元構造 SBT キャパシタの P_r -V ヒステリシス特性である。基板上方からキャパシタを投影した面積（すなわちフットプリントサイズ）あたりの残留分極値 ($2P_r$) はそれぞれ $10.7 \mu\text{C}/\text{cm}^2$ および $22.3 \mu\text{C}/\text{cm}^2$ であり、三次元構造により分極電荷量を 2.1 倍に増加することに成功した。SBT-MOCVD 技術により、130 nm 世代以降も引き続いて強誘電体キャパシタを使った FeRAM の微細化が可能である。

なお、スピンコートと MOCVD で成膜した平行平板型 SBT キャパシタの分極密度を比較すると、MOCVD の分極密度は約 2/3 と小さい。これは MOCVD で成膜した SBT の膜質がスピンコートよりも劣っていることを意味しており、その改善は MOCVD 技術の今後の開発課題である。

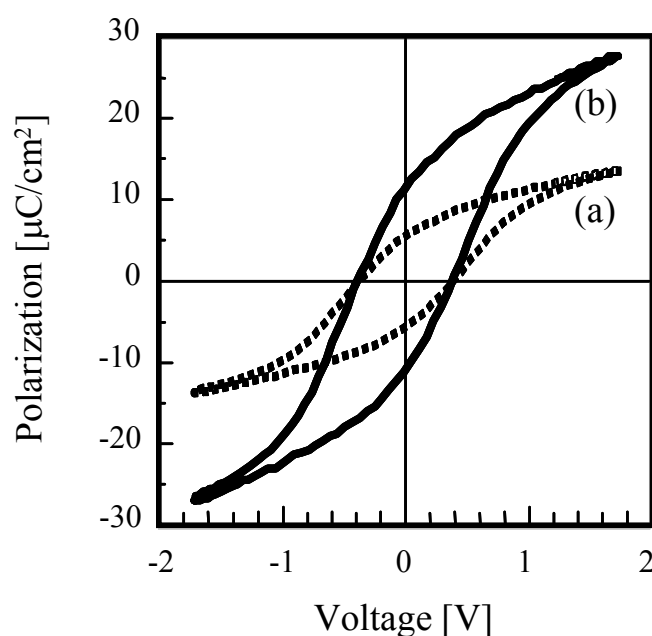


図 4-15 SBT キャパシタの P_r -V 特性

(a) 平行平板構造（点線） (b) 三次元構造（実線）

4-2-3 低温成膜技術

SBT の結晶化温度は高く、ビスマス層状ペロブスカイト構造への焼結には 650-800 °C の熱処理が必要である。前項で述べた MOCVD 法で堆積した Sr-Bi-Ta-O 膜を 500 °C で焼結したところ、図 4-16 の SEM 写真に示すようにフルオライト微結晶が形成された。フルオライト相は強誘電性を示さない結晶相であるので、SBT を 0.13 μm 世代よりも世代が進んだ CMOS へ適用することは不可能である。

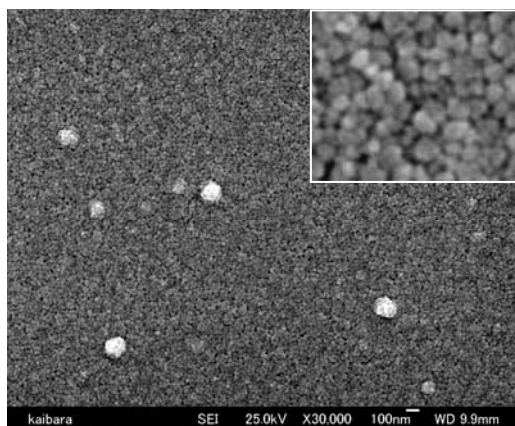


図 4-16 500°C 焼結した Sr-Bi-Ta-O 膜

しかし、層状ペロブスカイト材料である SBT は、抗電圧が低いので低電圧動作が可能であり、疲労劣化に強いという特長を持つ。これらの層状ペロブスカイト材料に特有の長所を活かしつつ低温形成可能なとして、フルオライト相のない $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BiT) を次世代材料として選択した。BiT は斜方晶($a=0.545\text{ nm}$, $b=0.541\text{ nm}$, $c=3.283\text{ nm}$)のビスマス層状ペロブスカイトの結晶構造 (図 4-17) をとる。自発分極値は a , b , c 軸方向にそれぞれ 50, 0, 4 $\mu\text{C}/\text{cm}^2$ であり²⁶⁾、これまでに MOCVD 法により 400-500 °C という低温で形成可能であることが報告されている。

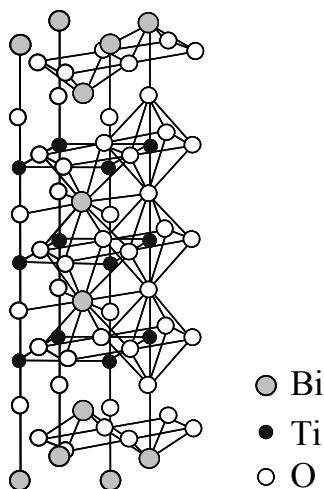


図 4-17 BiT 結晶構造

(111) に配向した Pt 電極上に 500 °C で形成した BiT 膜は (001) および (117) 配向が混在し、 $2P_r \sim 10.0 \mu\text{C}/\text{cm}^2$ が得られている²⁷⁾。Pt 電極上に厚さ 30 nm の BiO_x バッファ層を用いた場合にはさらに 400 °C へと低温化することができ、(117) 配向の BiT 膜は $2P_r = 16.4 \mu\text{C}/\text{cm}^2$ を示すことが報告されている²⁸⁾。しかし、これらの残留分極値は SBT よりも小さく、その原因は結晶配向により説明できる。最大の分極を発現する a 軸方向に対して、 $\langle 117 \rangle$ 方向の分極の成分は約 55%、 $\langle 001 \rangle$ 方向の分極の成分は約 8% と小さいためである。

そこで、MOCVD 法により配向制御した BiT 膜を低温形成し、自発分極密度を高めることを試みた^{7,21,22)}。BiT は a 軸方向に最大の自発分極を示すため、本来は (100) 面に配向することが望ましい。しかし、a 軸と b 軸の格子定数は非常に近いので、自発分極がゼロである (010) 配向グレインの膜中への混在を除去することは難しい。a 軸と b 軸配向が半分ずつ混在した場合、完全に (100) 配向した場合に比べて自発分極は半分程度しか期待できない。本研究では MOCVD 成長条件と配向の関係を綿密に調べ、(110) および (111) に配向する条件を見出した。両配向の自発分極はともに、完全に (100) 配向した場合の約 71% を見込むことができる。以下、500 °C 以下の低温で (110) および (111) に配向した BiT 膜の成膜方法と、電気的特性について述べる。

SBT の成膜に用いた同一の MOCVD 装置を用いて、厚さ 100 nm の BiT 膜を (111) Pt (200 nm) / TiO_2 (50 nm) / SiO_2 (500 nm) / Si 基板上に堆積した。プロセスフローは図 4-18 に示す通りである。原料ソースは Bi アルコラート、Ti アルコラートの 2 種類の有機金属プリカーサをエチルシクロヘキサンに溶解したものをを用いた。これを気化器でガス化した後、Ar キャリアガスと O_2 反応ガスを混合し、成膜室に導入した。Bi-Ti-O 膜を成長中の成膜室圧力は 3 Torr、基板温度は 450 °C である。堆積した Bi-Ti-O 膜は、RTA により 500 °C で 1 min の熱処理を行って結晶化した。

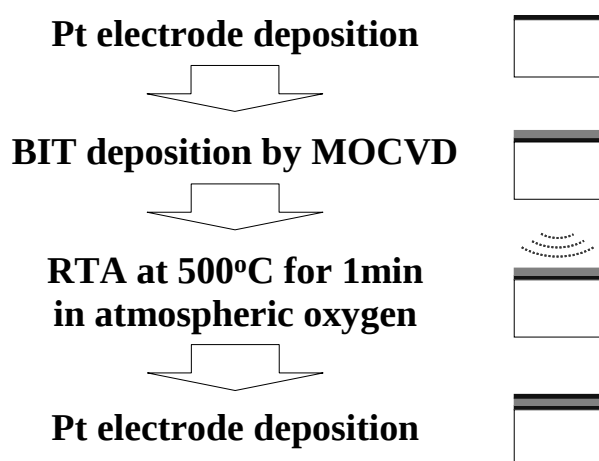


図 4-18 BiT キャパシタのプロセスフロー

XRD による結晶解析の結果、as-depo の Bi-Ti-O 膜は BiT のペロブスカイト相の存在を示す (111) と (220) 回折ピークが観測された。しかし、EBSP による観察では菊池線の強度は弱く、スキャンエリアのほぼ全面にわたってアモルファス状態であった。これを RTA で焼結することにより、(111) および (220) のペロブスカイト相ピークの XRD 強度は強くなり、EBSP 観察によりそれぞれ青色および紫色で示される (110) と (111) 面へ配向した領域が 90%以上を占めていることを確認できた (図 4-19)。このような配向を示すプロセスウィンドウは狭く、MOCVD 成長中の基板温度を 400 °C に下げると BiT 膜の配向は (117) 面へと変化し、基板温度を 500 °C へ上げるとペロブスカイト相は得られずに $\text{Bi}_2\text{Ti}_2\text{O}_7$ 膜となった。

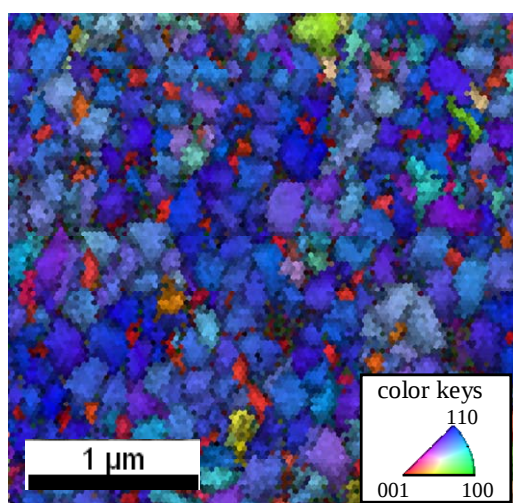


図 4-19 BiT の EBSP マップ

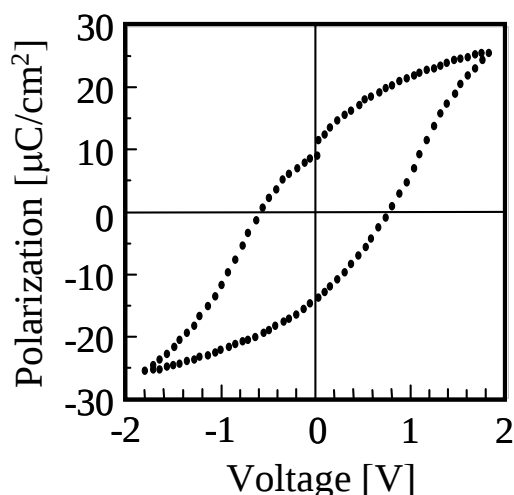


図 4-20 BiT キャパシタの P_r -V 特性

(110) および (111) 配向した BiT 膜上に Pt 電極を形成した平行平板キャパシタの P_r -V ヒステリシス特性を図 4-20 に示す。残留分極は従来の低温成膜した BiT 膜よりも大きく改善し、 $2P_r=25.7 \mu\text{C}/\text{cm}^2$ を示した。これは現在の FeRAM に用いられている SBT キャパシタよりも大きく¹¹⁾、十分に実用化可能なレベルである。

開発した MOCVD 法による BiT 成膜および RTA 焼結プロセスは、65nm 世代で要求される低温プロセスに合致するものであり、BiT-MOCVD 技術が先端 CMOS への FeRAM 混載に有効であることを示すものである。この成果は平行平板構造キャパシタにおけるものであり、今後は三次元構造 BiT キャパシタを目指してさらなる成膜技術の研究が求められる。

4-2-4 FeTFT メモリチップ実用化への課題

本研究の遂行の結果、STO 基板上にヘテロエピタキシャル成長した酸化物積層構造を用いた FeTFT により、高いオン・オフ比と長時間のデータ保持を確立することができた。FeTFT を集積化して大容量メモリを実現するには、選択スイッチを含むメモリセルの開発が求められる。高集積化のためには 1 つの FeTFT 素子でメモリセルを構成することが望ましいが、これをアレイ化した場合には非選択セルへの誤書き込み、あるいは非選択セルからの誤読み出しといったディスタースが発生する²⁹⁾。従って、図 4-21 に示すようにデータ線と FeTFT の間に選択スイッチが必要である。

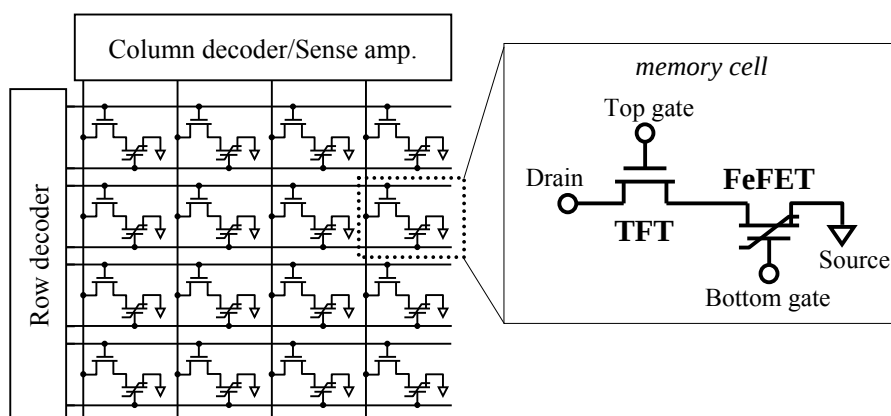


図 4-21 強誘電体ゲート TFT メモリセルアレイ

シリコンテクノロジーを用いて FeTFT セルを形成する場合、図 4-22 のように MOSFET を選択スイッチとして使うことになる。このメモリセル構造では MOSFET と FeTFT の接続のためにビアホールとメタル配線が必要であり、セルサイズが大きくなる。セルサイズの縮小を目指して、本研究で開発した FeTFT の ZnO 薄膜上にゲート絶縁膜 (SiN_x) とトップゲート電極 (Au/Ti) を形成し、図 4-23 のように FeTFT と選択スイッチとなる TFT が直接接続されたメモリセル構造を開発した²³⁾。

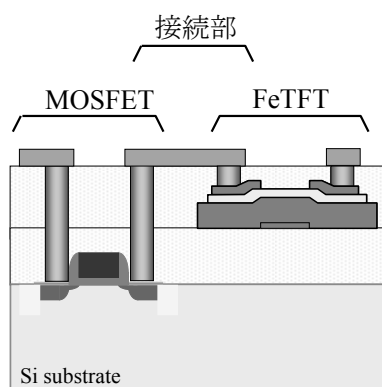


図 4-22 MOSFET 選択スイッチセル

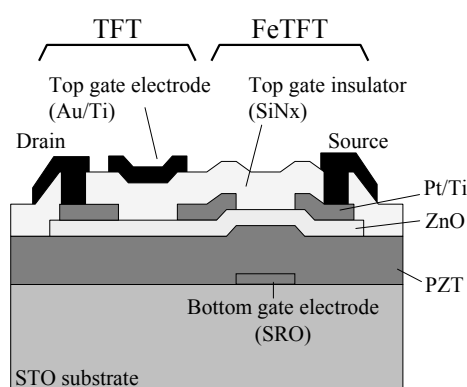


図 4-23 TFT 選択スイッチセル

チャンネルとなる ZnO の幅（ゲート幅）が $80\ \mu\text{m}$ で、TFT および FeTFT の S/D 電極間距離（ゲート長）がそれぞれ $4\ \mu\text{m}$ の素子サイズを持つ TFT 選択スイッチセルを試作し（図 4-24）、その電気的特性を測定した結果を図 4-25 に示す。トップゲート電極に $V_{\text{TG}}=10\ \text{V}$ のゲート電圧を印加した場合、図 4-25 (a) のようにボトムゲート電圧 V_{BG} の掃引により PZT は分極反転してドレイン電流はヒステリシスを描き、 $V_{\text{BG}}=0\text{V}$ で約 3 桁のオン・オフ比 $I_{\text{on}}/I_{\text{off}}$ を示した。5 桁の $I_{\text{on}}/I_{\text{off}}$ を示した FeTFT 単独素子よりも $I_{\text{on}}/I_{\text{off}}$ が低下しているが、これはボトムゲート電極の加工により PZT 表面に段差ができたためと考えている。一方、トップゲート電極に $V_{\text{TG}}=0\ \text{V}$ のゲート電圧を印加した場合、図 4-25 (b) のようにボトムゲート電圧 V_{BG} を掃引してもドレイン電流は流れなかった。すなわち、トップゲート電極へのゲート電圧印加によるメモリセルの選択動作を実現することができた。

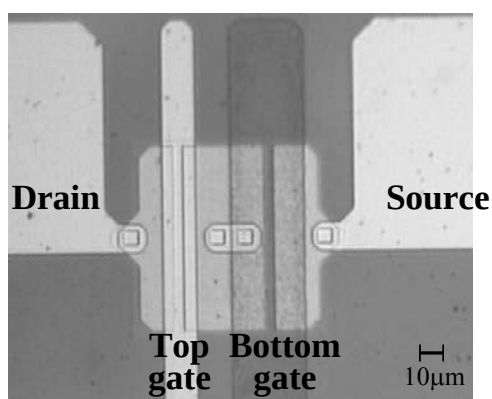


図 4-24 試作セルの光学顕微鏡写真

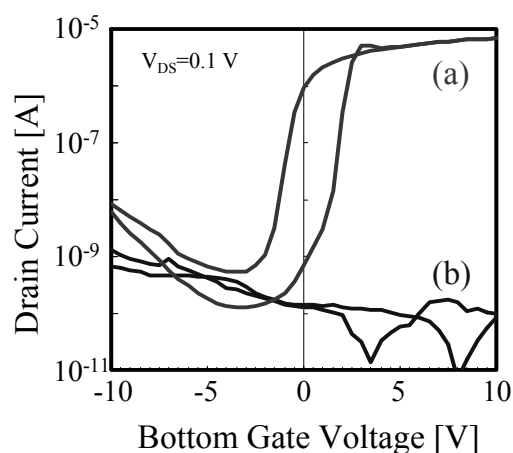


図 4-25 $I_{\text{DS}}-V_{\text{BG}}$ 特性

(a) $V_{\text{TG}}=10\ \text{V}$ (b) $V_{\text{TG}}=0\ \text{V}$

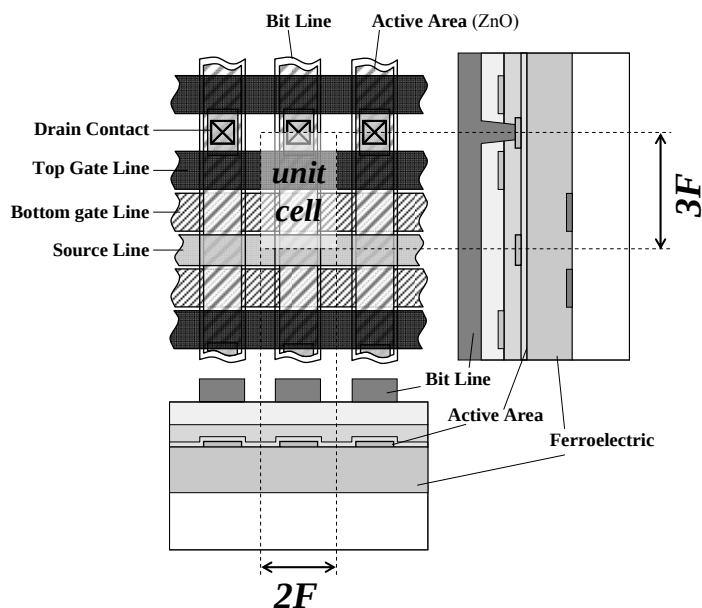


図 4-26 $6F^2$ 細密レイアウト

TFT 選択スイッチセル構造では、選択スイッチと FeTFT を酸化物積層技術により一体形成するためにこれらの接続ビアなどを省略することができ、メモリセルの小サイズ化を期待できる。細密にレイアウトした一例を図 4-26 に示す。このレイアウト例では、水平方向 $2F$ (F : Feature size 最小加工寸法を示す)、垂直方向 $3F$ のピッチでメモリセルをアレイ化することができ、1 つのユニットセルあたりの面積は $6F^2$ と小さい。このセルサイズは NAND 型 Flash EEPROM の $4F^2$ には及ばないものの、DRAM のセルサイズ $8F^2$ を凌駕するサイズである。

FeTFT メモリは、NAND 型 Flash EEPROM や DRAM といった大容量メモリと同等レベルの高密度レイアウトを見込めることを示すことができた。今後メモリチップを実現するには、周辺駆動回路の作り込みが大きな課題となる。Si に比べて移動度が劣る ZnO チャンネルトランジスタで周辺回路を形成するのは容易ではなく、周辺回路は Si-MOS FET で形成するのが現実的である。従って、シリコンテクノロジーで形成された CMOS 基板上に、酸化物テクノロジーにより FeTFT および TFT を形成する技術が必要である。現在、STO 基板上で確立した FeTFT をシリコン基板上に展開する技術の開発に取り組んでいる。これまでに、シリコン基板上の層間絶縁 (SiO_2) 膜上に形成した (111) Pt 電極上に多結晶の ZnO/PZT/SRO 構造を形成し、PZT 表面研磨を施すことで STO 基板上と同等の初期特性と、長時間のデータ保持特性を確認している²⁴⁾。FeTFT による大容量メモリ実現を目指して、引き続き FeTFT および TFT の微細加工技術の開発に注力していく。

本研究で c-STO 基板上に形成した FeTFT において、ヘテロエピタキシャル成長した PZT および ZnO 結晶を AFM または TEM で観察したが、明確な粒界を観察することはできなかった。しかし、Si 基板上に FeTFT を形成し、その素子サイズを微細化した場合には、PZT および ZnO 結晶の配向ばらつき、結晶粒界に起因したばらつきの問題が顕在化すると考えられる。

図 4-27 は、PZT の結晶粒を模式的に示した図である。網掛けした結晶粒では分極軸が基板に垂直向きであり、単位面積あたりの分極密度が P であるとする。一方、白塗りの結晶粒では分極軸が基板垂直方向から θ だけ傾いているとする。この結晶表面における分極密度は $P \cos \theta$ となる。

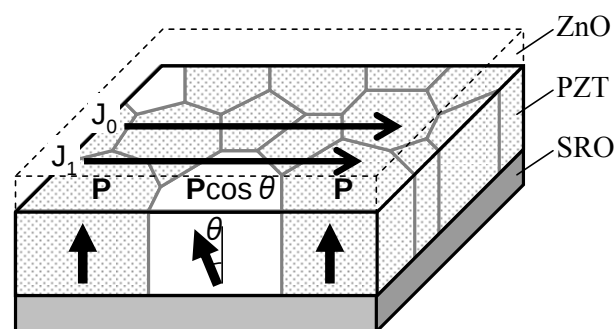


図 4-27 PZT 結晶配向と電流経路

ここで、図中に矢印で示した 2 つの経路を通る電流 J_0 および J_1 を考える。 J_0 は垂直配向した結晶粒（網掛）上のみを流れているので、その電流密度は $J_0 = \mu \cdot P \cdot E$ （ E は水平方向の電界）となる。一方、 J_1 は分極密度が低い結晶粒（白塗り）上を通過しており、この領域の電流密度 $J_1 = \mu \cdot P \cos \theta \cdot E$ に律速される。すなわち、微視的には経路によって電流密度は異なることとなる。FeTFT の素子サイズが大きく、多くの結晶粒上にチャネルが形成される場合には、微視的にばらついた電流密度を平均化した電流 I_{DS} がドレイン・ソース間を流れる。この場合、 I_{DS} における素子間のばらつきは小さいと考えてよい。

FeTFT の素子サイズを PZT の結晶粒サイズ（例えば CSD 法では 200 nm 程度）と同等以下に小さくしたとき、FeTFT の電子濃度は素子を形成する領域の分極軸方向に依存して異なるようになる。

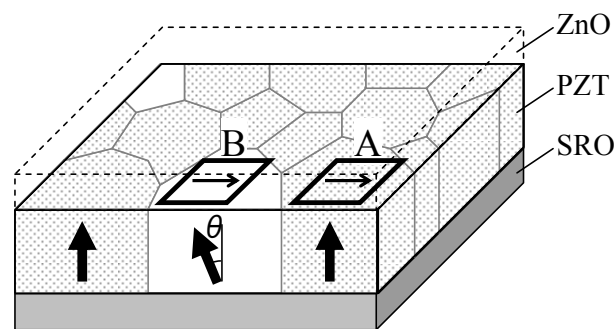


図 4-28 PZT 結晶粒サイズ以下への微細化

図 4-28 に示すように垂直配向した結晶粒（網掛）上に形成した素子 A と分極軸が傾いた結晶粒（白塗り）上に形成した素子 B の I_{DS} は、それぞれ (4-1) および (4-2) 式のように表される。

$$I_{DS}(A) = \mu \cdot P \cdot \frac{W_g}{L_g} \cdot V_{DS} \quad (4-1)$$

$$I_{DS}(B) = \mu \cdot P \cos \theta \cdot \frac{W_g}{L_g} \cdot V_{DS} \quad (4-2)$$

両式から明らかなように、微細素子では分極軸の傾きに依存して素子毎の I_{DS} ばらつきは大きくなる。本研究では (001) 配向の PZT を用いたが、微細素子では分極ばらつきの影響が大きくなると懸念される。その理由は、自発分極を発現する (001) に PZT の配向を揃えるのは難しく、(100) および (010) 配向した結晶粒が混在するためである。このような観点から、(001) 配向に比べて分極密度は $1/\sqrt{3}$ に低下するものの、均一配向が容易な (111) に配向した PZT を用いることが好ましい。

PZT の結晶配向の影響に加え、 I_{DS} を決定する重要な因子として ZnO 薄膜の結晶粒界の存在が挙げられる。格子欠陥である結晶粒界はキャリアのトラップ・再結合・散乱など結晶粒内部とは電氣的性質が異なっており、そこでは伝導帯にポテンシャル障壁を形成する。

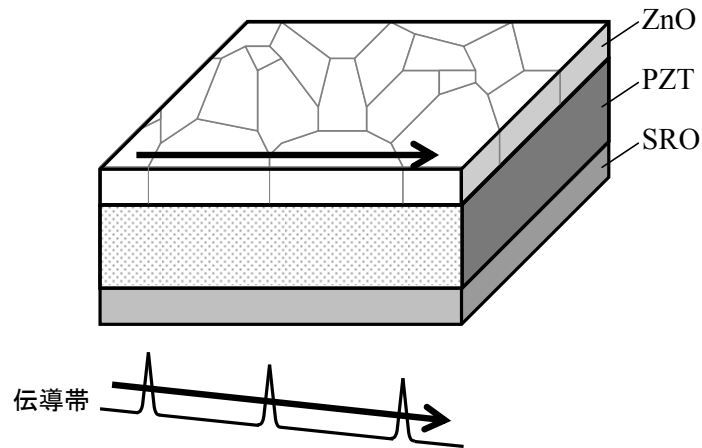


図 4-29 ZnO 結晶の粒界と電流経路

図 4-29 は、ZnO の結晶粒を模式的に示した図である。結晶粒内部の電子移動度を μ_b 、結晶粒界の電子移動度を μ_i としたとき、ZnO 薄膜のマクロな電子移動度 μ は (4-3) 式のマティーン則が成り立つ。

$$\frac{1}{\mu} = \frac{1}{\mu_b} + \frac{1}{\mu_i} \quad (4-3)$$

FeTFT のチャネル内に多数の ZnO 結晶粒が含まれる場合、移動度 μ に依存した電流がドレイン・ソース間に流れる。FeTFT の素子サイズを ZnO の結晶粒サイズと同等以下に小さくしたとき、個々の素子内に存在する粒界の数がばらつくようになる。

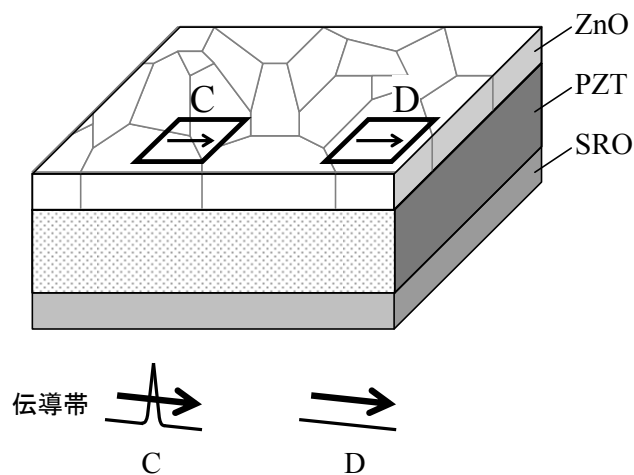


図 4-30 ZnO 結晶粒サイズ以下への微細化

図 4-30 に示すように結晶粒界を跨ぐように配置された素子 C と、結晶粒の内側に収まるように配置された素子 D を考える。このような場合、素子 C のドレイン・ソース間を流れる電流は、粒界に存在するポテンシャル障壁によって散乱されて低下する。一方、素子 D を流れる電流は粒界散乱の影響を受けない。従って、微細素子では素子内に存在する粒界の数に依存して素子毎の I_{DS} ばらつきは大きくなる。今後、粒界

散乱の影響を明らかにする研究が必要である。例えば、表面電位顕微鏡 (Kelvin probe Force Microscope: KFM) によれば表面のポテンシャル分布を測定することが可能であり、ZnO 薄膜の粒界におけるポテンシャル障壁高さを求めることができる。また、微細素子における粒界の影響を受けないように、例えばアモルファス材料を用いることも今後の検討課題である。

4-3 まとめ

SBT キャパシタを内蔵した不揮発性ラッチの応用研究に取り組み、電力削減回路、リコンフィギュラブル・ロジック回路、暗号回路への工業的応用に有効であることを示した。これらの応用研究は、強誘電体キャパシタの搭載が CMOS で構成された論理回路に新たな機能を付加できることを示している。

また、強誘電体メモリの微細化トレンドを示し、0.13 μm 世代以降では三次元構造強誘電体キャパシタの形成技術、65nm 世代以降の先端 CMOS への搭載では強誘電体低温成膜技術が必要となることを明らかにした。三次元構造強誘電体キャパシタの実現に向けて SBT の MOCVD 成膜技術を開発し、凹形状の内壁に均一な膜厚で SBT を成膜する技術を開発した。アスペクト比が 1 の三次元構造 SBT キャパシタは、平行平板構造と比べて、同一のフットプリントで 2.1 倍の分極電荷が得られた。さらにプロセス低温化に取り組み、SBT に代えて BiT を MOCVD により 500°C で成膜する条件を確立した。MOCVD 成膜した BiT は (110) および (111) に優先配向し、従来の分極密度 $2P_r=10.0\sim 16.7\ \mu\text{C}/\text{cm}^2$ を超える $2P_r=25.7\ \mu\text{C}/\text{cm}^2$ を示した。今後、BiT キャパシタの実用化に向けて、三次元構造への BiT 成膜技術開発が必要となる。

さらに微細加工が進む世代では強誘電体キャパシタに代わり、スケーリング則に従って微細化できる FeTFT が有望となる。本研究で考案した FeTFT の研究成果を実用化に結びつけるため、選択トランジスタを酸化物材料で形成したトップゲート型 ZnO TFT を FeTFT と並列に接続し、ZnO チャネル共有構造の NOR 型 FeTFT メモリを開発中である。現時点において ZnO TFT のスイッチング動作に成功し、メモリセルからのデータ読み出し動作を確認した。今後は、FeTFT を微細化した場合に積層した薄膜の粒界が特性に与える影響が研究課題となる。強誘電体の自発分極密度は常誘電体の蓄積電荷よりも 1~2 桁大きく、Flash EEPROM よりも多くの電荷をゲートに蓄えることができる FeTFT は、今後 Flash EEPROM の物理的限界を超えて微細化できる可能性がある。

【第 4 章 参考文献】

- 1) J. Tschanz, S. Narendra, Ye Yibin, B. Bloechel, S. Borkar and De Vivek: ISSCC Dig. Tech. Papers, 2003, p. 102.
- 2) S. Shigematsu, S. Mutoh, Y. Matsuya, Y. Tanabe and J. Yamada: IEEE J. Solid-State Circuits **32** (1997) 861.
- 3) K. Nowka, G. Carpenter, E. M. Donald, H. Ngo, B. Brock, K. Ishii, T. Nguyen and J. Burns: ISSCC Dig. Tech. Papers, 2002, p. 340.
- 4) T. Sakurai: ISSCC Dig. Tech. Papers, 2003, p. 26.
- 5) M. Motomura: presented at Microprocessor Forum 2002.
- 6) S. Masui, T. Ninomiya, M. Oura, W. Yokozeki, K. Mukaida and S. Kawashima: Symp. VLSI Technology Dig. Pap., 2001, p. 200.
- 7) Y. Kato, Y. Kaneko, H. Tanaka, K. Kaibara, S. Koyama, K. Isogai, T. Yamada and Y. Shimada: Jpn. J. Appl. Phys. **46** (2007) 2157.
- 8) T. Miwa, J. Yamada, H. Koike, T. Nakura, S. Kobayashi, N. Kasai and H. Toyoshima: VLSI Technology Dig. Pap., 2001, p. 129.
- 9) Y. Hikosaka and T. Eshita: OYO BUTURI **71** (2002) 1120.
- 10) S. Shiratake, T. Miyakawa, Y. Takeuchi, R. Ogiwara, M. Kamoshida, K. Hoya, K. Oikawa, T. Ozaki, I. Kunishima, K. Yamakawa, S. Sugimoto, D. Takashima, H.-O Joachim, N. Rehm, J. Wohlfahrt, N. Nagel, G. Beitel, M. Jacob and T. Roehr: IEEE J. Solid-State Circuits **38** (2003) 1911.
- 11) Y. Nagano, T. Mikawa, T. Kutsunai, S. Natsume, T. Tatsunari, T. Ito, A. Noma, T. Nasu, S. Hayashi, H. Hirano, Y. Gohou, Y. Judai, E. Fujii: IEEE Trans. Semicond. Manuf. **18** (2005) 49.
- 12) H. N. Lee, D. Hesse, N. Zakharov and U. Gosele: science **296** (2002) 2006.
- 13) N. K. Kim, S. J. Yeom, S. Y. Kweon, E. S. Choi, H. J. Sun, J. S. Roh, H. C. Sohn, D. W. Lee, H. S. Kim, B. H. Choi, J. W. Kim, K. J. Choi, N. J. Seong, and S. G. Yoon: Appl. Phys. Lett. **85** (2004) 4118.
- 14) K. Y. Yun, M. Noda and M. Okuyama: Appl. Phys. Lett. **83** (2003) 3981.
- 15) K. Y. Yun, D. Ricinschi, T. Kanashima, M. Noda and M. Okuyama: Jpn. J. Appl. Phys. **43** (2004) L647.
- 16) L. Goux, G. Russo, N. Menou, J. G. Lisoni, M. Schwitters, V. Paraschiv, D. Maes, C. Artoni, G. Corallo, L. Haspeslagh D. J. Wouters, R. Zambrano and C. Muller: IEEE Trans. Electron Devices **52** (2005) 447.
- 17) J.-M. Koo, B.-S. Seo, S. Kim, S. Shin, J.-H. Lee, H. Baik, J.-H. Lee, J. H. Lee, B.-J. Bae, J.-E. Lim, D.-C. Yoo, S.-O. Park, H.-S. Kim, H. Han, S. Baik, J.-Y. Choi, Y. J. Park and Y. Park: IEDM Technical Digest, 2005, p. 4.
- 18) N. Nagel, R. Bruchhaus, K. Hornik, U. Egger, H. Zhuang, H.-O. Joachim, T. Rohr, G. Beitel, T. Ozaki and I. Kunishima: Dig. Tech. Papers Symposium on VLSI Technology, 2004, p. 146.
- 19) Md. R. Anisur, T. Osipowicz, D. Z. Chi, and W. D. Wang, J. Electron. Mat. **34** (2005) 1110.
- 20) G. Molas, D. Deleruyelle, B. De Salvo, G. Ghibaudo, M. Gely, S. Jacob, D. Lafond and S. Deleonibus: IEDM Tech. Dig., 2004, p. 877.
- 21) Y Kato, H. Tanaka, K. Isogai, K. Kaibara, Y. Kaneko, Y. Shimada, M. Brubaker, J. Celinska, L. D. McMillan and C. A. Paz de Araujo: *Proc. 15th IEEE Int. Symp. Applications of Ferroelectrics*, 2006, p. 81.
- 22) H. Tanaka, Y Kato, Y. Kaneko and Y. Shimada: 電気学会電子材料研究会 (2007) EFM-07-13 [in Japanese].
- 23) Y. Kaneko, H. Tanaka, Y. Kato, and Y. Shimada: *Conf. Dig. Device Research Conference*, 2008, p. 59.
- 24) H. Tanaka, Y. Kaneko and Y. Kato: Jpn. J. Appl. Phys. **47** (2008) 7527.
- 25) Kaibara, K. Tanaka, K. Uchiyama, Y. Kato and Y. Shimada: Jpn. J. Appl. Phys. **47** (2008) 262.
- 26) T. Takenaka and K. Sakata: *Ferroelectrics* **38** (1981) 769.
- 27) M. Nakamura, T Higuch, Y. Hachisu and T. Tsukamoto: Jpn. J. Appl. Phys. **43** (2004) 1449.
- 28) T. Kijima, M. Ushikubo and H. Matsunaga: Jpn. J. Appl. Phys. **38** (1999) 127.
- 29) 石原宏: 応用物理 **75** (2006) 546.

第5章 結語

ユビキタス社会においてエレクトロニクス機器の消費電力削減は急務となっており、不揮発性メモリは低電力化のキーデバイスである。不揮発性メモリの中でも強誘電体メモリ (FeRAM) は、高速動作・低電圧駆動・高信頼性という特長を有しており、システムの高機能化と低電力化を同時に実現することが可能である。これまでに非接触 IC カードへ内蔵され、社会の利便性向上を果たしてきた。さらにその適用範囲を拡げて社会に貢献することを目的に、2000 年より本研究の主題である非破壊読み出し (NDRO) 技術の研究に取り組んだ。

最初に強誘電体キャパシタ回路および駆動方法の開発というアプローチをとり、MOS FET を負荷とする NDRO セルを考案し、その動作を実証した。開発した NDRO セルは CMOS 回路を形成した基板上に混載することができ、CMOS 技術に立脚した半導体産業が直面する危機的な電力消費量の増大を抑制できる。さらには、本研究で示した工業的応用例をはじめとして、CMOS と FeRAM の融合による新機能の創出も期待できる。しかし、プラットフォームとなる CMOS の微細化は FeRAM の 2~3 世代も先に進んでおり、その実現には三次元キャパシタ構造、低温形成技術の完成が急がれる。

先端 CMOS 技術との融合の先には、さらに微細化が進む Flash EEPROM の代替がターゲットとなる。大容量の不揮発性メモリとして広く普及している NAND 型 Flash EEPROM は半導体産業のテクノロジードライバーであり、最先端の微細加工技術を駆使することによって継続的にメモリ容量を拡大してきた。しかし、近年その物理的な限界が指摘されるようになってきた。そこで本研究において、非破壊読み出しが可能であり、かつスケーリング可能な強誘電体ゲートトランジスタの研究に挑戦した。開発したヘテロエピタキシャル強誘電体ゲート薄膜トランジスタ (FeTFT) は従来にない高い電流変調度を示し、長期のデータ保持特性を実現した。この研究成果を実用化に結びつけるためには、今後はシリコン基板上への形成技術確立し、微細化で顕在化する課題を乗り越えねばならない。これらの技術開発を完遂した暁には、FeTFT をベースとした FeRAM が半導体産業を支えるテクノロジードライバーと成り、ユビキタス社会を発展させていくものと期待できる。

【謝辞】

奈良先端科学技術大学院大学への入学機会を与えていただき、本論文の完遂に懇切なご指導とご鞭撻を賜りました奈良先端科学技術大学院大学 塩寄忠教授に厚くお礼申し上げます。本論文を作成するにあたり、ご指導、ご高配を賜りました、太田淳教授、柳久雄教授、内山潔准教授に深謝致します。

本研究の機会を与えて頂くと共に御指導、御鞭撻を賜りましたパナソニック（株）セミコンダクター社 半導体デバイス研究センター所長 田中毅博士、ならびに前所長 上田大助博士に深く感謝致します。

本研究を遂行する期間を通じて、嶋田恭博博士には終始暖かい激励・御指導をいただきました。ここに深く感謝申し上げます。

非破壊読み出し強誘電体メモリの共同研究者 山田隆善氏、香山信三氏に厚く御礼申し上げます。共にヘテロエピタキシャル強誘電体薄膜トランジスタの研究に取り組んだ田中浩之氏、金子幸広氏に感謝申し上げます。また、海原一裕氏、磯貝和範氏をはじめとしてMOCVD技術の研究、工業的応用の開発に携わった諸氏ならびにAraujo会長をはじめとする Symetrix 社の方々に感謝致します。

最後に、本研究を遂行するにあたり、支えていただいた家族に感謝します。

【研究業績】

学位論文の主たる部分を公表した論文

1. Y. Shimada*, **Y. Kato***, T. Yamada, K. Tanaka, T. Otsuki, Z. Chen, M. Lim, V. Joshi, L. McMillan and C. A. Paz de Araujo: "High density and long retention non-destructive readout FeRAM using a linked cell architecture" Integrated Ferroelectr. **40** (2001) 41-54.
*equal contributor
2. **Y. Kato**, T. Yamada and Y. Shimada: "0.18- μm nondestructive readout FeRAM using charge compensation technique" IEEE Trans. Electron Devices **52** (2005) 2616-2621.
3. **Y. Kato**, Y. Kaneko, H. Tanaka, K. Kaibara, S. Koyama, K. Isogai, T. Yamada and Y. Shimada: "Overview and future challenge of ferroelectric random access memory technologies" Jpn. J. Apply. Phys. **46** (2007) 2157-2163.
4. **Y. Kato**, Y. Kaneko, H. Tanaka and Y. Shimada: "Non-volatile memory using epitaxially-grown composite-oxide-film technology" Jpn. J. Apply. Phys. **47** (2008) 2719-2724.

参考論文

1. Y. Shimada, K. Arita, **Y. Kato**, K. Uchiyama, V. Joshi and M. Lim: "A read-disturb-free ferroelectric gate FET memory" Integrated Ferroelectr. **34** (2001) 27-36.
2. S. Koyama, **Y. Kato**, T. Yamada and Y. Shimada: "Improvement in non-destructive readout reliability of FeRAM with asymmetrical programming" Integrated Ferroelectr. **82** (2006) 81-90.
3. S. Koyama, **Y. Kato**, T. Yamada and Y. Shimada: "Fast pulse driving of ferroelectric SBT capacitors in a nonvolatile latch" IEICE Trans. ELECTRON. **E89-C** (2006) 1368-1372.
5. Kaibara, K. Tanaka, K. Uchiyama, **Y. Kato** and Y. Shimada: "Electron backscatter diffraction analysis for polarization of $\text{SrBi}_2(\text{Ta,Nb})_2\text{O}_9$ ferroelectric capacitors in sub-micron small area" Jpn. J. Apply. Phys. **47** (2008) 262-265.
6. H. Tanaka, Y. Kaneko and **Y. Kato**: "A ferroelectric gate field effect transistor with a $\text{ZnO/Pb}(\text{Zr,Ti})\text{O}_3$ heterostructure formed on a silicon substrate" Jpn. J. Apply. Phys. **47** (2008) 7527-7532.

学会発表、講演、著作

1. **Y. Kato** and Y. Shimada: "Characteristics of MFIS-FET with $\text{SrBi}_2\text{Ta}_2\text{O}_9/\text{CeO}_2$ of gate insulator" *Ext. Abstr. (61nd Autumn Meet., 2000); Japan Society of Applied Physics and Related Societies*, 7p-G-1 [in Japanese].
2. Y. Shimada, **Y. Kato**, T. Yamada, Z. Chen, V. Joshi, L. D. McMillan and C. A. Paz de Araujo: "A critical review and future prospects of non-destructive readout ferroelectric gate FET memories" *Proc. 15th Int. Symp. Integr. Ferroelectr.*, 2003, 4.1.1-1.
3. **Y. Kato**, T. Yamada, K. Tanaka and Y. Shimada: "Non-switching readout of polarization states of a ferroelectric gate FET for unlimited number of readout cycles" *Ext. Abstr., IEEE 2003 Int. Meeting for Future Electron Dvices, Kansai*, 2003, F-2.
4. T. Yamada, **Y. Kato**, S. Koyama and Y. Shimada: "Long-term stabilization of sense signals in a non-destructive readout FeRAM by intentional modification of the polarization hysteresis curve for low voltage applications" *Ext. Abstr. Solid State Devices and Materials*, 2003, pp.34-35.
5. S. Koyama, **Y. Kato**, T. Yamada and Y. Shimada: "Improvement in the readout reliability of a nondestructive readout FeRAM by asymmetrical programming" *Proc. IEICE Society Conference*, 2003, C-11-8 [in Japanese].
6. S. Koyama, **Y. Kato**, T. Yamada and Y. Shimada: "Improvement of imprint characteristic using asymmetric programming in a NDRO FeRAM" *Proc. 16th Int. Symp. Integr. Ferroelectr.*, 2004, 12-13-C.
7. S. Koyama, **Y. Kato**, T. Yamada and Y. Shimada: "Improvement in the readout reliability of a nondestructive readout FeRAM by asymmetrical programming" *Tech. Rep. of IEICE. SDM 104 No.134 (2004) 1-5, SDM2004-35* [in Japanese].
8. S. Koyama, **Y. Kato**, T. Yamada and Y. Shimada: "Improvement in reliability of a nondestructive readout FeRAM by asymmetrical programming" *Ext. Abstr., IEEE 2004 Int. Meeting for Future Electron Dvices, Kansai*, 2004, D-5.
9. 嶋田恭博、内山潔、田中圭介、海原一裕、**加藤剛久**、山田隆善、香山信三、藤井英治、平野博茂、林慎一郎、那須徹、野間淳史: 「3次元立体構造を有する大容量FeRAMの製造技術の確立」新エネルギー・産業技術総合開発機構 平成14年度課題設定型産業技術開発費助成事業開発成果報告書 平成16年3月.

10. S. Koyama, **Y. Kato**, T. Yamada and Y. Shimada: "Pulse driving of ferroelectric SBT capacitors in a nonvolatile flip-flop" *Proc. 17th Int. Symp. Integr. Ferroelectr.*, 2005, 4-2-C.
11. K. Kaibara, K. Tanaka, K. Uchiyama, **Y. Kato** and Y. Shimada: "Effect of grain size and crystal orientation on the polarization of $\text{SrBi}_2(\text{Ta,Nb})_2\text{O}_9$ films" *Proc. 17th Int. Symp. Integr. Ferroelectr.*, 2005, 3-2-C.
12. **Y Kato**, H. Tanaka, K. Isogai, K. Kaibara, Y. Kaneko, Y. Shimada, M. Brubaker, J. Celinska, L. D. McMillan and C. A. Paz de Araujo: "Embedded FeRAM challenges in the 65-nm technology node and beyond" *Proc. 15th IEEE Int. Symp. Applications of Ferroelectrics*, 2006, pp.81-84.
13. **Y Kato**, Y. Kaneko, H. Tanaka, K. Kaibara, K. Isogai and Y. Shimada: "Overview and future challenge of FeRAM technologies" *Ext. Abstr. Solid State Devices and Materials*, 2006, pp.120-121.
14. 加藤剛久: 「FeRAM 開発の現状と将来展開」 平成 18 年度応用物理学会関西支部シンポジウム (2006) pp.43-54 [in Japanese].
15. Y. Kaneko, H. Tanaka and **Y Kato**: "Ferroelectric-field-effect-transistors using ZnO thin film for nonvolatile memory devices" *Ext. Abstr. (54nd Spring Meet., 2007); Japan Society of Applied Physics and Related Societies*, 28p-SV-13 [in Japanese].
16. H. Tanaka, **Y Kato**, Y. Kaneko and Y. Shimada: "Low-temperature deposition of coexisting (110)- and (111)-oriented $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ film grown on (111)-oriented Pt electrode by metalorganic chemical vapor deposition" 電気学会電子材料研究会 (2007) EFM-07-13 [in Japanese].
17. Y. Kaneko, H. Tanaka, **Y Kato** and Y. Shimada: "Two-dimensional electron gas switching in an ultra thin epitaxial ZnO layer on a ferroelectric gate structure" *Ext. Abstr. Solid State Devices and Materials*, 2007, pp.1156-1157.
18. H. Tanaka, Y. Kaneko and **Y. Kato**: "A nonvolatile resistance change device with a ZnO/PZT heterostructure" *Proc. 25th Meeting on Ferroelectric Materials and Their Applications*, 2008, pp.185-186 [in Japanese].
19. 加藤剛久: 「次世代の強誘電体メモリ技術」 第 100 回誘電体研究委員会 (2008) [in Japanese].

20. Y. Kaneko, H. Tanaka, **Y. Kato**, and Y. Shimada: "A nonvolatile memory operation by ferroelectric modulation of interface conductance in a combinatorial oxide structure" *Conf. Dig. Device Research Conference*, 2008, pp.59-60.
21. H. Tanaka, Y. Kaneko and **Y. Kato**: "Overview and future challenge of ferroelectric memory technologies" *Proc. 7th Korea-Japan Conference on Ferroelectricity*, 2008, p.21.

他の研究テーマに関する学術論文

1. **Y. Kato**, T. Ito and A. Hiraki: "Initial oxidation process of anodized porous silicon with hydrogen atoms chemisorbed on the inner surface" *Jpn. J. Appl. Phys.* **27** (1988) L1406-1409.
2. 伊藤利道、**加藤剛久**、平木昭夫、佐藤守: 「多孔質シリコンの初期酸化と金属シリサイド化」 *真空*, 第 31 巻, 第 11 号 (1988) 913-921.
3. 伊藤利道、**加藤剛久**: 「陽極化成法による多孔質シリコン」 *応用物理*, 第 57 巻, 第 11 号 (1988) 1910-1920.
4. **Y. Kato**, T. Ito and A. Hiraki: "Low temperature oxidation of crystalline porous silicon" *Appl. Surf. Sci.* **41/42** (1989) [Elsevier] 614-618.
5. T. Katayama, **Y. Kato**, F. Emoto and H. Shimizu: "Poly-silicon TFT liquid crystal panels for projection displays" *National Tech. Report* **42** (1996) pp.330-335.

他の研究テーマに関する学会発表、講演、著作

1. **Y. Kato**, T. Ito and A. Hiraki: "Configuration of hydrogen atoms chemisorbed in porous silicon film during anodization process" *Proc. of 1988 European Silicon On Insulator Workshop*, 1988, C-05.
2. T. Ito, **Y. Kato**, H. Watabe, M. Satou and A. Hiraki: "Oxidization process of anodized porous silicon for SOI technology studied by infrared and high-energy-ion scattering techniques" *Proc. of 1988 European Silicon On Insulator Workshop*, 1988, C-02.
3. T. Ito, **Y. Kato**, and A. Hiraki: "Hydrogen bonding onto microcrystalline surfaces within anodized porous silicon crystals studied by infrared spectroscopy" *The Structure of Surfaces II* (1988) 378-383.

4. **Y. Kato**, F. Emoto, E. Fujii, A. Nakamura, A. Yamamoto and K. Senda: "Study of high speed poly-Si TFT scanner using matrix-switches" *Proc. IEICE Society Conference*, 1990, C-516 [in Japanese].
5. S. Hayashi, A. Yamamoto, **Y. Kato**, A. Nakamura, F. Emoto, E. Fujii and K. Senda: "A poly-Si electrode for a small-size LCD" テレビジョン学会年次大会, 1990, pp.85-86 [in Japanese].
6. **Y. Kato**, F. Emoto, Y. Fukushima, T. Wada and K. Senda: "Hot carrier induced degradation in polysilicon TFT" *Ext. Abstr. (51nd Autumn Meet., 1990); Japan Society of Applied Physics and Related Societies*, 28a-SZM-16 [in Japanese].
7. **Y. Kato**, F. Emoto, A. Nakamura and K. Senda: "Degradation in polysilicon TFT caused by grain boundary traps" *Ext. Abstr. (38nd Spring Meet., 1991); Japan Society of Applied Physics and Related Societies*, 30p-T-3 [in Japanese].
8. S. Koyama, Y. Inaba, K. Tanaka, M. Kasano, T. Murata, **Y. Kato** and K. Onozawa: "A day-and-night MOS imager with robust photonic-crystal-based RGB-and-IR integrated color filters" *ITE Tech. Report* **31** No.43 (2007) pp.29-32, IST2007-85 [in Japanese].
9. T. Yamada, S. Kasuga, T. Murata and **Y. Kato**: "A 140dB dynamic range MOS image sensor with in-pixel multiple exposure synthesis" *ISSCC Dig. Tech. Papers*, 2008, pp.50-51.
10. T. Yamada, S. Kasuga, T. Murata and **Y. Kato**: "A 140dB dynamic range MOS image sensor with in-pixel multiple exposure synthesis" *ITE Tech. Report* **32** No.19 (2008) pp.13-16, IST2008-11, CE2008-24 [in Japanese].
11. **Y. Kato**, T. Yamada, S. Kasuga and T. Murata: "A 140dB dynamic range MOS image sensor" *New Breeze* **20** No.4 (2008) 16-17.

日本登録特許

第 2, 848, 419 号	画像表示装置
第 2, 921, 999 号	アクティブマトリクス型液晶表示装置
第 3, 191, 898 号	薄膜トランジスタアレイの検査方法
第 3, 593, 046 号	半導体装置
第 3, 603, 050 号	半導体記憶装置の駆動方法

第 3,603,058 号	半導体記憶装置
第 3,620,588 号	半導体記憶装置の駆動方法
第 3,620,590 号	半導体記憶装置の駆動方法
第 3,643,054 号	半導体記憶装置及びその駆動方法
第 3,745,349 号	半導体記憶装置及びその駆動方法
第 3,805,659 号	半導体記憶装置の駆動方法
第 3,907,664 号	半導体記憶装置
第 4,015,835 号	半導体記憶装置
第 4,142,653 号	論理合成装置、回路設計方法及びプログラム
第 4,154,967 号	半導体記憶装置および駆動方法
第 4,182,059 号	半導体装置

米国登録特許

第 6,388,915 号	Method for driving semiconductor memory
第 6,421,268 号	Method for driving semiconductor memory
第 6,438,021 号	Methods of reading and writing data from/ on semiconductor memory device, and method for driving the device
第 6,449,184 号	Method for driving semiconductor memory
第 6,449,185 号	Semiconductor memory and method for driving the same
第 6,455,883 号	Nonvolatile semiconductor memory
第 6,456,520 号	Semiconductor memory and method for driving the same
第 6,509,594 号	Semiconductor memory device having MFMIS transistor and increased data storage time
第 6,614,678 号	Semiconductor memory and method for driving the same
第 6,618,284 号	Semiconductor memory and method for driving the same
第 6,693,840 号	Non-volatile semiconductor memory device with enhanced erase/write cycle endurance
第 6,707,704 号	Semiconductor memory device and drive method therefor
第 6,753,560 号	Semiconductor memory and method for driving the same
第 6,771,530 号	Semiconductor memory and method for driving the same
第 6,787,830 号	Semiconductor device and method for fabricating the same
第 6,853,576 号	Semiconductor device, method for fabricating the same, and method for driving the same
第 6,898,108 号	Semiconductor storage device and method for driving the same
第 6,924,997 号	Ferroelectric memory and method of operating same
第 6,950,327 号	Semiconductor memory device and electronic apparatus

	mounting the same
第 6,967,859 号	Ferroelectric memory configuration having successively connected ferroelectric capacitor coupling to the gate of a read transistor and different bias voltages applied in read/write/erase
第 6,992,913 号	Ferroelectric storage device

