

選択エピタキシャル成長技術と
そのMOSデバイスへの応用に関する研究

中 畑 匠

2003 年 9 月

奈良先端科学技術大学院大学
物質創成科学研究科

第1章 序論	1
1-1 はじめに	1
1-2 本研究の背景	1
1-2-1 LSI デバイスの進展	1
1-2-2 MOS トランジスタのソース・ドレイン領域における課題	2
1-2-3 解決策としてのエレベイテッドソース・ドレイン構造	4
1-3 本研究の目的と論文構成	6
1-3-1 エレベイテッドソース・ドレイン構造トランジスタの開発課題	6
1-3-2 論文構成	7
参考文献	8
第2章 UHV-CVD による選択エピタキシャル成長プロセス	10
2-1 はじめに	10
2-2 UHV-CVD 装置	10
2-3 選択性のプロセス条件依存性	14
2-3-1 実験方法	14
2-3-2 シリコン酸化膜に対する選択性のプロセス条件依存性	15
2-3-3 材質の違いによる臨界時間の比較	17
2-4 エピタキシャルシリコン端部形状のプロセス依存性	19
2-4-1 実験方法	19
2-4-2 エピタキシャルシリコン端部形状の成長温度依存性	19
2-4-3 成長速度比の定義	20
2-4-4 エピタキシャルシリコン端部形状の成長条件依存性	22
2-4-5 エピタキシャルシリコン端部形成についての考察	23
2-5 Cl_2 添加による選択性改善および形状依存性	25
2-5-1 実験方法	25
2-5-2 Cl_2 添加による選択性の向上効果	27
2-5-3 Cl_2 添加プロセスにおける SEG-Si 形状	28
2-6 まとめ	30
参考文献	32
第3章 ソース・ドレイン上への選択エピタキシャル成長	33
3-1 はじめに	33
3-2 ドライエッチングが基板表面に与える影響と CDE の効果	33
3-2-1 実験方法	34

3-2-2	SEG-Si層および SEG-Si 層/Si(100)基板界面の評価	35
3-2-3	エピタキシャル成長前の Si 表面の評価	38
3-2-4	SEG-Si 層への影響についての考察	40
3-2-5	表面モロロジーの工程依存性	42
3-2-6	表面モロロジーについての考察	45
3-3	CMOS トランジスタ上へのエピタキシャル成長	46
3-3-1	実験方法	46
3-3-2	ドライエッチング方式の選択	48
3-3-3	CMOSトランジスタ上における SEG-Si 形状の成長温度依存性	51
3-3-4	SEG-Si層/ソース・ドレイン界面の評価	53
3-3-5	CMOSトランジスタ上におけるモロロジー形成についての考察	56
3-4	まとめ	58
	参考文献	60
第4章	電気特性の改善	61
4-1	はじめに	61
4-2	Salicide-CMOS トランジスタの電気特性改善	61
4-2-1	サンプル作製方法	62
4-2-2	電気特性の評価方法	64
4-2-3	接合リークおよびシート抵抗特性	66
4-2-4	トランジスタ特性	69
4-2-5	電気特性向上効果についての考察	72
4-3	コンタクト重ね合わせマージンの拡大	73
4-3-1	サンプル作製方法	74
4-3-2	断面形状の観察	74
4-3-3	電気特性の測定方法	75
4-3-4	電気特性のコンタクト位置依存性	76
4-3-5	コンタクト抵抗の SEG-Si 膜厚依存性	78
4-3-6	コンタクトにおける SEG-Si の効果の考察	78
4-4	まとめ	80
	参考文献	81
第5章	結論	82
5-1	まとめ	82
5-2	今後の展開	85

謝辞

研究業績リスト

I 本研究に関わる学術論文

II その他の学術論文

III 口頭発表

III-1 国際会議

III-2 国内学会・研究会

第1章 序論

1-1 はじめに

1948 年の Shockley らによるバイポーラトランジスタ (Bipolar Transistor) の発明後[1,19]、1958 年に多数の電子部品を同一チップ上にモノリシックに集積する回路 (Integrated Circuit: IC) が Kilby によって提案された[2]。その後、LSI (Large Scale Integrated Circuit) は固体物理学と製造装置技術の著しい進歩に支えられ、今日まで約半世紀にわたって目を見張る勢いで発展を遂げてきた。そして 21 世紀の現在、それは様々なソフトウェア技術と融合し、コンピュータやインターネットに代表される高度情報化社会の基礎を築いた。さらに今後、本格的なブロードバンド時代に入れば、3 次元動画や高品質音声情報など、ますます膨大なデータの高速処理と高密度蓄積を家電製品レベルで扱うことが要求され、LSI 開発は大規模なシステムオンチップ (System on Chip: SoC) 時代になると予想される。

本章では、シリコン LSI デバイスの微細化に関する本研究の背景と目的を明らかにし、本論文の構成について述べる。

1-2 本研究の背景

1-2-1 LSI デバイスの進展

集積回路を構成する最も重要なキーエレメントであるトランジスタは、当初はバイポーラトランジスタであった。1960 年に、製造プロセスがより簡単でかつ平面レイアウトに適したシリコンの MOS 型電界効果トランジスタ (Metal-Oxide-Semiconductor Field-Effect Transistor: MOSFET) が報告された[3]。さらに 1963 年に CMOS (Complementary MOSFET) 回路により、消費電力が劇的に低減できることが報告されてからは[4]、LSI のトランジスタは MOSFET が主流になった。

1968 年に 1 トランジスタ・1 キャパシタ型の記憶素子である DRAM (Dynamic Random-Access Memory) が提案された[5]。一方、演算素子としては、1971 年に MPU (Micro-Processor Unit) が開発され、LSI 開発に拍車がかかった。そして、微細化プロセス技術の進展によりデバイス寸法の縮小化を図り、3 年で 3~4 倍の勢いで集積度の向上を達成してきた[6]。今後もこの微細化のスピードが維持されれば、近いうちに、 $0.1\mu\text{m}$ 超の設計寸法 (Design rule) を有する DRAM、MPU、および SoC が量産レベルで実現されることが期待されている[7]。

しかしながら、これまで、シリコンという材料の素性の良さとリソグラフィー技術の進展に頼ってきた LSI プロセス技術に、今日、様々な限界が見え始めている。また、たとえ今後も寸法上の微細化が進展したとしても、これまでスケーリング則 (Scaling rule) [8]に従って

高性能化された MOSFET 開発は、物理的にも経済的にも様々な困難にぶつかると考えられる。その代表例に、ソース・ドレイン領域の浅接合化が挙げられる。

1-2-2 MOS トランジスタのソース・ドレイン領域における課題

MPU などに用いられるソース・ドレイン領域およびゲート電極上に金属シリサイドを有する Logic 用 MOS トランジスタの微細化における課題を、図 1.1 を用いて説明する[11,12]。図 1.1(a)は、LDD (Lightly Doped Drain) 構造[13]の Logic 用 MOS トランジスタの断面を示す。ソース・ドレイン (S/D) 領域は、

- (1) ディープソース・ドレイン (Deep-S/D)、
- (2) エクステンションソース・ドレイン (Extension-S/D)、
- (3) 金属シリサイド

によって構成されている。(1) Deep-S/D は、寄生抵抗を低減し、かつ、外部とコンタクトプラグを介して接続するために、比較的にドーパントの濃度が高く、かつ、基板との接合位置が深めに形成されている。なお、Deep-S/D と基板との接合深さを X_j と称する。(2) Extension-S/D は、ゲート近傍の電界を緩和するために、Deep-S/D に比べドーパントの濃度

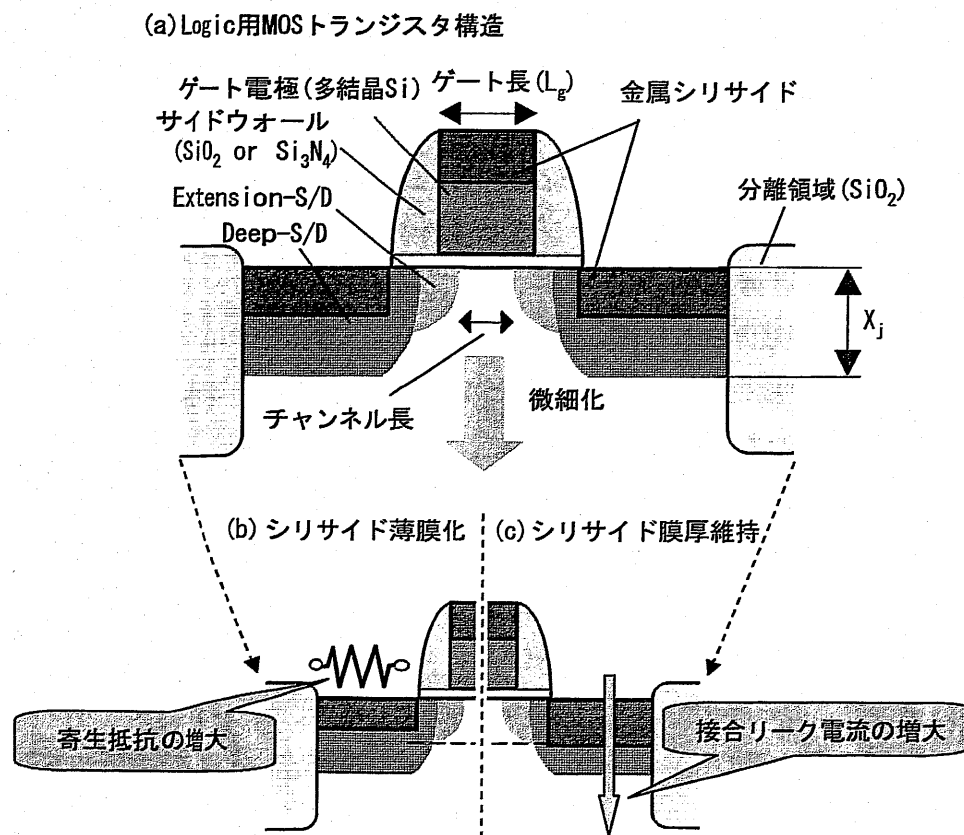


図1.1 Logic用MOSトランジスタの微細化における問題点

* 通常、ドーパント濃度が 10^{18} ions/cm³ の位置で定義される。

を低く、かつ、基板と接合位置を浅く形成されている。(3) さらに、金属シリサイドは、寄生抵抗を低減しデバイス動作の高速化を図るために、S/D 領域およびゲート電極上に形成されている。Salicide (Self-aligned silicide) 法[11,12]により形成され、従来チタンシリサイド(TiSi_2)やコバルトシリサイド(CoSi_2)が用いられている。

Logic 用 MOS トランジスタに限らず微細化が進みゲート長が短くなると、短チャンネル効果 (short-channel effect) と呼ばれる現象があらわれてくる。具体的には、ソースドレイン間の高電界による移動度の減少、チャンネル長によるゲートしきい値電圧の変化、弱反転状態におけるソースドレイン間のリーク電流の増加などである[9]。MOS トランジスタにより、集積回路を構築するためには、ゲートしきい値電圧がそろったトランジスタが要求されるため、この問題は集積回路設計上からも重要である。また、DRAM においては、リーク電流の増加により保持しているデータが失われるなどの問題が起こってくる。

スケーリング則に従い短チャンネル効果の問題の解決を図った場合、S/D 領域の接合深さ (X_j) を浅くする必要がある[10]。しかし、従来の方法であるイオン注入によりドーパントを導入し、アニールによりドーパントを活性化する方法は限界にせまっている。ITRS (International road map of semiconductor) の予測によれば、2007 年の Technology node* が 65 nm に差し掛かり、 X_j が 18~37 nm になる頃には、従来方法にかわる製造方法が必要と予測されている (図 1.2) [7]。

なお、Logic 用 MOS トランジスタの場合、微細化のため、金属シリサイドも薄膜化すると S/D 領域の寄生抵抗の増加を招き、デバイスの動作速度が低下する恐れがある (図 1.1(b))。

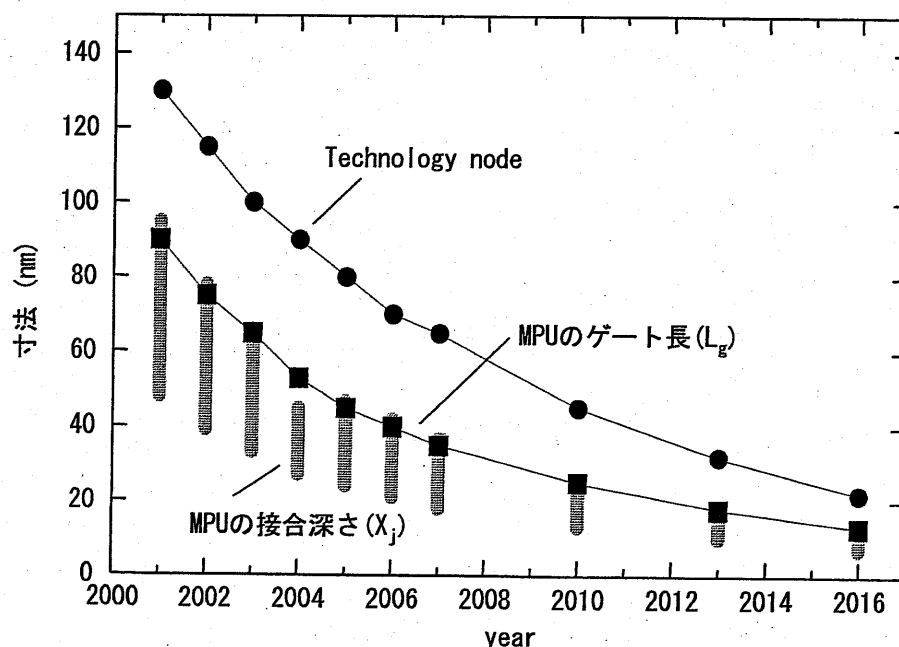


図1.2 ロードマップ

* MPU、DRAM などの予測されるハーフピッチを示し、加工寸法の指標として用いられる。

また、金属シリサイドの薄膜化を行わず、 X_j のみ浅くした場合、基板へ流れるリーク電流の増加を招き、消費電力が増加する[17]。よって、微細化を推進するためには、動作速度の高速化と消費電力の抑制を両立する必要がある。最近では従来法の延命策として、 $TiSi_2$ や $CoSi_2$ に比べ金属シリサイド形成時に Si 基板の消費が少なく、リーク電流の抑制が図れることから、ニッケルシリサイド (NiSi) の使用が検討されている[23]。

1-2-3 解決策としてのエレベイテッドソース・ドレイン構造

上記の動作速度の高速化と消費電力の抑制についての問題を解決する方策として、S/D 領域を基板面より高く持ち上げるエレベイテッドソース・ドレイン構造トランジスタが浮上している[14]。図 1.3 を用いて、図 1.1(a)に示した従来の Salicide 法による Logic 用 MOS トランジスタの製造方法と、選択エピタキシャル成長技術[18]を適応して、エレベイテッドソース・ドレイン構造化を図る Logic 用 MOS トランジスタの製造方法を説明する。従来方法を以下に示す。

- (a) 通常の CMOS トランジスタ作製フローに従って、素子分離領域を形成する。その後、ゲート電極を形成し、イオン注入法により Extension-S/D 領域を形成する。つぎに、サイドウォールを形成する。再度、イオン注入法により Deep-S/D 領域を形成する。
- (b) ゲート電極および S/D 領域上に $CoSi$ 層を形成するため、スパッタ法により Co 膜および TiN 膜を連続的に堆積する。
- (c) RTA 処理 (Rapid Thermal Annealing) により、ゲート電極および S/D 領域の Si を Co と反応させて $CoSi$ 層を形成する。
- (d) 硫酸過水処理により、 TiN 膜および未反応の Co を除去する。この際、 $CoSi$ 層は硫酸過水溶液に不溶であるので、 $CoSi$ 層を S/D 領域およびゲート電極上のみに選択的に形成することができる。その後、 $CoSi$ 層を低抵抗化するため再度 RTA 処理を行い、 $CoSi$ から $CoSi_2$ へ相変化を起こす。なお、 $CoSi$ の抵抗率は $150\sim 200\ \mu\Omega\cdot cm$ で、 $CoSi_2$ の抵抗率は $15\sim 20\ \mu\Omega\cdot cm$ である。

つぎに、選択エピタキシャル成長技術によるエレベイテッドソース・ドレイン構造トランジスタの製造方法を示す。

- (e) Deep-S/D 形成後、S/D 領域上に選択的エピタキシャルシリコン (SEG-Si) 層を成長する。
- (f) その後、従来法と同様に、(b) TiN/Co 堆積、(c) 1st RTA、および、(d) TiN/Co 除去を行う。

Deep-S/D 形成後の従来トランジスタ構造 (図 1.3(a)) と比較すると、エレベイテッドソース・ドレイン構造トランジスタ (図 1.3(e)) の場合、SEG-Si 層により S/D 領域を基板面より高く持ち上げられる。そのため、SEG-Si 膜厚の分だけ $CoSi$ 層の形成時における S/D 領域の Si の消費が抑制され、金属シリサイド界面と X_j 位置までの距離を確保することができる (図

1.3(d),(f))。よって、リーク電流を増加することなく、かつ、寄生抵抗の増大も招くことがない。なお、特に CoSi_2 の場合、図 1.3(d)および(f)に示すように CoSi 層形成時にスパイク状に成長し、S/D 領域を突き抜け、局所的にリーク電流を増加させる現象が報告されているが[15]、そのような場合にも改善が図れると考えられる。

なお、上記では、従来の CMOS トランジスタの製造工程に、SEG-Si 成長工程を付加する例を述べた。その他にも、積極的に SEG-Si 成長を取り入れることにより、一層 MOS トランジスタの性能向上を図ることも検討されている[16, 24]。

しかしながら、選択エピタキシャル成長技術は不明な点も多く、LSI のプロセス技術として確立していない。今後、選択エピタキシャル成長技術を、実験的にエレベイテッドソース・ドレイン構造トランジスタに適用し、次世代の LSI プロセス技術として開発課題を克服していくことが重要である。

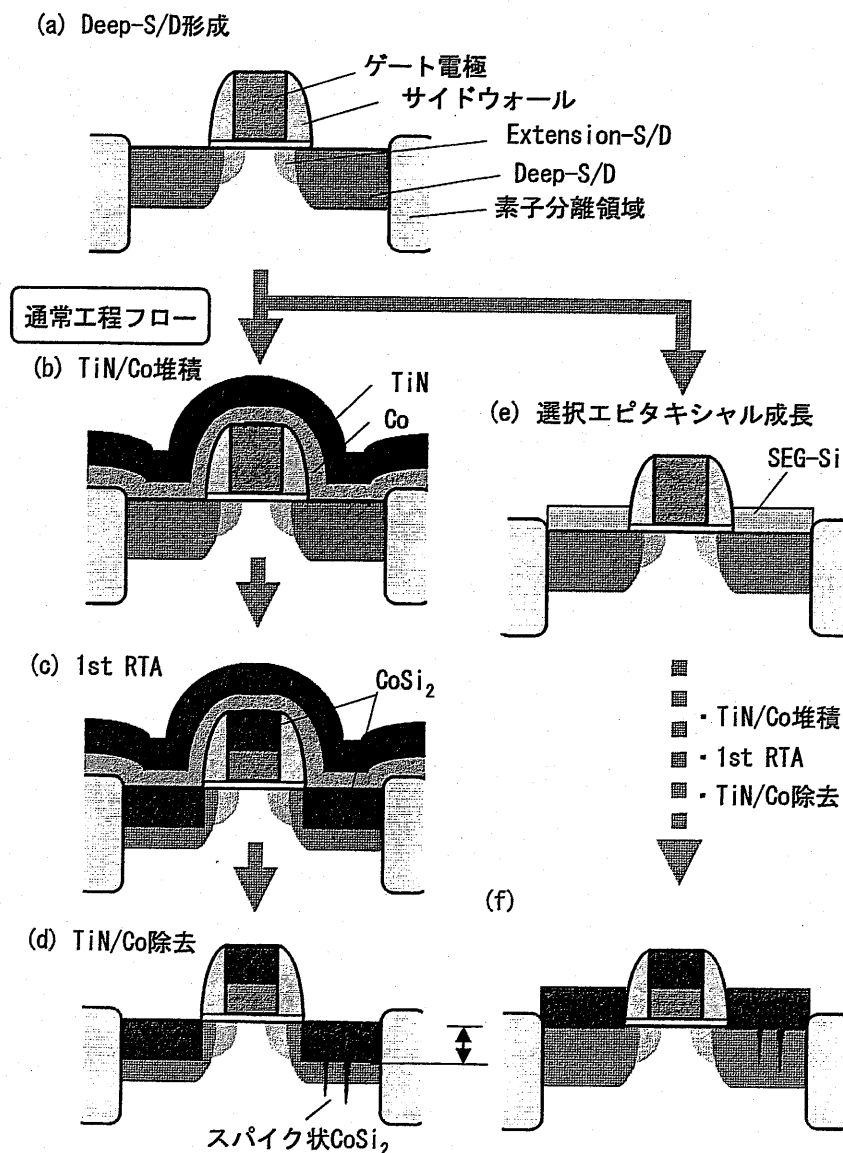


図1.3 従来のSalicide法と選択エピタキシャル成長の応用

1-3 本研究の目的と論文構成

1-3-1 エレベイテッドソース・ドレイン構造トランジスタの開発課題

図 1.4 に、エレベイテッドソース・ドレイン構造トランジスタの断面構造を示す。同図、右側は理想的な形状を、対照的に左側は問題点を有する形状を、それぞれ示す。選択エピタキシャル成長技術を用いてエレベイテッドソース・ドレイン構造トランジスタを作製する場合、重要な項目は、

- (1) 非選択領域と選択領域との峻別、
- (2) エピタキシャルシリコン端部形状、
- (3) エピタキシャルシリコン表面の平坦性、
- (4) 低温成長プロセス

である。これらの各項目について説明すると、(1) サイドウォールや素子分離領域などの非選択領域と選択領域（ソース・ドレイン部）の峻別が不十分な場合、ソース・ドレインゲート間、あるいは、隣接するトランジスタ間に電氣的ショートを引き起こし、歩留まり低下の原因になる。(2) 選択的にエピタキシャルシリコンを成長した場合、その端部にファセットが現れることが報告されている[20]。特にサイドウォール近傍にファセットが成長した場合、選択エピタキシャルシリコン成長工程後のイオン注入工程やシリサイド形成工程に影響する。S/D 領域やシリサイド膜の深さ方向の均一性が失われ、トランジスタの電気特性の劣化を招く危険性がある [21]。(3) ファセットと同様に、エピタキシャルシリコン表面の平坦度が低い場合、S/D 領域やシリサイド膜の深さ方向の均一性が失われる。(4) 選択エピタキシャル成長プロセスが高温の場合、プロセス中に S/D 領域を構成するドーパントが拡散し、トランジスタの電気特性が劣化する可能性がある[22]。将来的には低温プロセスが望まれる。

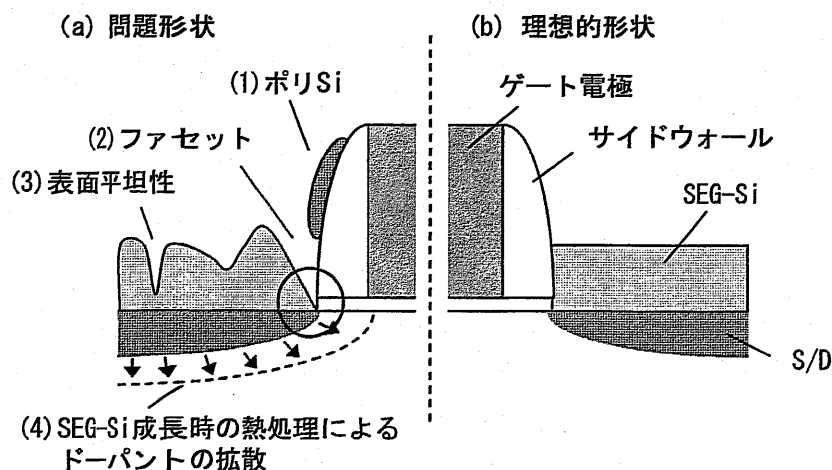


図1.4 エレベイテッドソース・ドレイン構造トランジスタの問題形状と理想的形状

なお、生産的な視点からの要求は、

- 高速処理（高スループット）
- 再現性（高リピータビリティ）

である。このような半導体プロセスが課せられる一般的な要求も同時に満たさなくてはならない。

1-3-2 論文構成

本論文は、5章からなる。この第1章序論に続いて、第2章では、(1) 非選択領域と選択領域の峻別、および、(2) エピタキシャルシリコン端部形状のエピタキシャル成長条件依存性を明らかにした。まず、材料ガスにジシラン (Si_2H_6) のみを用いた場合、非選択領域（シリコン酸化膜 (SiO_2) およびシリコン窒化膜 (Si_3N_4)）と $\text{Si}(100)$ 基板上にどのような成長が起きるかを述べる。 SiO_2 膜、 Si_3N_4 膜は MOS デバイスのサイドウォールや素子間分離領域に用いられる材料である。つぎに SEG-Si 端部の成長条件依存性およびその形成メカニズムについて、明らかにした内容を述べる。最後に、 Si_2H_6 ガスに塩素 (Cl_2) ガスを添加することにより Si_3N_4 膜上の多結晶シリコン（ポリ Si）の発生を抑制し選択性の向上を図り、その際の SEG-Si 形状のプロセス条件依存性について述べる。 Si_3N_4 膜は、 SiO_2 膜より峻別が難しいことが知られている[25]。

第3章では、(3) エピタキシャルシリコン表面の高平坦性、および、(4) 低温成長プロセスを実現するため、実際の S/D 領域が経るドライエッチングやイオン注入などの前工程が、SEG-Si 形状およびプロセス温度に与える影響を明らかにした。まず、ドライエッチングとエピタキシャル成長前のプレヒート温度の関連を調べるとともに、ドライエッチング工程後に CDE (Chemical Dry Etch) 処理を追加した効果について述べる。なお、CDE 処理は、ドライエッチングによる Si 基板表面上のダメージを除去し、ポリ Si プラグのコンタクト抵抗低減に有効と報告されている[26]。そのため、エピタキシャル Si 成長への応用にも効果が期待できる。つぎに、 Si_3N_4 サイドウォール形成ドライエッチングの影響を調べ、CMOS トランジスタ上に SEG-Si 層を成長した場合について述べる。CMOS トランジスタをエレベイテッドソース・ドレイン構造化する場合、タイプ (n/p 型) の異なる S/D 領域上に同時にかつ同様な品質の SEG-Si 層を成長する必要がある。

第4章では、第2章および第3章で培った選択エピタキシャル成長プロセス、前工程の影響の知識を生かし、CMOS トランジスタをエレベイテッドソース・ドレイン構造化することにより基板へ流れるリーク電流を低減し、かつ、S/D 領域の寄生抵抗を低減し電流駆動能力の向上した内容を述べる。さらに、エレベイテッドソース・ドレイン構造トランジスタ以外の応用として、選択的にエピタキシャル Si をコンタクトホール底に成長することにより、分離領域の耐圧向上を図ることを提案し、耐圧向上効果を実証した内容を述べる

最後に、第5章で、本研究を総括し、今後の展望を述べ、結論とした。

参考文献

- [1] W. Shockly, "Semiconductor Amplifier", U. S. patent 2,502,488 issued April 4, (1950) (Filed Sept. 24, 1948).
- [2] J. Kilby, IEEE Trans. Electron Devices, ED-23 (1976) pp.648-653.
- [3] D. Kahng, and M. M. Atalla, "Silicon dioxide field surface devices" presented at Device Research Conf. IEEE, Pittsburgh, June (1960).
- [4] F. Wanlass, and C. T. Sah "Nanowatt logic using field-effect metal-oxide-semiconductor triodes" Technical Digest of the 1963 Int. Solid-State Circuit Conf. (ISSCC 1963), February, 1963, pp.32-33.
- [5] R. H. Dennard, "Field-effect transistor memory", U. S. patent 3,387,286.
- [6] 齊藤昇三, "64M DRAM へのシフトが本格化微細化を前倒し", 日経マイクロデバイス (1998 年 4 月号) pp.70-81.
- [7] The National Technology Roadmap for Semiconductors, Semiconductor Industry Association, San Jose, CA, (2001).
- [8] R. H. Dennard, et al., "Design of Ion-implanted MOSFETs with very small Physical Dimensions", IEEE J. of Solid-State Circuits, SC-9 (1974) pp.256-268.
- [9] VLSI デバイスの物理、岸野正剛、小柳光正著、丸善
- [10] サブミクロンデバイスⅡ、小柳光正著、丸善
- [11] S. P. Murarka, Silicides for VLSI Applications, Academic Press, Orlando, FL (1983).
- [12] M.-A. Nicolet, and S. Lau, "Silicide", in N. G. Einpruch and G. B. Larabee, eds., VLSI Microstructure Science, Vol. 6, Academic Press, NY (1983) pp.329.
- [13] S. Ogura, P. J. Tsang, W. W. Walker, D. L. Critchlow, and J. F. Shepard, "Design and Characteristics of the Lightly Doped Drain-Source (LDD) Insulated Gate Field-Effect Transistor", IEEE Trans. Electron Dev., 27(8) (1980) pp.1359.
- [14] C. Mazure, J. Fitch, and C. Gunderson, "Facet Engineered Elevated Source/Drain by Selective Epitaxy for 0.35 Micron MOSFETs", Tech. Dig. IEDM, (1992) pp.853.
- [15] T. Sukegawa, H. Torrita, A. Fushida, K. Goto, S. Komiya, and T. Nakamura, Jpn. J. Appl. Phys., 36 (1997) pp.6244-6249.
- [16] H. Iwai, "CMOS Technology-Year 2010 and Beyond", J. of Solid-State Circuits, 34 (1999) pp.357-366.
- [17] J. Amano, K. Nauka, M. P. Scott, J. E. Turner, and R. Tsai, Appl. Phys. Lett., 49 (1986) pp. 737-739.
- [18] P. Rai-Choudhury, and D. K. Schroder, J. Electrochem. Soc., 120 (1973) pp. 664-668.
- [19] J. Barden, and W. H. Brattain, "The transistor, a semiconductor triode", Phys. Rev., 74

- (1948) pp.230-231.
- [20] T. Aoyama, T. Ikarashi, K. Miyanaga, and T. Tatsumi, *Journal of Crystal Growth*, 136 (1994) pp.349-354.
- [21] J. J. Sun, and C. M. Osburn, *ELECTRON DEVICES*, 45 (1998) pp.1377-1380.
- [22] S. Shishiguchi, A. Mineji, T. Y. Matsuda, and H. Kitajima, "Shallow Junction Formation by Low Energy Implantation and High Ramp-Up Rate RTA Process", *ADVANCES IN RAPID THERMAL PROCESSING Proceeding 99-10* (1999) pp.105-116 Electrochemical society, inc., USA.
- [23] 須黒恭一, "浅い接合とシリサイド構造の形成", 第 10 回半導体プロセスシンポジウム、東京、(2001 年 9 月 20 日) 講演予稿集第一分冊 pp.73-84.
- [24] K. Sugihara, Y. Abe, T. T. Oishi, N. Miura, and Y. Tokuda, "Short Channel Characteristics of Quasi-Single-Drain MOSFETs", *Electron Device Letters*, 22 (2001) pp.351-353.
- [25] T. Tatsumi, K. Akitagawa, M. Hiroi, and J. Sakai, *Journal of Crystal Growth*, 120 (1992) pp.275-278.
- [26] N. Aoto, M. Nakamori, S. Yamasaki, H. Hada, N. Ikarashi, K. Ishida, Y. Teraoka, and I. Nishiyama, *J. Appl. Phys.*, 77 (1995) pp.3899-3907.

第2章 UHV-CVD による選択エピタキシャル成長プロセス

2-1 はじめに

エレベイテッドソース・ドレイン構造トランジスタ作製における重要項目のうち、選択エピタキシャル成長プロセスに依存性が高いものは、

- (1) サイドウォールや素子分離領域などの非選択領域と選択領域（ソース・ドレイン部）の峻別、
- (2) エピタキシャルシリコンの端部形状

であると考えられる。(1) サイドウォールとの選択性を十分に保つことができず、サイドウォール表面上に多結晶シリコン（ポリ Si）が堆積した場合、ソース・ドレイン・ゲート間に電氣的ショートが起こり、トランジスタが正常に動作しなくなる。同様に、素子分離領域との選択性が不十分な場合でも、隣接するトランジスタ間に電氣的ショートが起こりトランジスタの正常動作は望めない。(2) エピタキシャルシリコン端部形状は、選択エピタキシャルシリコン成長工程後のイオン注入工程やシリサイド形成工程に影響する。エピタキシャルシリコン端部にファセットが発生し局所的に膜厚が薄くなった場合、ソース・ドレイン（S/D）領域やシリサイド膜の深さ方向の均一性が失われ、トランジスタの電気特性が向上せず、逆に劣化させてしまう可能性がある[10]。

本章では、エレベイテッドソース・ドレイン構造を実用化するため、選択エピタキシャル成長プロセスに係わる選択性およびエピタキシャルシリコン端部形状の制御性を明らかにする。まず、選択的エピタキシャルシリコン（SEG-Si）を成長させるために用いた UHV-CVD（Ultra-high Vacuum Chemical Vapor Deposition）装置について説明した後、材料ガスにジシラン（ Si_2H_6 ）のみを用いた場合、非選択領域（シリコン酸化膜（ SiO_2 ）およびシリコン窒化膜（ Si_3N_4 ））と Si(100)基板にどのような成長が起きるかを説明する。 SiO_2 膜、 Si_3N_4 膜は MOS デバイスのサイドウォールや素子間の分離領域に用いられる材料である。つぎに SEG-Si 端部の成長条件依存性およびその形成メカニズムについて、明らかにした内容を述べる。最後に、 Si_2H_6 ガスに塩素（ Cl_2 ）ガスを添加することにより、 Si_3N_4 膜上のポリ Si の発生を抑制して選択性の向上を図り、その際の SEG-Si 形状のプロセス条件依存性についても調べた。 Si_3N_4 膜は、 SiO_2 膜より峻別が難しいことが知られている[1]。

2-2 UHV-CVD 装置

本研究に用いた単枚処理方式 UHV-CVD 装置（エア・ウォーター社製 VCE シリーズ）の成長チャンバー部の構造を図 2.1 に示す。チャンバーはステンレス製で、シール部分は全てメタルシールである。真空室内を試料であるシリコンウエハで上下に仕切り、ウエハ表面側（反

応室)と裏面側(加熱室)を別々の大容量ターボ分子ポンプで排気する(2室分離構造)。反応室には原料ガスをウエハ全面に均一に供給するシャワーヘッド、加熱室にはウエハを輻射加熱するためのヒータおよびリフレクタが設置されている。チャンバー壁面およびシャワーヘッド部には水冷管が配されている。この構造により、ヒータやウエハ裏面からの脱ガスの影響をウエハ表面側では受けにくく、チャンバー壁面からの脱ガスも抑制されるため、加熱中においてもウエハ表面側の圧力を $\sim 10^{-7}$ Paの高真空状態に保持することが可能である。

シャワーヘッド内部は2室に仕切られており、上部には Cl_2 ガスが、下部には Si_2H_6 ガスがそれぞれ供給される。これらのプロセスガスは、シャワーヘッド内部の各室で一旦拡散し、ダブルノズル構造のヘッドからウエハにそれぞれ供給される。このシャワーヘッド構造により異なるガス分子がシャワーヘッド内部で衝突せず、直接ウエハ面上に供給されるため、シャワーヘッド壁面に反応生成物が堆積しにくい。なお、原料ガスがウエハ裏面側に回り込まないために、ウエハ裏面上にポリSiが堆積しない利点も持つ。

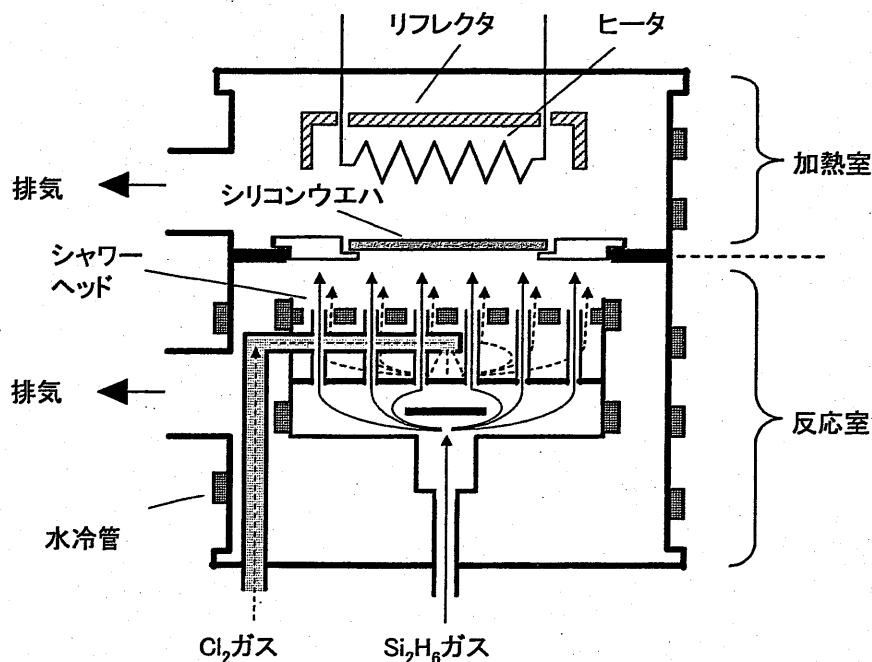


図2.1 成長チャンバーの構造

本研究には VCE シリーズの中でも最新鋭のモデル VCE-S3308MS を用いた。図 2.2 は VCE-S3308MS の概観、図 2.3 はフローシートをそれぞれ示す。VCE-S3308MS は、ロードロック室、成長チャンバーおよびローディング室の 3 チャンバーで構成されている。ロードロック室は 8 インチウエハを 12 枚収容することができる。ローディング室はロードロック室ー成長チャンバー間にウエハを搬送するロボットアームが収納されている。ウエハ搬送およびエピタキシャル成長プロセスは自動操作される(図 2.2)。

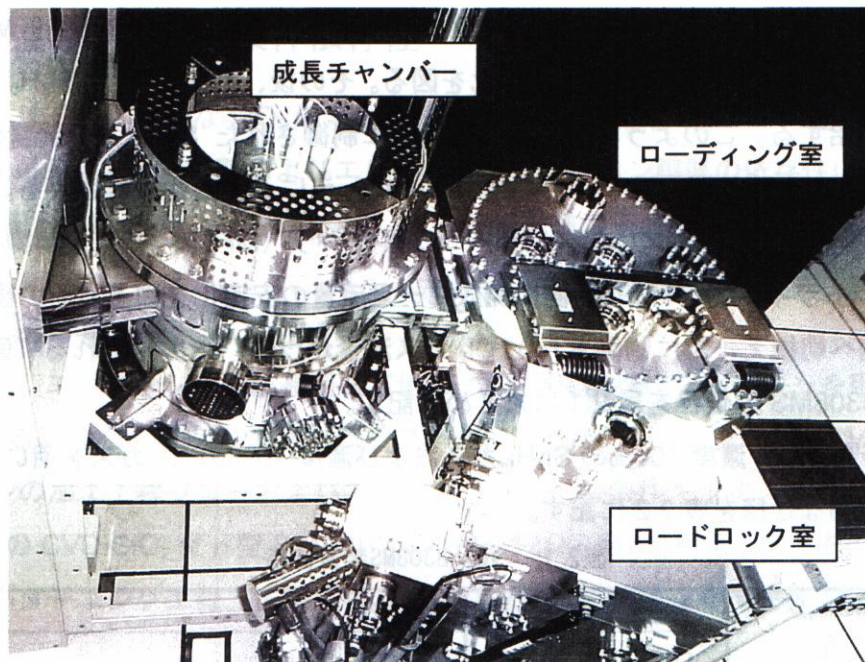


図2.2 VCE-3308MS概観写真

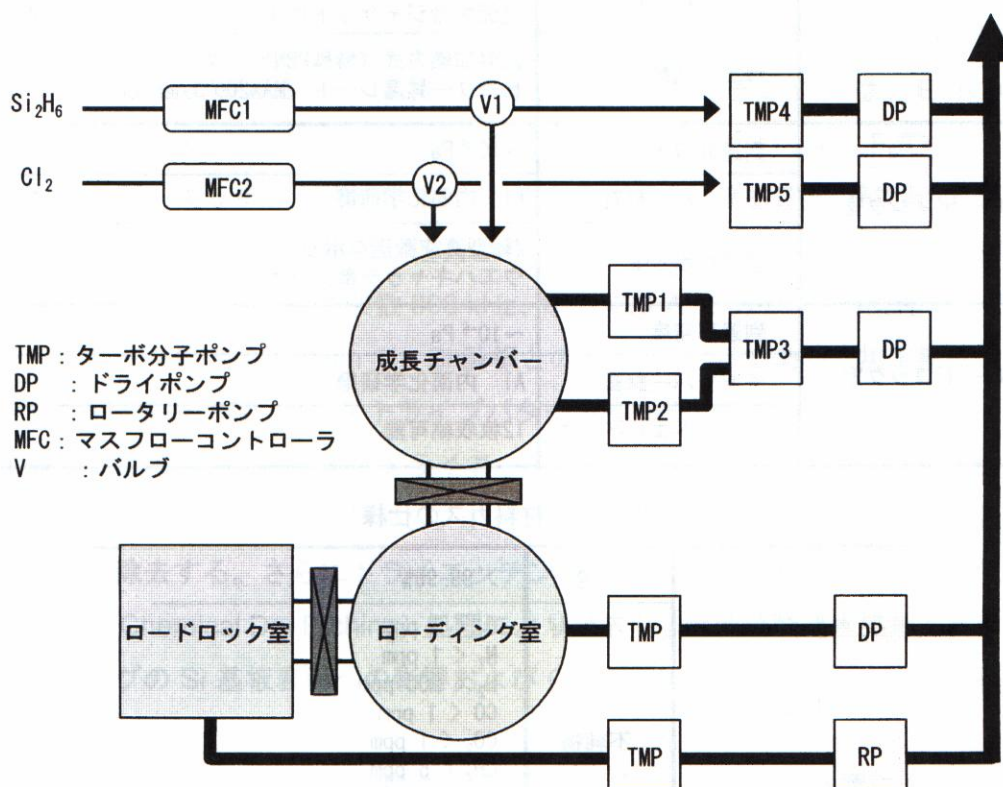


図2.3 VCE-3308MSのフローシート

成長チャンバーの加熱室および反応室に直接連結しているターボ分子ポンプ（TMP1 および TMP2）の後段には、さらにターボ分子ポンプ（TMP3）を連結し、タンデム排気することにより到達真空度 $\sim 10^{-8}$ Paを達成している（図2.3）。

Si_2H_6 ガスは、マスフローコントローラ（MFC1）で流量制御され、成長チャンバーへ供給される。エピタキシャルシリコン膜厚の高い再現性を得るためには、常に安定かつ正確な流

量を実現する必要がある。そのため、バルブ（V1）を一旦ベントライン側（TMP4 側）に開放し、 Si_2H_6 ガスの圧力および流量の安定化を図る。その後、V1 を切換え Si_2H_6 ガスを成長チャンバーへ供給する。このような操作により、常に制御された Si_2H_6 ガス流量がウエハへ供給される。なお、一連の操作はすべて内蔵コントローラにより自動操作される。 Cl_2 ガスの供給についても同様で、 Cl_2 ガスはマスフローコントローラ（MFC2）で流量制御され、バルブ（V2）をベントライン側（TMP5）側に開放し一旦流量の安定化を図る。その後、V2 を成長チャンバー側へ切換え、常に制御された Cl_2 ガス流量がウエハへ供給される（図 2.3）。その他の VCE-S3308MS の仕様を表 2.1 にまとめて記す。

なお、本研究には、濃度 100% の Si_2H_6 ガスおよび濃度 10% の Cl_2 ガスを用いた。これらの材料ガスの詳細な仕様を表 2.2 に記す。

表2.1 VCE-3308MS装置仕様

成長チャンバー	到達真空度	$\sim 10^{-8}$ Pa
	ウエハサイズ	$\phi 200\text{mm}$ (8inch)
	チャンバー材質	SUS316 内面電解研磨 壁面水冷ジャケットによるコールドウォール型
	ウエハ加熱	輻射加熱方式（特殊 PBN ヒーター） ヒーター昇温レート MAX200°C/min 以上
ローディング室	到達真空度	$\sim 10^{-6}$ Pa
	チャンバー材質	Al 内面化学研磨
	搬送ロボット	2軸型真空搬送ロボット ウエハキャッチ部分はセラミック製
ロードロック室	到達真空度	$\sim 10^{-6}$ Pa
	チャンバー材質	Al 内面化学研磨
	カセットエレベータ	12枚収納可能

表2.2 材料ガスの仕様

Si_2H_6	純度	> 99.95%
	不純物	$\text{O}_2 < 1 \text{ ppm}$ $\text{N}_2 < 1 \text{ ppm}$ $\text{H}_2 < 200 \text{ ppm}$ $\text{CO} < 1 \text{ ppm}$ $\text{CO}_2 < 1 \text{ ppm}$ $\text{CH}_4 < 5 \text{ ppm}$ $\text{SiH}_4 < 200 \text{ ppm}$ $\text{Si}_3\text{H}_8 < 50 \text{ ppm}$ $\text{H}_2\text{O} < 1 \text{ ppm}$ (-76°C)
Cl_2 10%/Ar	純度	> 99.99%
	不純物	$\text{O}_2 < 20 \text{ ppm}$ $\text{N}_2 < 50 \text{ ppm}$ $\text{H}_2\text{O} < 30 \text{ ppm}$ (-52°C)
	混合精度	Cl_2 9~11%/Ar

2-3 選択性のプロセス条件依存性

本節では、はじめに単純な SiO_2 のストライプパターン付 Si(100)ウエハを用いて、 Si_2H_6 流量と、選択性が保持される時間およびエピタキシャルシリコン膜厚の依存性について調べる。つぎに SiO_2 膜および Si_3N_4 膜の材質の違いによる選択性の違いについて述べる。

2-3-1 実験方法

本実験では、エピタキシャル成長用の下地 Si ウエハには複雑なパターンを用いず、単純な CVD- SiO_2 あるいは CVD- Si_3N_4 のストライプパターンを用いた。図 2.4 は、CVD- SiO_2 ストライプパターンの加工工程フローおよびエピタキシャル成長条件を示す。まず、サンプルには 250 nm 膜厚の CVD- SiO_2 付 p 型 Si(100)ウエハ($8\sim 12\ \Omega\cdot\text{cm}$)を用意した。その後のプロセスフローは、パターニング工程、洗浄工程、および選択エピタキシャル成長工程の、3 工程に大別される。

パターニング工程では、ウエハ上にフォトレジストをコーティングし、リソグラフィー法により、フォトレジストをストライプ状に成形する。その後、ドライエッチング法により CVD- SiO_2 をストライプパターンに加工する。ドライエッチングには、ECR (Electron Cyclotron Resonance) 方式のエッチング装置を、エッチングガスには $\text{C}_4\text{F}_8/\text{O}_2$ プラズマを用いて行った。なお、エッチング時間は 58 sec である。この場合、 C_4F_8 ガスと O_2 ガスの流量は、それぞれ 28 sccm*と 14 sccm で、圧力は 0.1 Pa である。また、マイクロ波周波数は 2.45 GHz、電力は 1.6 kW、バイアス周波数 800 kHz、電力 420 W である。この条件での CVD- SiO_2 のエッチングレートは 390 nm/min で、Si 基板との選択比は 50 である。加工形状は、ストライプパターン間の間隔 600 nm、ストライプパターン幅 500 nm である。

つぎに洗浄工程について述べる。ドライエッチング後の Si ウエハ表面には、炭化フッ素系のポリマーが堆積している。そのため、フォトレジストとともに O_2 プラズマ処理および硫酸過水処理により除去する。さらにドライエッチングの際、Si 基板表面上に発生したアモルファス層を CDE (Chemical Dry Etching) 処理により除去し、再度硫酸過水処理を行う。なお、ドライエッチングの Si 基板表面への影響および CDE 処理の効果については、次章 3-2 節で詳細に述べる。

最後に選択エピタキシャル成長工程について説明する。UHV-CVD 装置に Si ウエハを導入する前に、典型的な RCA 洗浄により Si ウエハ上に付着したパーティクルや汚染物を除去する。つぎに、100:1 の稀フッ酸溶液に 60 sec 浸漬し、自然酸化膜を除去する。その後、速みやかに UHV-CVD 装置に Si ウエハを導入する。ウエハに付着した水分や自然酸化膜を除去するためエピタキシャル成長を始める直前に 850°C で 3 min 間プレヒートを行った後、成長温

* sccm: standard cc/min、1 atom、0°C で規格化された流量 (cc/min) を示す。

度 600°Cにおいて Si_2H_6 流量 0.5~3.0 sccm で、エピタキシャル成長を 3~30min 間行った。

なお、CVD- Si_3N_4 膜をストライプ状に加工する場合は、サンプルには 250 nm 膜厚の CVD- Si_3N_4 付 p 型 $\text{Si}(100)$ ウエハ(8~12 $\Omega \cdot \text{cm}$)を用いた。ドライエッチングには、平行平板方式のエッチング装置に、 CHF_3/Ar プラズマを用いて行った。他の加工工程およびエピタキシャル成長条件は、CVD- SiO_2 をストライプ状に加工する場合と同様である。SEG-Si 成長後の形状および膜厚の測定には、SEM (Scanning Electron Microscope) を用いた。

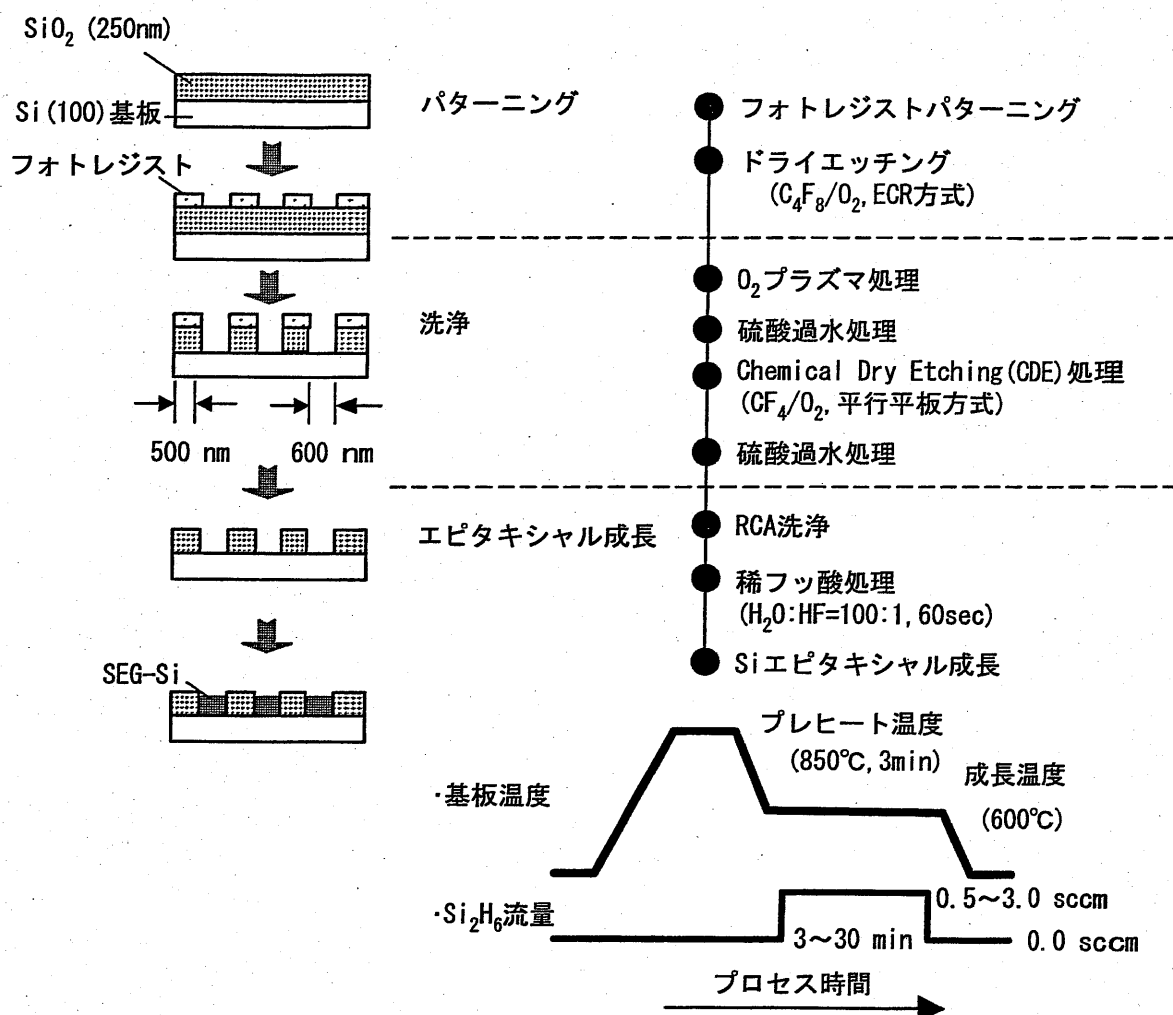


図2.4 加工工程フローおよびエピタキシャル成長条件

2-3-2 シリコン酸化膜に対する選択性のプロセス条件依存性

CVD- SiO_2 ストライプパターン付 Si ウエハ上に、成長温度 600°C、 Si_2H_6 流量 0.5 sccm で成長時間を 10~30 min に変え、エピタキシャル成長を行った。図 2.5 はその成長過程に対応するウエハの、 $\langle 110 \rangle$ 方向の断面 SEM 像を示す。図中、破線は、 Si 基板面と CVD- SiO_2 パターンとの界面を示す。以下の変化を観測した。

- 成長時間が 10 min の場合、 Si 基板面に SEG-Si 層が成長している。また、CVD- SiO_2 膜上にはポリ Si の堆積もなく、 Si 基板面上と CVD- SiO_2 膜上との選択性が完全に保持され

ている（図 2.5(a)）。

- 成長時間が 20 min の場合には、CVD-SiO₂ 膜上に若干のポリ Si が観察され、CVD-SiO₂ 膜と Si 基板との選択性は保持されていない（図 2.5(b)）。
- 成長時間 30 min の場合には、SEG-Si 層は成長を続けており、CVD-SiO₂ 膜上のポリ Si の数量も粒径も増大している（図 2.5(c)）。

これらの結果から、エピタキシャル成長初期には、CVD-SiO₂ 膜との選択性が保持されながら、エピタキシャル成長は進行するが、一定時間を過ぎると CVD-SiO₂ 膜上にポリ Si が発生し選択性は保持されなくなることが分かる。

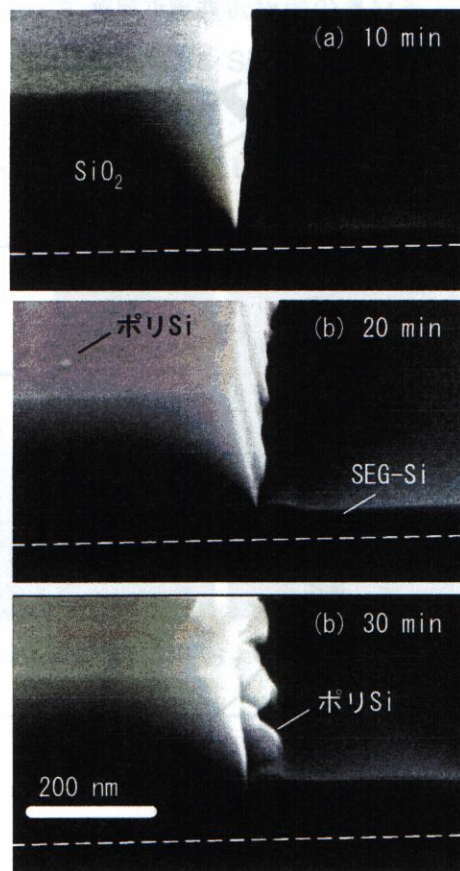


図2.5 SEG-Si成長およびポリSi発生過程

さらに Si₂H₆ 流量と選択性が保持される限界の関係について調べた。図 2.6 は、CVD-SiO₂ ストライプパターン付ウエハを用いて、成長温度 600°Cにおける Si₂H₆ 流量 0.5～3.0 sccm の臨界時間および臨界膜厚を調べた結果である。なお、選択性が保持されなくなるまでの時間を臨界時間、臨界時間まで成長した SEG-Si 膜厚を臨界膜厚と、それぞれ定義する。黒丸（●）は臨界時間内を示し、CVD-SiO₂ 膜上にポリ Si がいない状態である。バツ印（×）は臨界時間を超過し、CVD-SiO₂ 膜上にポリ Si が存在する状態を示す（図 2.6(a)）。臨界時間と成長速度から求めた臨界膜厚の Si₂H₆ 流量依存性を示す（図 2.6(b)）。なお、臨界時間内および超過は、SEM 像の観察において、CVD-SiO₂ 上に最小粒径～2nm のポリ Si の有無により判定した。

特徴的であるのは、臨界時間が Si₂H₆ 流量に逆比例していることである。これは、臨界膜

厚に達するまでに CVD-SiO₂ 膜に供給される Si₂H₆ ガスの全量を F_c とし、 F を Si₂H₆ 流量、 t_c を臨界時間とした場合、 $F_c = F \times t_c$ の関係があることを意味している[1]。

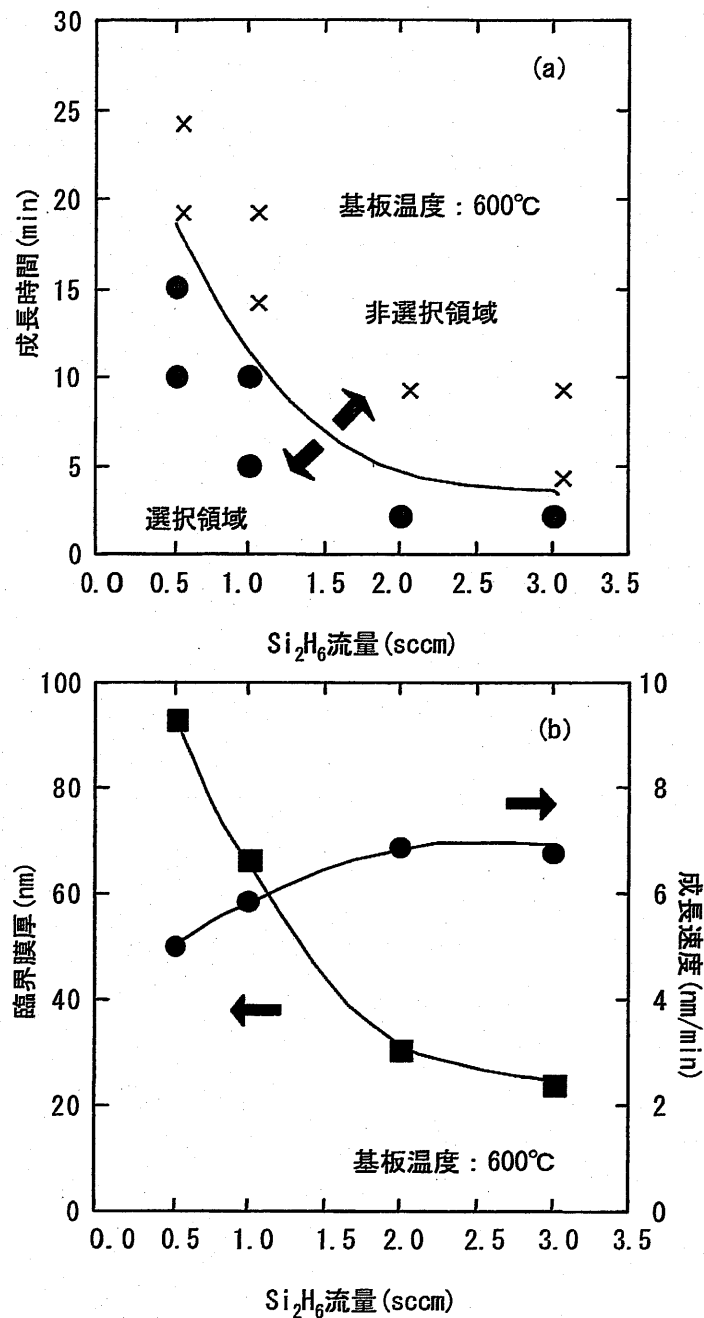


図2.6 臨界時間、臨界膜厚および成長速度のSi₂H₆流量依存性

2-3-3 材質の違いによる臨界時間の比較

非選択領域に用いる材質の違いによる臨界時間を比較する。図 2.7 は、ストライプパターンの材質が CVD-SiO₂ 膜、あるいは CVD-Si₃N₄ 膜である場合に、成長温度 600°C、Si₂H₆ 流量 0.5 sccm および成長時間 10 min でエピタキシャル成長を行った後の SEM 像を示す。

- CVD-SiO₂ 膜上にはポリ Si の堆積はみられない。CVD-SiO₂ 膜と Si 基板との選択性が保

持されていることは明らかである（図 2.7(a)）。

- CVD-Si₃N₄ 膜上にはポリ Si が堆積しており、CVD-Si₃N₄ 膜と Si 基板との選択性が保持されていない（図 2.7(b)）。

さらに臨界時間を比較した。図 2.8 は、Si₂H₆ 流量 0.5 sccm、成長時間 600℃とした場合の CVD-SiO₂ 膜と CVD-Si₃N₄ 膜のストライプパターン上のポリ Si 膜厚と成長時間の関係を示す。なお、CVD-SiO₂ 膜および CVD-Si₃N₄ 膜上に堆積したポリ Si 膜厚は、断面 SEM 像により計測した。図 2.8 において、ポリ Si 膜厚の測定結果から屈折点を臨界時間とした場合、非選択領域が CVD-SiO₂ 膜の場合の臨界時間は 20 min である。一方、CVD-Si₃N₄ 膜の場合には 3 min であった。このような選択性の違いは、非選択領域の各材質と材料ガスの Si₂H₆ との反応性の違いと考えられている[1]。CVD-SiO₂ 膜に Si₂H₆ ガスを供給した場合、Si₂H₆ ガスが分解した吸着分子と CVD-SiO₂ 膜との間の還元反応： $\text{Si} + \text{SiO}_2 \rightarrow 2\text{SiO}$ により揮発性の SiO が発生する。そのため Si 吸着分子が SiO₂ 上に定着しにくく、結果的に臨界時間が長くなる。しか

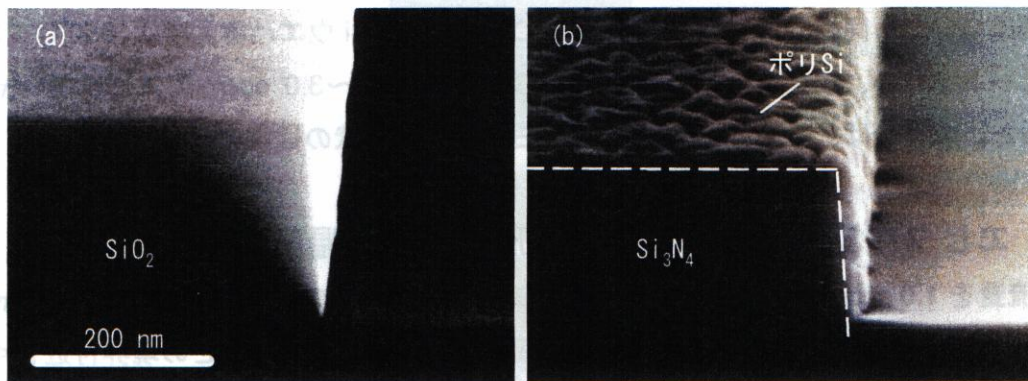


図2.7 非選択領域材質（SiO₂およびSi₃N₄）による選択性の違い

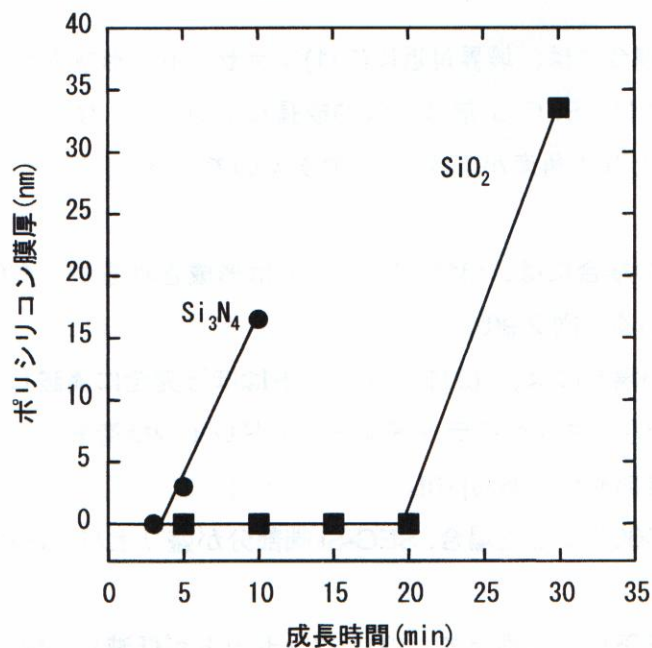


図2.8 非選択領域上（SiO₂およびSi₃N₄）のポリシリコン膜厚の成長時間依存性

し、 Si_3N_4 膜の場合は、このような反応がなく吸着 Si が再度気化しにくいために比較的臨界時間が短くなる[3]。このように、臨界膜厚は非選択領域の材質に依存することが分かる。

2-4 エピタキシャルシリコン端部形状のプロセス依存性

本章冒頭に、エレベイテッドソース・ドレイン構造トランジスタにおける SEG-Si の端部形状の重要性について述べた。本節では、CVD- SiO_2 膜ストライプパターン近傍の SEG-Si 形状のプロセス条件依存性について調べ、その結果に基づき SEG-Si 端部形状の形成モデルについて考察する。

2-4-1 実験方法

SEG-Si 層を成長するための下地のパターン付ウエハには、前節で用いたものと同様の 250nm-CVD- SiO_2 膜のストライプパターン付 Si(100)を用いた。なお、エピタキシャル成長前の前処理についても同様である(図 2.4)。UHV-CVD 装置に Si ウエハ導入後は、850°C で 3 min 間プレヒートを行い、成長温度 600~700°C、 Si_2H_6 流量 0.5~3.0 sccm でエピタキシャル成長を行った。成長後は、断面 SEM を用いて SEG-Si 端部形状の観察を行った。

2-4-2 エピタキシャルシリコン端部形状の成長温度依存性

Si_2H_6 流量を 1.0 sccm に固定し、成長温度のみを 600~700°C の範囲で、エピタキシャル成長を行った。図 2.9 は、SEG-Si 層と CVD- SiO_2 膜のストライプパターンとの境界付近を<110>方向からみた断面 SEM 像を示す。SEG-Si 形状の成長温度依存性を観察した結果、以下のようになった。

- 成長温度 700°C の場合には、境界付近に(311)ファセットが形成され、CVD- SiO_2 ストライプパターン近傍では、SEG-Si 層は比較的成長していない。なお、ファセットの種別に関しては、(100)面となす角度がほぼ 25° であるので、(311)ファセットと判断した(図 2.9(a))。
- 成長温度が 650°C の場合には、(311)ファセットは形成されるが、700°C の場合に比べてかなり低減されている(図 2.9(b))。
- 成長温度が 625°C の場合には、(311)ファセットはほぼ完全に消滅し、SEG-Si 形状は平坦になる(図 2.9(c))。エレベイテッドソース・ドレイン構造トランジスタにとっては、理想的な SEG-Si 端部形状である[10]。
- 成長温度を下げた 600°C にした場合、SEG-Si 端部分が盛り上がったバンプが形成される(図 2.9(d))。

このように成長温度を下げるに従って、(311)ファセットが低減し、SEG-Si 形状は平坦になる。さらに、成長温度を下げると特徴的なバンプが発生する。

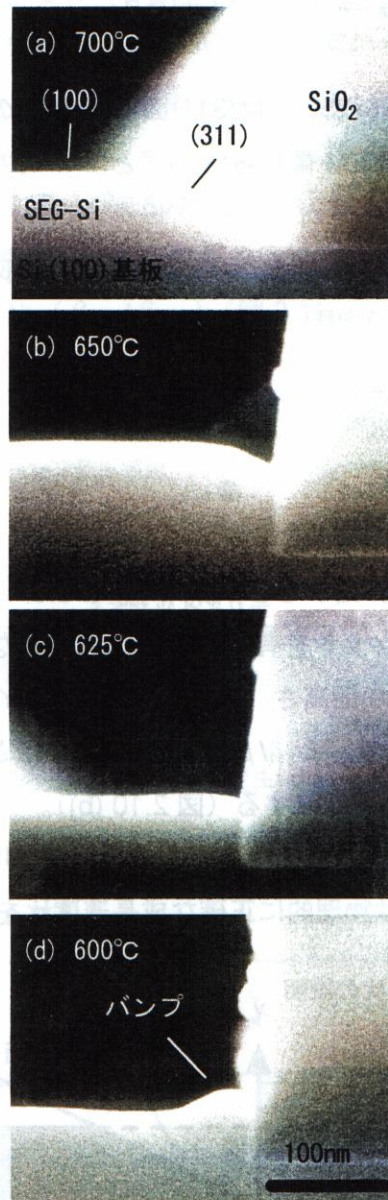


図2.9 SEG-Si形状の成長温度依存性

2-4-3 成長速度比の定義

SEG-Si 端部形状を定量的に評価するため、成長速度比を定義する。図 2.10 を用いて、(100) 面成長速度 (β_{100})、(311)面成長速度 (β_{311})、および成長速度比 (β_{311}/β_{100}) の算出方法を説明する。(100)面および(311)面の成長速度が成長時間により変化しないと仮定した場合、各面の高さは時間と位置の関数で表すことができる[4]。CVD-SiO₂ 膜と SEG-Si 膜および Si 基板との接点を原点とし、高さ方向を Y ((100)方向)、原点からの基板面内の位置を X ((110)方向)とする。(100)面高さ (Y_{100}) と(311)面高さ (Y_{311}) をそれぞれ以下の式で示すことができる (図 2.10(a))。

$$Y_{100}(t_g) = \beta_{100} \cdot t_g \quad (2-1)$$

$$Y_{311}(x, t_g) = (\tan \theta_{311}) \cdot x + \beta_{311} \cdot t_g / \cos \theta_{311} \quad (2-2)$$

なお、 t_g は成長時間、 θ_{311} ($\approx 25^\circ$) は(311)面と(100)面のなす角をそれぞれ示す。よって、図 2.10(a)と同一構図の断面 SEM 像から(2-1)式と(2-2)式の直線を求め、 β_{311} 、 β_{100} を算出することができる。

SEG-Si 形状が平坦になる場合には、 $x=0$ (SEG-Si 端部)における高さが(2-1)と(2-2)式で一致している。すなわち、

$$Y_{100}(t_g) = Y_{311}(0, t_g) \quad (2-3)$$

となる。

(2.3)式から、 β_{311}/β_{100} を算出すると β_{311}/β_{100} (≈ 0.9) は一定になる (図 2.10(c))。

SEG-Si 端部に(311)ファセットを有する場合には、すなわち、原点($x=0$)において (311)面高さ ($Y_{311}(0, t_g)$) が、(100)面高さ (Y_{100}) より低い ($Y_{100}(t_g) > Y_{311}(0, t_g)$)。この場合、 $\beta_{311}/\beta_{100} < 0.9$ となる。つまり、 β_{311}/β_{100} の値が低いほど、(311)ファセットは大きく、0.9 に近づくほど平坦になることを意味する (図 2.10 (b))。

バンプを有する場合、同様に、 $Y_{100}(t_g) < Y_{311}(0, t_g)$ となり、 $\beta_{311}/\beta_{100} > 0.9$ となる (図 2.10 (d))。この場合、 β_{311}/β_{100} は物理的に正確な成長速度比を表してないが、バンプを有する形

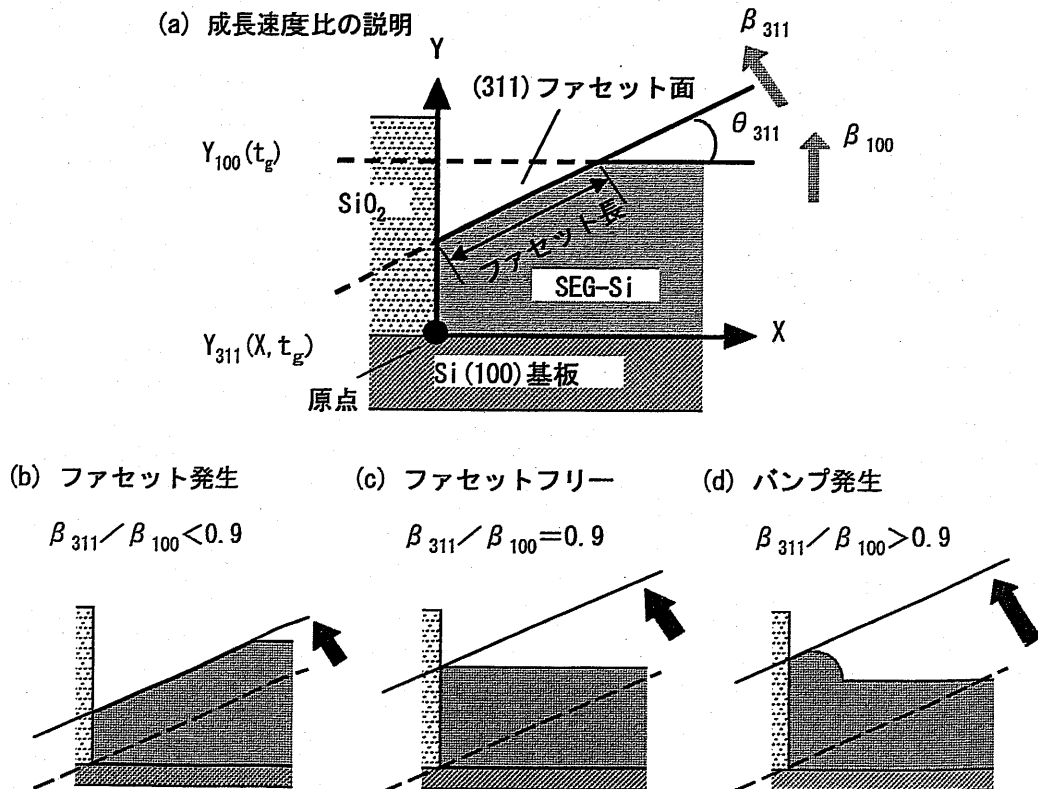


図2. 10 成長速度比およびSEG-Si端部形状の説明

状を便宜的に表すことができる。すなわち、 β_{311}/β_{100} の値により SEG-Si 端部の形状を定量的に評価することが可能である。なお、ここで SEG-Si 端部から(311)面が(100)面と交差するまでの(311)面の長さをファセット長と定義する (図 2.10(a))。

2-4-4 エピタキシャルシリコン端部形状の成長条件依存性

SEG-Si 形状のプロセス条件依存性を調べた結果を図 2.11 に示す。成長温度 600~700℃をパラメータとした場合の成長速度比 (β_{311}/β_{100}) (図 2.11(a)) と、(100)面成長速度 (β_{100})

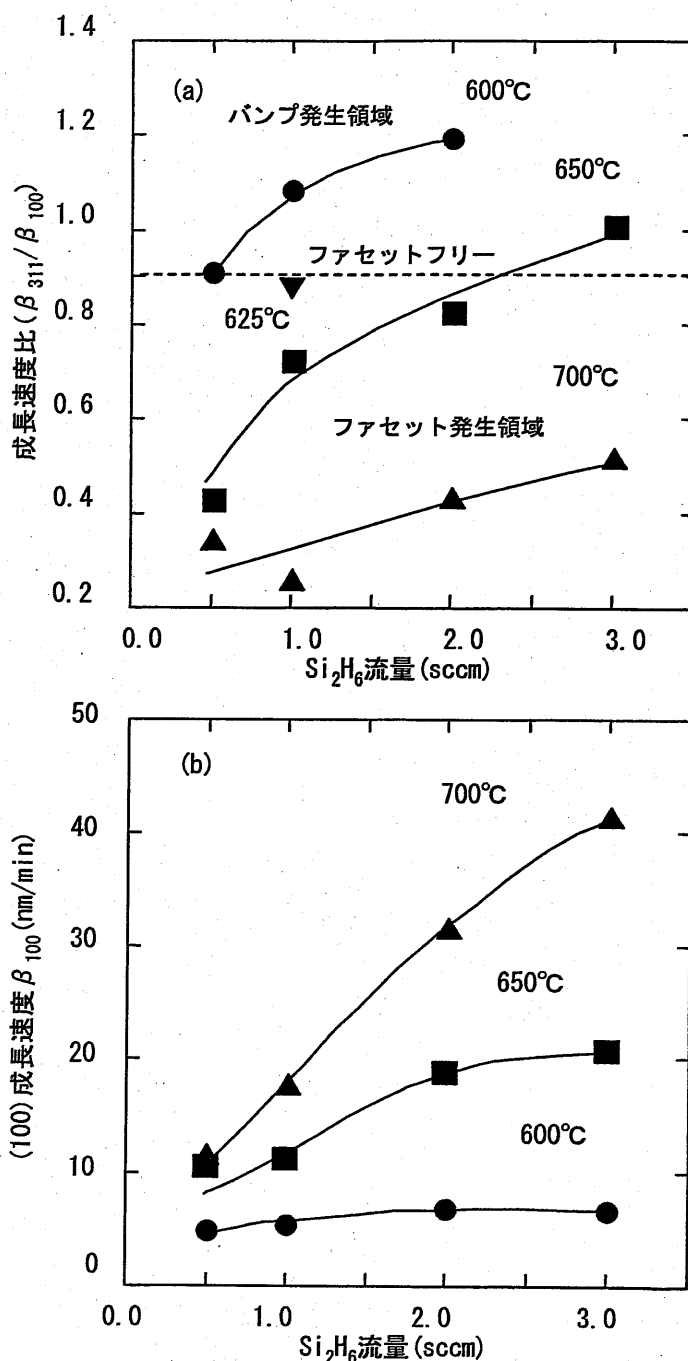


図2.11 SEG-Si形状および(100)成長速度の Si_2H_6 流量依存性

(図 2.11(b)) の Si_2H_6 流量依存性をそれぞれ示す。なお、SEG-Si 端部に(311)ファセットが発生する場合、さらに成長時間を延長すると、(111)ファセットが発生し、(311)および(111)ファセットの2重のファセット構造になる [6]。そのため、成長速度比を算出する際は、成長時間を(111)ファセットが発生する前に限定した。以下の温度依存性があった。

- 成長温度 600°Cにおいて SEG-Si 端部には、常にバンプが発生する。
- 成長温度 700°Cにおいて SEG-Si 端部には、常に(311)ファセットを有する。

いずれの場合においても成長速度比の値の変化はあるものの SEG-Si 形状の形態の変化(ファセットを有する形状からバンプを有する形状への変化など)はなく、成長温度に依存している。しかし、

- 成長温度 650°Cにおいて、SEG-Si 端部形状は Si_2H_6 流量に強く依存し、2.3 sccm 以下では(311)ファセットを有するが、2.3 sccm を超えるとバンプを有する。

さらに、注意深く観察すると、成長速度比は(100)面成長モードにも依存していることが分かる。成長温度 600°Cでは、(100)面成長速度が Si_2H_6 流量に依存せず、 Si_2H_6 ガスと表面 Si との表面反応速度に依存する表面反応律速領域であり、成長温度 700°Cでは(100)面成長速度が Si_2H_6 流量に比例する供給律速領域である。特に注目すべき点は、650°Cにおいては、 Si_2H_6 流量が 2.3 sccm 以下の供給律速領域では(311)ファセットを有し、2.3 sccm を超え表面反応律速領域ではバンプを有している (図 2.11)。すなわち、

- (100)面成長モードが供給律速領域である場合、SEG-Si 端部にファセットが発生し、
- (100)面成長モードが表面反応律速領域である場合、SEG-Si 端部にバンプを有する。

このように、SEG-Si 端部形状は(100)面成長モード依存性がみられる。

2-4-5 エピタキシャルシリコン端部形成についての考察

本節では上記に示した SEG-Si 層の端部形状の(100)面成長モード依存性について考察する。図 2.12 は成長温度 650°Cにおける SEG-Si 端部の形成モデルを示す。図 2.12(a)は SEG-Si 端部にファセットが発生する場合 (供給律速領域)、図 2.12(b)はバンプが発生する場合 (表面反応律速領域) を、それぞれ示している。各々の場合において、図左側は CVD- SiO_2 のストライプパターンと SEG-Si の近傍を、右側は SEG-Si 表面の分子レベルでの挙動およびモホロジーを、それぞれ示している。図中、黒丸 (●) は Si_2H_6 分子がウエハ表面上で分解して発生した吸着分子を示す。 F_{DS} は直接 Si 表面に供給される Si_2H_6 分子流、 F_{ad} は吸着分子が、CVD- SiO_2 ストライプパターン上から Si(100)基板面へ流入する分子流を、それぞれ示す。 λ_s は、吸着分子の Si 上における表面拡散距離である。

Si 結晶の表面エネルギーに関して、(111) < (311) < (100)の関係があることが知られており [2]、そのため Si(100)基板上に SEG-Si 層を成長した場合、全表面自由エネルギーを最小にしようとする熱力学的効果 (表面自由エネルギーの最小化効果) により、SEG-Si 端部に(111)および(311)ファセット面が発生することが報告されている [8]。さらに、Li らは、SEG-Si 形

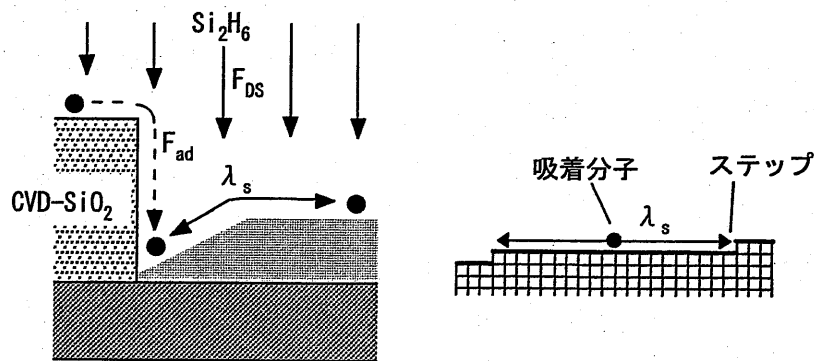
状は表面自由エネルギーの最小化効果のみならず、 Si_2H_6 が表面上で分解した吸着分子の表面拡散距離と表面自由エネルギーの最小化効果により決定されることを報告している[5]。

本研究においても吸着分子の表面拡散距離と表面自由エネルギーの最小化効果が SEG-Si 端部形状の形成に影響を及ぼしたものと考えられ、Li らのモデルに CVD- SiO_2 ストライプパターン上から流入する吸着分子の効果を加え、つぎに示す SEG-Si 端部形状の形成モデルを提案する。

SEG-Si 端部にファセットが発生する場合、すなわち供給律速領域において、(100)面成長速度は Si_2H_6 流量 F_{DS} に比例する。本実験において F_{DS} 流量 0.5 sccm、成長温度 650°C、成長時間 20 min の場合、(311)ファセットのファセット長 (図 2.10(a)参照) は 250 nm であった。(311)ファセットを形成するためには、 λ_s は少なくともファセット長を越えると思積もることができる。それゆえ、吸着分子は、少なくとも 250 nm 以上の λ_s 値を有し、比較的 Si 表面上を自由に移動できると判断される。結果的に(311)ファセットが発生し、全自由エネルギーを低減するのに寄与している[6]。この際、 F_{ad} は、 λ_s が比較的に大きいため SEG-Si 端部には滞留せず、SEG-Si 形状には影響しないものと考えられる。

一方、SEG-Si 端部にバンプが発生する場合、すなわち表面反応律速領域において、(100)面成長速度は F_{DS} 流量に比例しない。そのため、エピタキシャル成長に寄与できない吸着分子は Si 表面上で飽和すると考えられる。供給律速領域に比べ、二次元アイランド成長の頻度

(a) 供給律速領域



(b) 反応律速領域

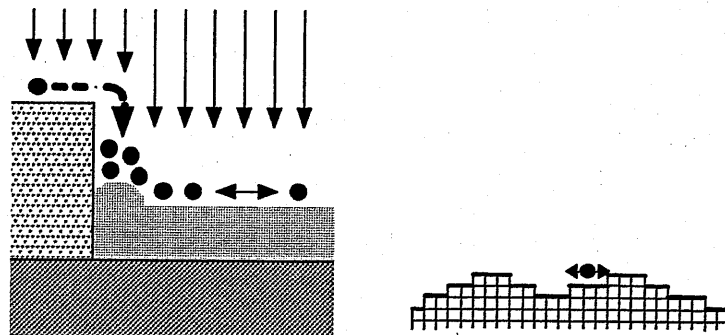


図2.12 SEG-Si形状形成モデル

が増加し、さらに各々のアイランドは多層化する(図 2.12(b)) [7]。そのため、ステップ密度が増加し、 λ_s は縮小されるものと考えられる。言い換えると、吸着分子は、容易にステップ(準安定な位置)に辿りつけるため、長距離を移動する必要がない。ファセット形成の牽引的な役割を担ってきた吸着分子の移動距離が制限されるため、(311)面成長速度が上昇していると考えられる。さらに F_{ad} の効果について述べる。 F_{ad} 流量は、 F_{DS} 流量に比例するため、供給律速領域の方が表面反応律速領域に比べ多くなるはずである。それゆえ、SEG-Si 端部分に、吸着分子が過剰に供給される状態になる。また、表面反応律速領域においても、 Si_2H_6 流量増加に伴い、僅かに(100)面成長速度が上昇することを確認できる(図 2.11(b))。すなわち、過剰に吸着分子が供給される場合、エピタキシャル成長に寄与する吸着分子が僅かながら増加する。SEG-Si 端部においても同様に、SEG-Si 端部に局所的に存在する吸着分子が成長速度の上昇を招き、パンプを発生させていると考えられる。

2-5 Cl_2 添加による選択性改善および形状依存性

2-3 節で非選択領域が CVD- Si_3N_4 膜の場合、臨界時間は CVD- SiO_2 膜の場合に比べ、1/6 以下になることを述べた。サイドウォールに Si_3N_4 膜を用いる場合、 SiO_2 膜と同等レベルの臨界時間(臨界膜厚)であるのが望ましい。材料ガスである Si_2H_6 に塩素(Cl_2)を添加すると臨界時間が延長することが知られている[8]。 Si_3N_4 膜上の Si_2H_6 ガスの吸着分子と Cl_2 ガスの吸着分子が反応し、揮発性の化合物($SiCl_x$ ($1 \leq x \leq 4$))を生成し、臨界時間が延長することが報告されている[9]。本節では、 Si_2H_6 ガスに Cl_2 ガスを添加することにより Si_3N_4 膜(非選択領域)に対する臨界膜厚の改善を図り、同時に良好な SEG-Si 端部形状が得られるかを調べる。

2-5-1 実験方法

図 2.13 に SEG-Si 形状評価用の n -MOS トランジスタ形状の作製フローと、エピタキシャル成長条件を示す。なお、Si 基板には p 型 Si(100)ウエハ($8 \sim 12 \Omega \cdot cm$)を用いた。作製フローは、ゲート電極形成工程、Extension-S/D 形成工程、サイドウォール形成工程および選択エピタキシャル成長工程の 4 段階に大別される。なお、今回の実験では電気特性の評価は行わないので、素子分離領域などは作製せずゲートおよび S/D 周辺の構造のみを作製した。

- (a) ゲート電極形成工程において、ゲート酸化膜(2.5 nm)を熱酸化法により形成した後、CVD-ポリ Si (200 nm) および CVD- SiO_2 (80 nm) を堆積する。
- (b) フォトレジストを塗布し、リソグラフィー法によりフォトレジストをゲート電極パターンに成型する。その後、ドライエッチング法により、ポリ Si をゲート電極パターンに加工する。
- (c) Extension-S/D 形成工程において、As イオンを加速エネルギー 10 keV で $4.0 \times$

10^{14} ions/cm² 注入する。

- (d) サイドウォール形成工程において、CVD-Si₃N₄ サイドウォール形成のため、5 nm-CVD-SiO₂ 膜および 50 nm-CVD-Si₃N₄ 膜を CVD 法により連続的に堆積する。
- (e) Cl₂ プラズマにより CVD-Si₃N₄ および CVD-SiO₂ をエッチバックし、サイドウォールを形成する。さらに、エッチバック中に発生したポリマーを除去するため、O₂ プラズマ処理、硫酸過水処理を行う。
- (f) 最後に選択エピタキシャル成長工程において、UHV-CVD 装置に Si ウエハを導入する

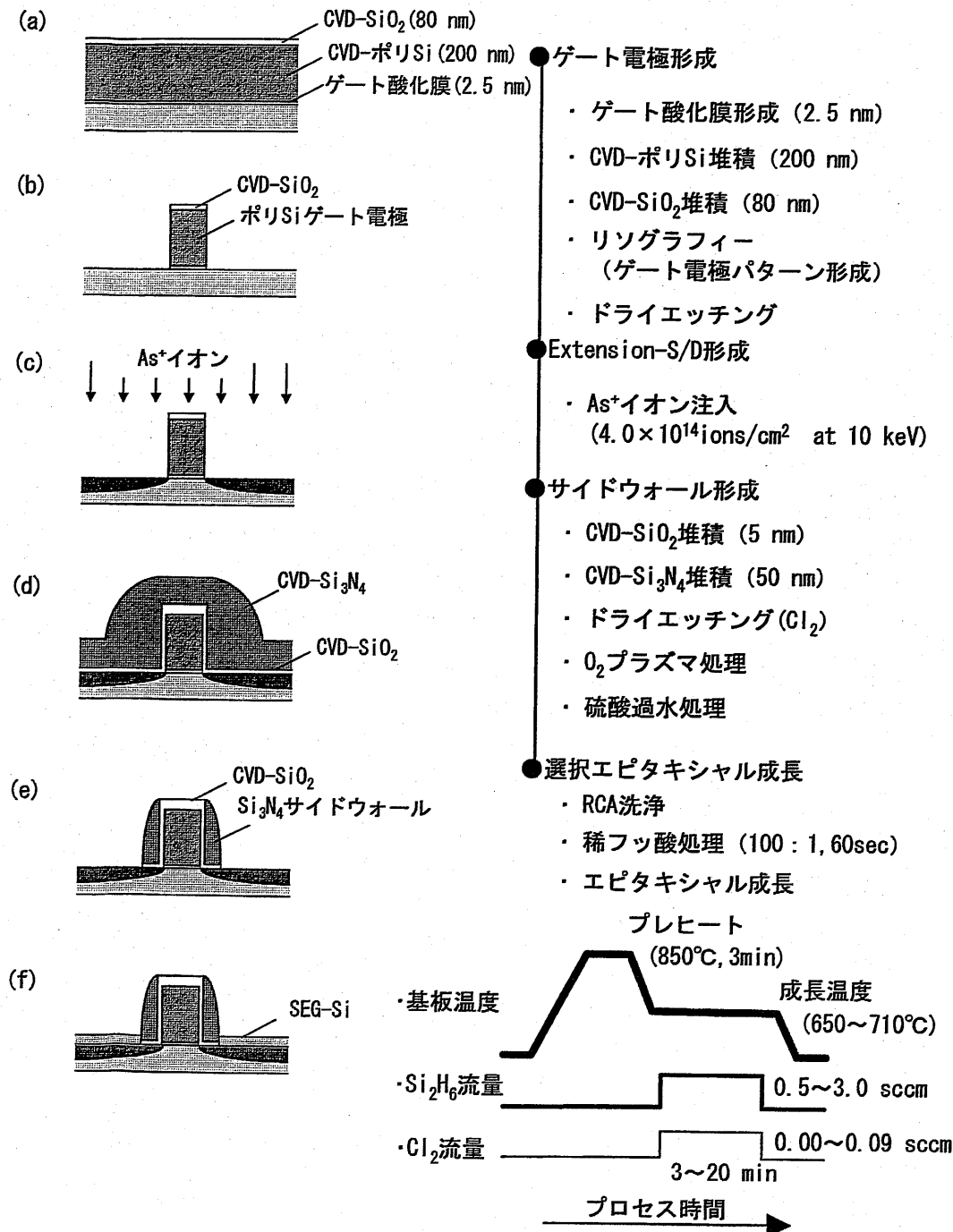


図2.13 n-MOS作製フローおよびエピタキシャル成長条件

前に典型的な RCA 洗浄により Si ウエハ上に付着したパーティクルや汚染物を除去した後、100:1 の稀フッ酸溶液に 60 sec 浸漬し、自然酸化膜を除去する。その後、速やかに UHV-CVD 装置に Si ウエハを導入し、プレヒート (850°C, 3 min) を行い、成長温度を 650~710°C に設定し、Si₂H₆ 流量 0.5~3.0 sccm、Cl₂ 流量 0.00~0.09 sccm、成長時間 3~20 min でエピタキシャル成長を行った。なお、いずれの条件においても成長時の圧力は 2×10^{-2} Pa 以下であった。

n-MOS トランジスタ形状に関して、サイドウォールは CVD-Si₃N₄ 膜で構成され、ゲート電極の上面は CVD-SiO₂ 膜で覆ってある。このような構造を用いることにより、選択領域である S/D 領域と非選択領域である CVD-Si₃N₄ 膜、CVD-SiO₂ 膜の選択性の差を同時に観察することができる。なお、SEG-Si 形状の評価には、断面 SEM を用いた。

2-5-2 Cl₂ 添加による選択性の向上効果

図 2.14 に Si₂H₆ 流量を 1.5 sccm に、成長温度を 670°C にそれぞれ固定し、Cl₂ 流量を 0.00~0.08 sccm に変えた場合のサイドウォール近傍の断面 SEM 像 (<110>面方向から観察した。)を示す。なお、成長時間は 3 min あるいは 4 min とした。

- Cl₂ ガスを添加せず Si₂H₆ ガスのみを用いて成長した場合、成長時間 3 min では、SEG-Si 膜厚は 44.7nm であるのに対し、CVD-Si₃N₄ 膜表面に約 24nm のポリ Si が堆積している。なお、CVD-SiO₂ 膜上にポリ Si の堆積はなく選択性が保持されている (図 2.14(a))。
- Cl₂ 流量を 0.03 sccm とし、3 min 間成長した場合、SEG-Si 膜厚は 39.7nm であるのに対し、CVD-Si₃N₄ 膜表面にポリ Si がアイランド状に発生している。なお、Cl₂ ガスを添加しない場合に比べ CVD-Si₃N₄ 膜表面のポリ Si が減少していることが確認できる (図 2.14(b))。
- Cl₂ 添加量を 0.07 sccm に増量して 4 min 間成長した場合、図 2.14(b)の場合に比べ大きな変化はない (図 2.14(c))。
- Cl₂ 添加量を 0.08 sccm に増量して 4 min 間成長した場合、SEG-Si 膜厚は 35.3nm であ

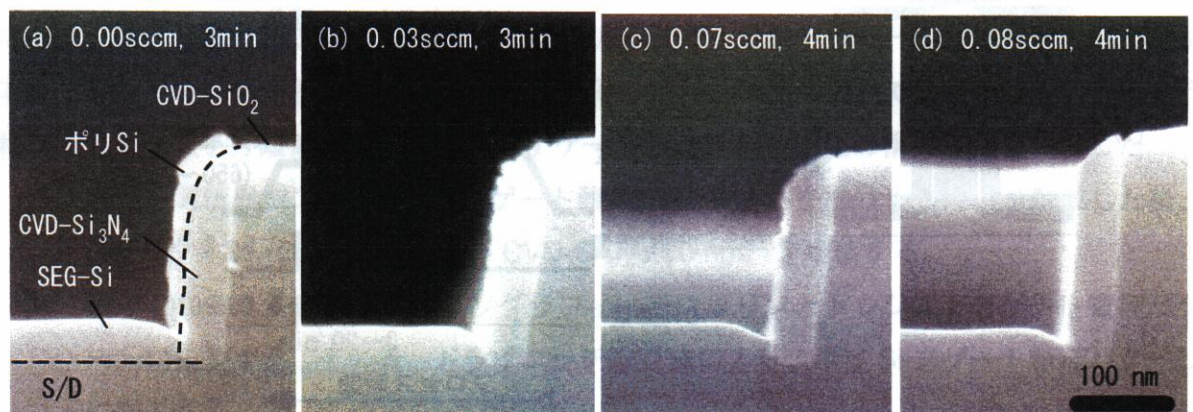


図2.14 選択性の塩素添加量依存性

るのに対し、CVD-Si₃N₄ 膜上にはポリ Si の生成は見られず、CVD-Si₃N₄ 膜および CVD-SiO₂ 膜に対して選択性が確保されている (図 2.14(d))。

特徴的なことは、Cl₂ 添加量が増加するに従い、CVD-Si₃N₄ 膜に対して選択性が改善していることである。なお、CVD-SiO₂ 膜に関しての変化は観察されず、選択性は保持されている。

2-5-3 Cl₂ 添加プロセスにおける SEG-Si 形状

前節で述べた Cl₂ ガスを添加せず Si₂H₆ ガスのみで SEG-Si 成長を行った場合と同様に、SEG-Si 端部の形状のプロセス依存性を示す。図 2.15 は Si₂H₆ 流量を 1.5 sccm、Cl₂ 流量を 0.09 sccm とし、成長温度を 710°C~670°C に変えた場合のサイドウォール近傍の断面 SEM 像を示す。SEG-Si 端部形状に関し以下の温度依存性を観察した。

- 成長温度が 710°C の場合、SEG-Si 端部に (311) ファセットが存在している (図 2.15(a))。
- 成長温度が 690°C の場合、710°C の場合に比べ (311) ファセットは低減されるものの依然として存在している (図 2.15(b))。
- 成長温度が 670°C の場合、(311) ファセットは若干存在するが、SEG-Si 形状はほぼ平坦になっている (図 2.15(c))。

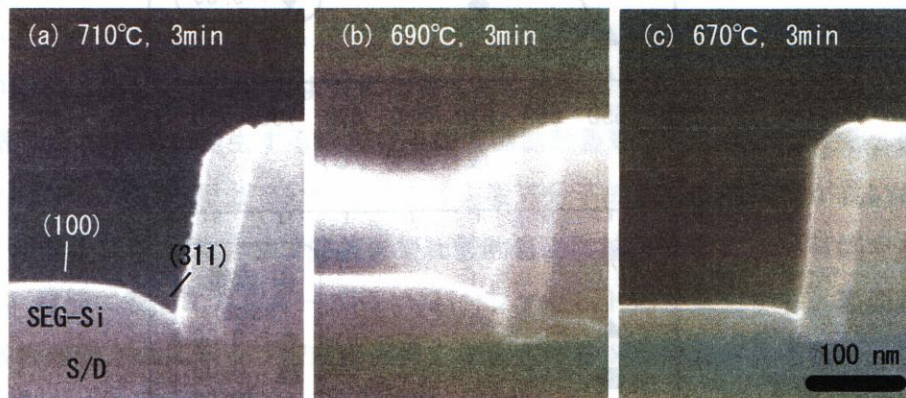


図2.15 SEG-Si形状の成長温度依存性

つぎに、Si₂H₆ 流量を 1.5 sccm に固定し、Cl₂ 流量を 0.00~0.09 sccm、成長温度を 650°C~710°C に変えた場合の (100) 面成長速度 (β_{100}) と成長速度比 (β_{311}/β_{100}) の成長温度依存性を図 2.16 に示す。特徴的な事象を以下に示す。

- β_{100} は Cl₂ 添加量増加に伴い低下する。その傾向は低温側で大きいのが、成長温度の上昇に伴い緩和されている。なお、成長温度 710°C においては、 β_{100} はほぼ Cl₂ 添加量に影響を受けない (図 2.16(a))。
- 一方、成長温度が低下するに従い β_{311}/β_{100} は上昇している。すなわち、SEG-Si 端部は平坦になる (図 2.16(b))。
- 成長温度に拘わらず、 β_{311}/β_{100} は、Cl₂ 添加量には依存しない (図 2.16(b))。

Si₂H₆ ガスを用いたエピタキシャル成長に Cl₂ ガスを添加した場合、Si₂H₆ ガスの吸着分子と

Cl_2 ガスの吸着分子が反応し、揮発性の化合物 (SiCl_x ($1 \leq x \leq 4$)) を生成する。そのため成長速度が低下することが報告されている[9]。低温においては、 SiCl_x の生成反応が、エピタキシャル成長反応より比較的優勢に進行する。高温においてはこれらの相対的な反応速度が逆転するため、 Cl_2 添加による影響を受けにくいと考えられている。一方、 β_{311}/β_{100} は、 Cl_2 ガスを添加しない場合と同様に成長温度には依存するが、 Cl_2 添加量には依存していない。 Cl_2 添加は、 Si_2H_6 吸着分子の表面拡散に影響を与えていないためと考えられる。

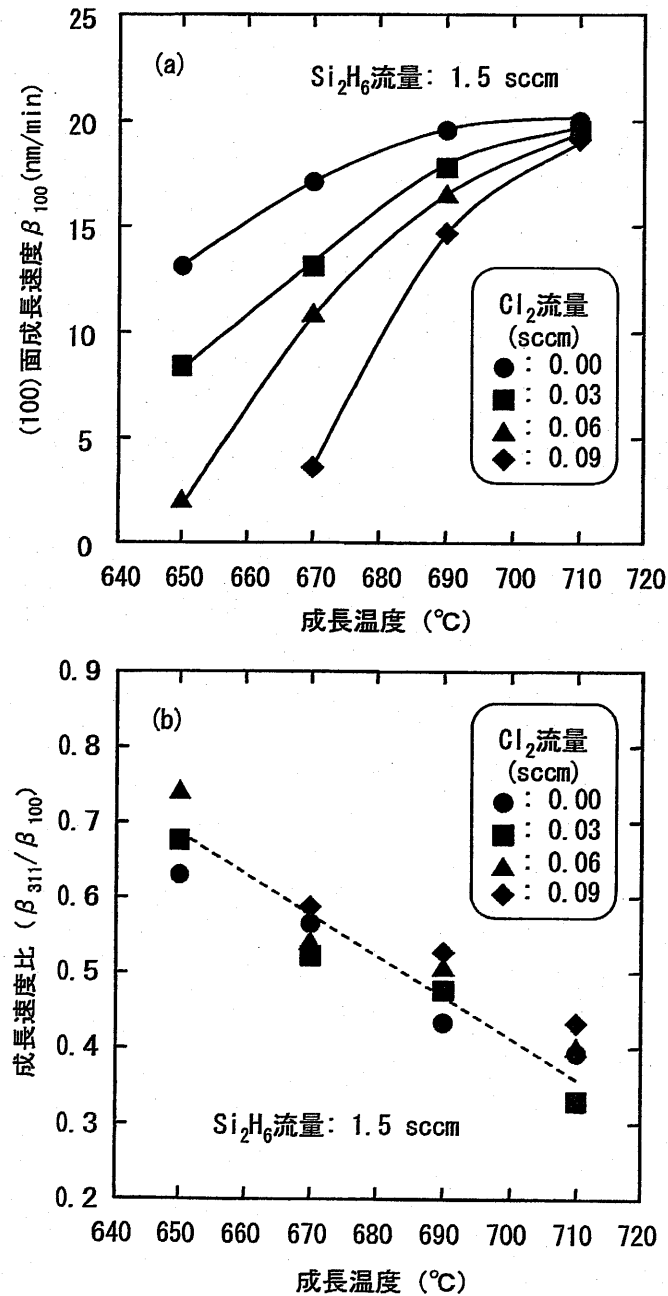


図2.16 (100)面成長速度および成長速度比の成長温度依存性

2-6 まとめ

本章では、エレベイテッドソース・トランジスタ構造を形成するための、 Si_2H_6 ガスを用いた UHV-CVD による選択エピタキシャル成長プロセスを実験的に評価し以下の結果を得た。

選択性のプロセス条件および非選択材料依存性に関して、成長初期には非選択領域と選択性が保たれながら成長が進行するが、一定時間を過ぎると非選択領域上にポリ Si が生成され選択性は保持されなくなることを確認した。なお、非選択領域が CVD- SiO_2 膜の場合と CVD- Si_3N_4 膜の場合を比較すると、成長温度 600°C において CVD- Si_3N_4 膜の場合、CVD- SiO_2 膜の場合に比べ臨界膜厚は $1/6$ 以下であった。このような選択性の違いは、非選択領域の各材質と、 Si_2H_6 ガスとの反応性の違いによると考えられる。しかしながら、 Si_2H_6 ガスに Cl_2 ガスを添加することにより CVD- Si_3N_4 膜に対する選択性を改善できることも確認した。

SEG-Si 形状のプロセス条件依存性に関して Si_2H_6 ガスのみを用いた場合、CVD- SiO_2 ストライプパターンと Si 基板の境界における SEG-Si の端部形状は、(100)面の成長モード（供給律速領域および表面反応律速領域）に依存することが判明した。供給律速領域において、SEG-Si 端部に(311)ファセットが発生し、局所的な SEG-Si 膜厚減少が起こる。一方、表面反応律速領域において、SEG-Si 端部が盛り上がったバンプが形成され、局所的な SEG-Si 膜厚増加が起こる。

これらの現象に関して、つぎのように考察した。表面自由エネルギーの最小化効果と Si_2H_6 ガスが Si 表面上で分解し発生する吸着分子の表面拡散距離の競合に依存する。供給律速領域では、 Si_2H_6 ガスが Si 表面上で分解し発生する吸着分子の表面拡散距離が長いために、自由エネルギーが最小になるステップ位置まで比較的自由に拡散することが可能である。その結果、SEG-Si 端部に表面エネルギーが低い(311)ファセット面が発生する。表面反応律速領域では、Si 基板表面上のステップ密度が上昇し準安定サイトが供給されるため、供給律速領域に比べ表面拡散距離が制限される。その結果、(311)ファセットが減少する。さらに CVD- SiO_2 ストライプパターン上から過剰な吸着分子が SEG-Si 端部に流入するためにバンプが発生する。なお、 Si_2H_6 流量および成長温度を制御し、供給律速領域と表面反応律速領域の中間付近に設定することにより、SEG-Si の端部形状を平坦化できることを見出した。

Cl_2 ガス添加による選択性改善効果と SEG-Si 形状のプロセス条件依存性に関して、 Cl_2 ガスを添加しない場合と同様に、成長温度が比較的に低い場合、ファセットは抑制され SEG-Si 端部形状は平坦になる。さらに SEG-Si 端部形状は Cl_2 添加量には依存しないことを見出した。 Cl_2 ガスは、 Si_2H_6 吸着分子の表面拡散距離には大きく影響しないため、SEG-Si 端部にも影響しないと考えられる。なお、 Si_2H_6 ガスに適量の Cl_2 ガスを添加し、成長温度を最適化することにより、CVD- Si_3N_4 膜および CVD- SiO_2 膜との選択性を保持しながら、平坦な端部を有する SEG-Si 膜を成長できることを見出した。

上記の結果により、選択エピタキシャル成長のプロセス条件の最適化を図ることにより、

非選択領域（CVD-SiO₂ 膜および CVD-Si₃N₄ 膜）に対し選択性を保持しながら、エレベイテッドソース・ドレイン構造トランジスタに適した平坦な SEG-Si 膜を成長できると判断できる。

参考文献

- [1] T. Tatsumi, K. Akitagawa, M. Hiroi, and J. Sakai, *Journal of Crystal Growth*, 120 (1992) pp.275-278.
- [2] P. Rai-Choudhury, and D. K. Schroder, *J. Electrochem. Soc.*, 120 (1973) pp. 664-668.
- [3] M. Tabe, *Jpn. J. Appl. Phys.*, 21 (1982) pp.534.
- [4] N. Endo, K. Tanno, and A. Ishitani, *Handotai Kenkyu (Semiconductor Research)* (Kogyochosakai, Tokyo, 1985) Vol.21, pp. 127-165 [in Japanese].
- [5] S. Li, Q. Xiang, D. Wang, and K. L. Wang, *Journal of Crystal Growth*, 157 (1995) pp. 185-189.
- [6] T. Aoyama, T. Ikarashi, K. Miyanaga, and T. Tatsumi, *Journal of Crystal Growth*, 136 (1994) pp.349-354.
- [7] S. M. Mokler, W. K. Liu, N. Ohtani, and B. A. Joyce, *Appl. Phys. Lett.*, 59 (1991) pp. 3419-3421.
- [8] K. Akitagawa, T. Tatsumi, and J. Sakai, *Journal of Crystal Growth*, 127 (1993) pp.484-288.
- [9] K. E. Violette, P. A. O'Neil, M. C. Ozturk, K. Christensen, and D. M. Maher, *J. Electrochem. Soc.*, 143 (1996) pp. 3290-3296.
- [10] J. J. Sun, and C. M. Osburn, *ELECTRON DEVICES*, 45 (1998) pp.1377-1380.

第3章 ソース・ドレイン上への選択エピタキシャル成長

3-1 はじめに

前章では、UHV-CVD 法を用いることにより、比較的低温 ($<700^{\circ}\text{C}$) で良好な形状を有するエピタキシャル Si を選択的に成長できることを示した。しかしながら、Si 基板表面上に存在する自然酸化膜などを除去するために、通常エピタキシャル成長前に比較的高温 ($>800^{\circ}\text{C}$) で加熱 (プレヒート) している。このような高温のプレヒートは Si 基板中の不純物の拡散を招くために好ましくない。LSI の微細化が進んだ際、プレヒート温度の低温化が必須になると予想される。また、エレベイテッドソース・ドレイン構造を形成するためには、様々な工程を経た Si 基板表面 (ソース・ドレイン領域) 上に、選択的エピタキシャルシリコン (SEG-Si) を成長させる必要がある。ドライエッチングやイオン注入が Si 基板にダメージを与え、デバイスの電気特性に影響を及ぼすことが報告されており[1, 2]、エピタキシャル Si 成長にも影響を与えられとされる。さらに、CMOS トランジスタをエレベイテッドソース・ドレイン構造化するためには、タイプ (n/p 型) の異なるソース・ドレイン (S/D) 領域上に同時にかつ同様な品質の SEG-Si 層を成長する必要がある。そのため、同一なタイプ (n -MOS あるいは p -MOS) の S/D 領域上に SEG-Si 層を成長する場合に比べ、エピタキシャル Si 成長プロセスは難しくなると予想される。

本章では、エレベイテッドソース・ドレイン構造トランジスタを実用化するため、実際のソース・ドレイン領域が経るドライエッチングやイオン注入などの前工程が、SEG-Si 形状およびプロセス温度に与える影響を明らかにする。まず、シリコン酸化膜 (SiO_2) のドライエッチングがエピタキシャル成長に及ぼす影響とプレヒート温度との相関を調べるとともに、ドライエッチング工程後に CDE (Chemical Dry Etch) 処理を追加した効果についても述べる。なお、CDE 処理は、ドライエッチングによる Si 基板表面上のダメージを除去し、ポリシリコンプラグのコンタクト抵抗低減に有効と報告されている[1]。そのため、エピタキシャル Si 成長への応用にも効果が期待できる。つぎに、シリコン窒化膜 (Si_3N_4) のサイドウォール形成ドライエッチングの影響を調べ、CMOS トランジスタ上にエピタキシャル Si 成長を行った場合について説明する。先に示したように CMOS トランジスタをエレベイテッドソース・ドレイン構造化する場合、タイプの異なる S/D 領域上に同時にかつ同様な品質の SEG-Si 層を成長する必要がある。

3-2 ドライエッチングが基板表面に与える影響と CDE の効果

本節では、ドライエッチングがエピタキシャル Si 成長に与える影響とプレヒート温度との相関を明らかにするとともに、CDE (Chemical Dry Etch) 処理をドライエッチングの後処理

として行った場合の効果についても述べる。Si 基板上の CVD-SiO₂ 膜を C₄F₈/O₂ プラズマによるドライエッチングにより加工した後に、CDE 処理を行った場合と行わない場合のサンプルに、エピタキシャル Si 成長を行った。その際、エピタキシャル Si 成長前に行うプレヒート温度を変え、プレヒート温度および CDE 処理の有無が SEG-Si 表面モロロジーに影響を与えるメカニズムについて調べた。

3-2-1 実験方法

本実験では、エピタキシャル成長用の下地 Si ウエハには複雑なパターンを用いず、単純な CVD-SiO₂ のストライプパターンを用いた。図 3.1 に下地パターンの作製フローおよびエピタキシャル成長条件を示す。サンプルには 250 nm 厚の CVD-SiO₂ 付 p 型 Si(100)ウエハ (8~12 Ω・cm) を用意した。その後のプロセスフローは、パターニング工程、洗浄工程、および選択エピタキシャル成長工程の、3 工程に大別される。

パターニング工程では、ウエハ上にフォトリソistをコーティングし、リソグラフィ法により、フォトリソistをストライプ状に成形する。CVD-SiO₂ 膜のエッチングは、ECR (Electron Cyclotron Resonance) 方式のエッチング装置を用いて、C₄F₈/O₂ プラズマで行っ

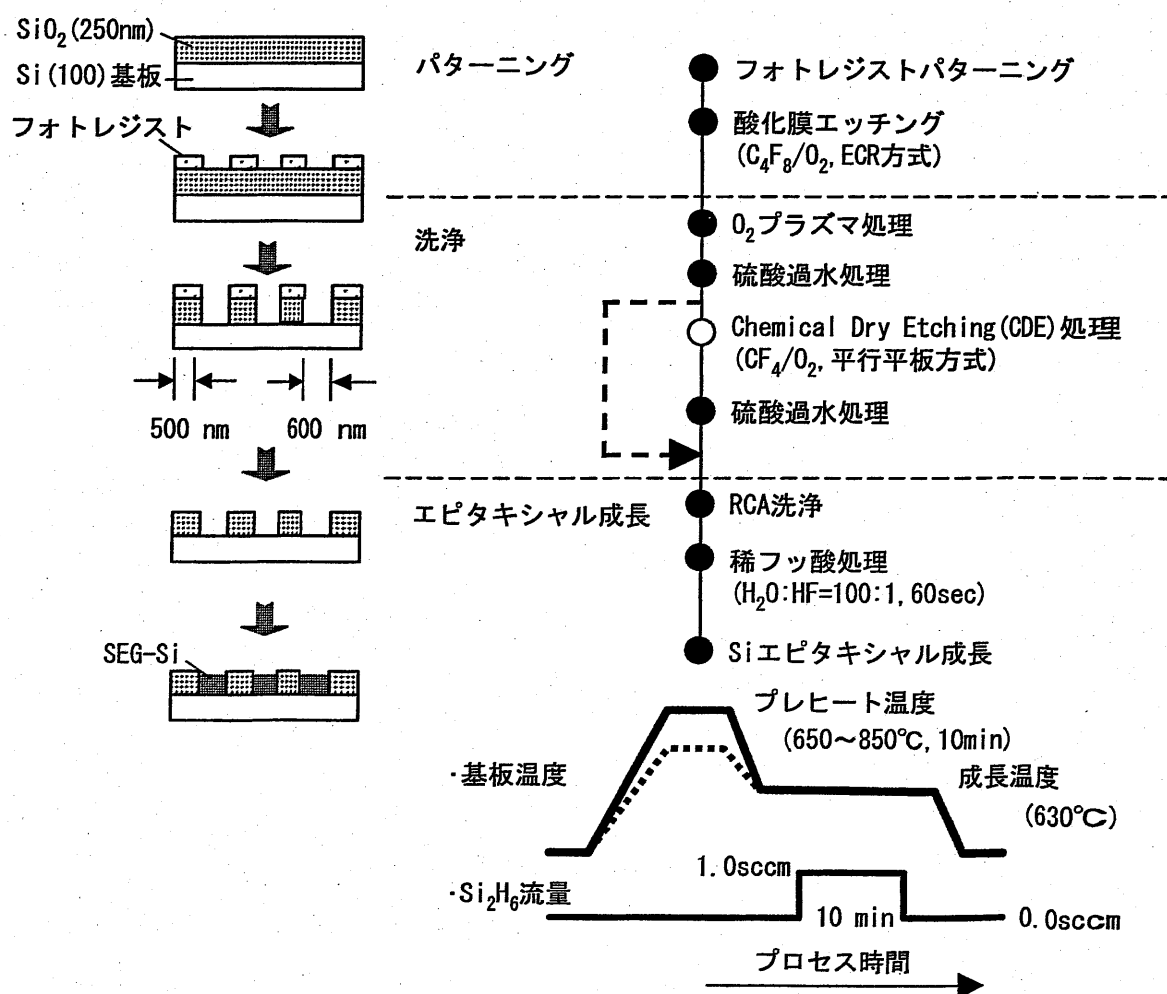


図3.1 作製フローおよびエピタキシャル成長条件

た。なお、エッチング時間は 58 sec である。この場合、 C_4F_8 と O_2 流量は、それぞれ 28 sccm と 14 sccm で、圧力は 0.1 Pa である。また、マイクロ波周波数は 2.45 GHz、電力は 1.6 kW、バイアス周波数 800 kHz、電力は 420 W である。この条件での SiO_2 膜のエッチングレートは 390 nm/min であり、Si 基板との選択比は 50 である。

つぎに洗浄工程について述べる。エッチング後の Si ウエハ表面には、炭化フッ素系のポリマーが堆積している。そのため、フォトリソストとともにそれを O_2 プラズマ処理および硫酸過水処理により除去する。さらに CDE 処理の効果を検証するため、CDE 処理および硫酸過水処理を行うウエハ（CDE 処理有り）と行わないウエハ（CDE 処理無し）に分ける。CDE 処理は、陰極印加型の平行平板方式のエッチング装置を用いて、 CF_4/O_2 プラズマで行った。なお、処理時間は 40 sec である。 CF_4 と O_2 流量は、それぞれ 143 sccm と 58 sccm で、圧力は 100 Pa である。この条件での Si 基板のエッチングレートは 30 nm/min である。

最後に選択エピタキシャル成長工程について説明する。UHV-CVD 装置に Si ウエハを導入する前に典型的な RCA 洗浄により Si ウエハ上に付着したパーティクルや汚染物を除去する。つぎに、100:1 の稀フッ酸溶液に 60 sec 浸漬し自然酸化膜を除去する。その後、速やかに UHV-CVD 装置に Si ウエハを導入する。通常、エピタキシャル成長前に自然酸化膜を除去するため、in-situ のプレヒートを行う。本実験では、エピタキシャル成長前の工程のプレヒート温度への影響を調べるため、プレヒート温度のみを 850~650°C に変化させ、プレヒート時間は 10 min に固定した。なお、エピタキシャル Si 成長条件も、基板温度 630°C、 Si_2H_6 流量 1.5 sccm、成長時間 10 min に固定した。

評価方法について説明する。SEG-Si 層の膜厚評価には、断面 SEM を用いた。観察した部分の加工形状は、ストライプパターン間の間隔 600 nm、ストライプパターン幅 500 nm である。Si 表面モロロジーの評価には、AFM (Atomic Force Microscope) を用いた。スキャン面積は $5 \times 5 \mu m^2$ である。SEG-Si 層/Si(100)基板界面の観察には、TEM (Transmission Electron Microscope) を用いた。サンプルをダイシング加工により摘出した後、FIB (Focused Ion Beam) により TEM 観察可能な厚さまで薄膜化し、加速電圧 200 kV で観察した。エピタキシャル成長前の表面組成の分析には、XPS (X-ray Photoelectron Spectroscopy) を用いた。X 線源は $Mg-K\alpha$ で、分析面積は $900 \mu m^2$ である。検出器のエネルギー分解能は、それぞれワイドスキャンの場合 1.0 eV、ナロースキャンの場合 0.4 eV である。SEG-Si 層/Si(100)基板界面の不純物濃度の分析には、SIMS (Secondary Ion Mass Spectrometry) を用いた。一次イオンにはセシウム (Cs^+)、加速エネルギーは 14.5 keV、分析面積は $20 \mu m^2$ である。

3-2-2 SEG-Si 層および SEG-Si 層/ Si(100)基板界面の評価

図 3.2 に断面 SEM により計測した SEG-Si 層の膜厚 (図 3.2(a))、および AFM により評価した SEG-Si 層の表面モロロジー (図 3.2(b)) のプレヒート温度依存性をそれぞれ示す。なお、Si 表面モロロジーの表記には、 R_{ms} (Root Mean Square) 値を用いている。SEG-Si 層に関し

て特徴的であることを以下に示す。

- CDE 処理を施した場合、SEG-Si 層の膜厚はプレヒート温度には依存せず、ほぼ一定である (図 3.2 (a))。
- CDE 処理を行わない場合、750°C以下では CDE 処理を施した場合に比べ半減している (図 3.2 (a))。
- 表面モロロジーに関して、CDE 処理有無のいずれの場合においても、プレヒート温度の上昇に従って平坦性は向上しているが、CDE 処理の追加によりさらに平坦性が向上して

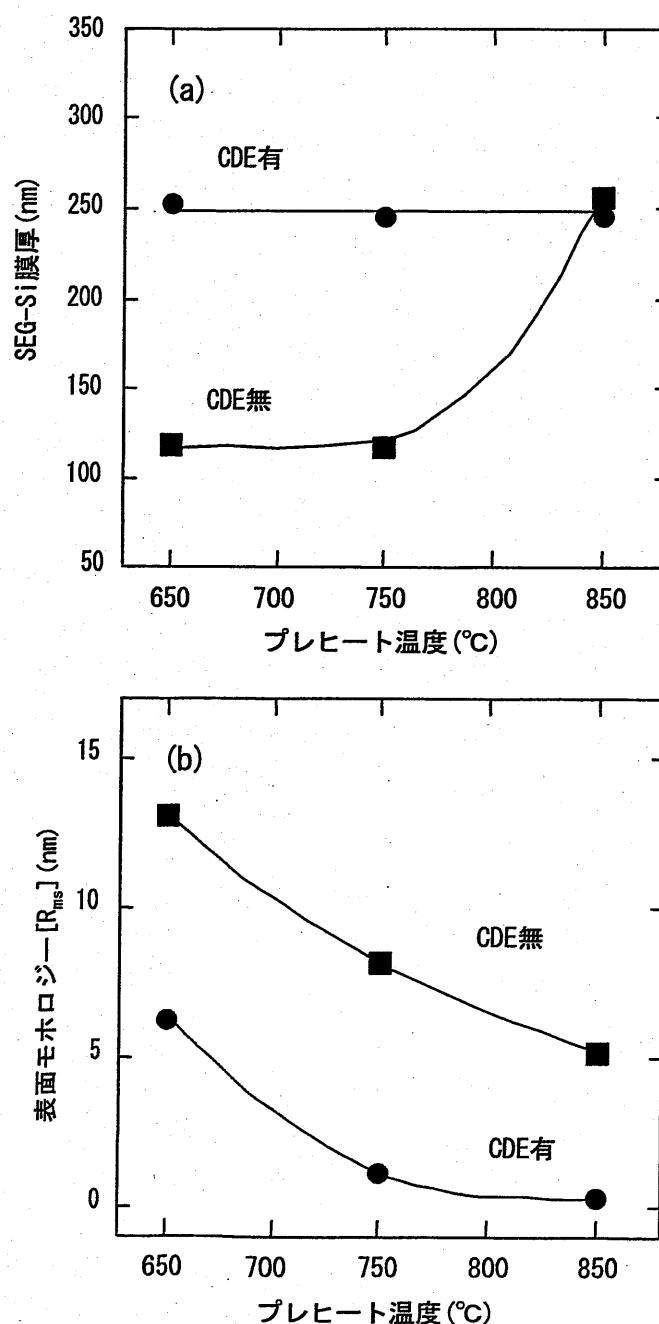


図3.2 SEG-Si膜厚および表面モロロジーのプレヒート温度依存性

いることが分かる (図 3.2 (b))。

これらの結果より、ドライエッチングを行った場合、SEG-Si 層の膜厚は、プレヒート温度に依存することが分かった。さらに、ドライエッチング後であっても、CDE 処理を追加することによりプレヒート温度に依存せず同様な膜厚の SEG-Si 層を堆積できることを見出した。

つぎに、CDE 処理の有無により SEG-Si 層の膜厚および表面モロロジーがプレヒート温度に依存する原因を追究する。SEG-Si 層/ Si(100)基板界面の状態を調べるため、TEM 観察を行った。図 3.3 は、CDE 処理の有無、およびプレヒート温度 650°C と 850°C の場合の SEG-Si 層/ Si(100)基板界面近傍の TEM 像と電子線回折パターンをそれぞれ示す。なお、電子線回折パターンには、SiO₂ ストライプパターン部分からの回折は含まれておらず、SEG-Si 層および Si(100)基板の両部分からの回折である。図中の破線は SEG-Si 層/ Si(100)基板界面位置を示す。SEG-Si 層に関して特徴的であることを以下に示す。

CDE 処理無しかつプレヒート温度 650°C の場合を除いて、

- すべての回折パターンは Si の単結晶パターンを示す (図 3.3 (a) (c) (d))。ゆえに、CDE 処理無しかつプレヒート温度 650°C の場合以外の SEG-Si 層は良好な結晶性でエピタキシャル成長しているものと判断される。

CDE 処理無しかつプレヒート温度 650°C の場合に関して、

- SEG-Si 層/ Si(100)基板界面には約 1~2 nm のアモルファス層 (図 3.3 (b)中の A) および SEG-Si 層中には多数の双晶 (図 3.3 (b)中の B) の存在がそれぞれ確認される。
- Si 単結晶 (Si 基板) の回折パターンに、リング状に回折パターンが重なっていることも、SEG-Si 層に多数の双晶が存在することを示していると考えられる (図 3.3 (b))。

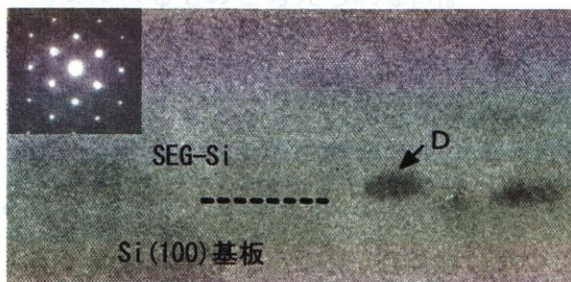
(a) プレヒート650°C, CDE有



(b) プレヒート650°C, CDE無



(c) プレヒート850°C, CDE有



(d) プレヒート850°C, CDE無

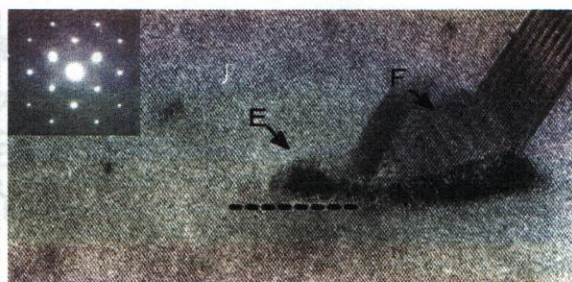


図3.3 SEG-Si層/Si(100)基板の界面近傍のTEM観察

CDE 処理無しかつプレヒート温度 750°C の場合においても、

- CDE 処理無しかつプレヒート温度 650°C の場合と同様に、SEG-Si 層中に多数の双晶、さらに SEG-Si 層/Si(100) 基板界面にはアモルファス層の存在が確認された(図示せず)。

これらの結果から、アモルファス層が界面に存在する場合のみ、SEG-Si 層に多数の双晶があることが分かる。Si 基板の表面状態が SEG-Si 層の結晶状態に影響を与えていることを示している。

さらに詳細に TEM 像を観察すると、アモルファス層が存在しない場合でも、SEG-Si 層/Si(100) 基板界面近傍において幾つかの欠陥が観察される (図 3.3 (a) (c) (d) 中の C,D,E)。

- 欠陥 D と E に関しては、異物がアイランド状に形成されていると考えられる。
- 欠陥 F は欠陥 E を起点とする積層欠陥である。
- 欠陥 C に関しては、プレヒート温度が比較的低温の場合に発生していることから、自然酸化膜に起因する欠陥と推測される。

次節で、上記で述べた CDE 処理の有無およびプレヒート温度の違いが、SEG-Si 層に与えるメカニズムを調べる。

3-2-3 エピタキシャル成長前の Si 表面の評価

前節で、SEG-Si 層/Si(100) 基板界面にアモルファス層の存在が明らかになった。本節では、アモルファス層の起源を明らかにするため、エピタキシャル成長前の Si 基板表面の表面組成およびその結合状態を XPS を用いて調べた。CDE 処理有無の 2 種類のウエハを、稀フッ酸処理後速やかに XPS チャンバーに導入し分析した。図 3.4 は CDE 処理を行ったものと行わないもののワイドスキャンスペクトルを示す。

- CDE 処理無しの場合、酸素 (O)、炭素 (C) およびフッ素 (F) に起因するピークが観察される。
- CDE 処理有りの場合、フッ素 (F 1s) によるピークは観察されず、酸素 (O 1s) および炭素 (C 1s) によるピークは観察されるが、CDE 処理無しに比べ低い強度である。

なお、ピーク強度から算出した各サンプルの表面組成比を表 3.1 に示す。

- CDE 処理無しの場合、CDE 処理有りの場合に比べて O および C が多量に存在し、特に O の量が著しい。

図 3.5 に CDE 処理有無に関する Si 2p および C 1s ピーク近傍のナロースキャンスペクトルを示す。

Si 2p について、以下のような特徴があった。

- CDE 処理の有無に拘わらず、99.6 eV のメインピークは Si 基板からの Si-Si 結合によるものと同定できる[1, 3]。
- CDE 処理無しの場合における 102.8 eV のブロードなピークは、メインピークからのエネルギーシフト量から Si-O_x (x<2) 結合によるものと考えられる[1, 3]。

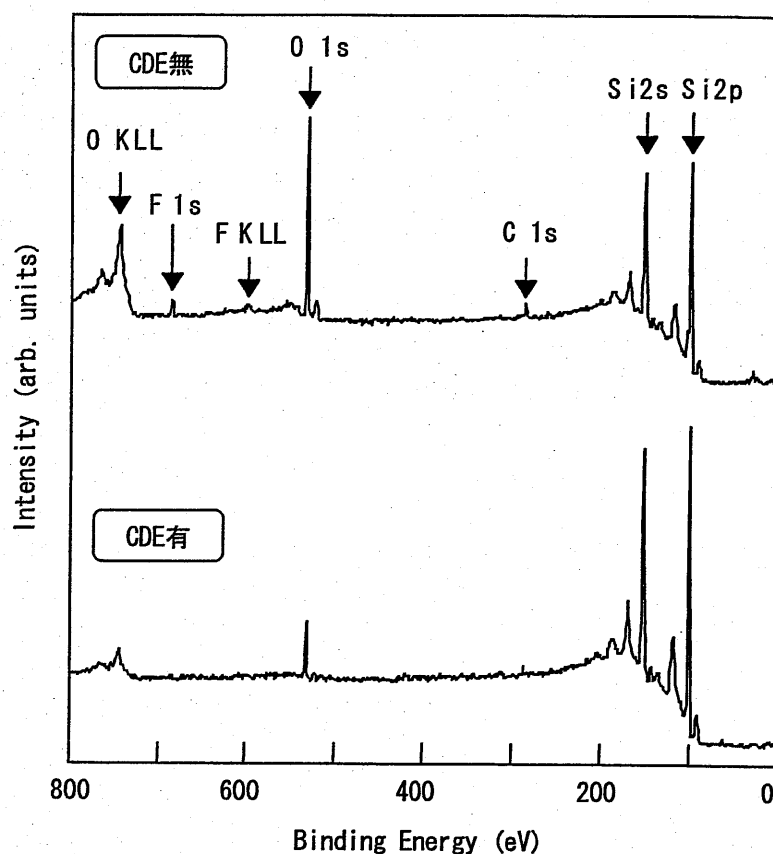


図3.4 稀フッ酸処理直後のSi表面のXPSワイドスキャンスペクトル

表3.1 稀フッ酸処理直後表面組成比(%)

CDE有/無	Si	F	C	O
無	64	2	7	27
有	88	-	3	9

- CDE 処理有りの場合には、102.8 eV 近傍の Si-O_x 結合ピークは観測されなかった。つぎに C 1s について、以下のような特徴があった。
- CDE 処理の有無にかかわらず、285.2 eV のメインピークは C-C 結合あるいは C-H 結合による。このピークは、ウェット洗浄後の未使用 Si ウエハでも観測され、また大気中に放置した場合には増大することを確認した。よって、大気中に存在する炭化水素による汚染によるものと考えられる[4]。
- CDE 処理無しの場合、メインピークの両脇に、283.5 eV と 286.9 eV にピークが観測される。メインピークからのエネルギーシフト量から、それぞれ、283.5 eV は C-Si 結合 [5]、286.9 eV は C-O 結合 [6] によるものと考えられる。
- CDE 処理有りの場合は、C-Si 結合、C-O 結合ピークは観測されなかった。

上記の実験結果から、CDE 処理無しかつプレヒート温度 650°C の場合において、SEG-Si 層/Si(100)基板界面で観測されたアモルファス層は、ドライエッチング時に誘発されたサブオ

キサイド ($\text{SiO}_x, x < 2$) を主成分とする層であり、C および F を含んでいると考えられる。さらに Si-O_x 結合、C-O 結合、および C-Si 結合の特異な結合状態も有している。なお、アモルファス層は CDE 処理により除去されたと断定される。また、CDE 処理無しでかつプレヒート温度 850°C の場合に観察されないことから、CDE 処理を加えなくとも、プレヒート温度を 850°C に設定することにより、アモルファス層は揮発し、Si 基板表面上から除去されると思われる。

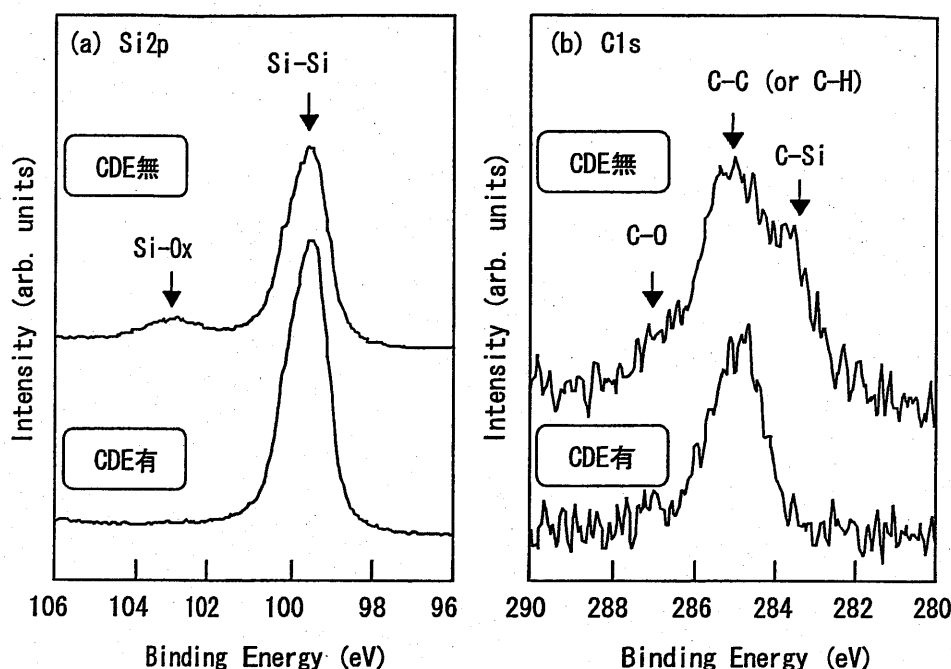


図3.5 稀フッ酸処理直後のSi表面のSi2pおよびC1sスペクトル

3-2-4 SEG-Si 層への影響についての考察

アモルファス層にみられる各々の元素 (O、C および F) および特異な結合状態 (Si-O_x 結合、C-O 結合および C-Si 結合) が生成される原因について考察する。C-Si 結合および C-O 結合は、エッチングガス中に C が含まれていること、および CDE 処理により除去されているため、ドライエッチング時に生成したものと考え易い。F の存在についても同様である。なお、本実験の場合、エッチングガス中に O が含まれているので、ドライエッチング時に Si-O_x 結合も生成された可能性が高い。しかし、Aoto らは、 $\text{CF}_4/\text{CHF}_3/\text{Ar}$ プラズマによりドライエッチングされた Si 表面に、 Si-O_x 結合が存在することを報告している。すなわち、エッチングガス中に O が含まれていないにも拘らず、O が存在することになる (なお、3-3-2 節で CHF_3/Ar プラズマにより、 Si-O_x 結合が観察された内容を述べる)。この場合、ドライエッチングとその後の後処理との複合的な効果により Si-O_x 結合が生成されたと推測されている[1]。

なお、本実験においても、アモルファス層がどの時点で形成されたかは、明らかにできない。しかし、他の実験でベア Si ウエハにドライエッチングを加えず、 O_2 プラズマ処理や硫酸過水処理を加えたが、 Si-O_x 結合は観察されなかった。そのため、アモルファス層の形成は、

ドライエッチングに起因していることは間違いないと断定できる。

つぎに、CDE 処理無しでプレヒート温度 650℃と 750℃の場合に SEG-Si 層の膜厚が、他の場合に比べ半減した原因について考察する。図 3.6 は、CDE 処理有りの場合に比べ SEG-Si 層の半減のメカニズムを示す。

- (a) SEG-Si 層の膜厚が CDE 処理有りの場合に比べ半減している場合、TEM 観察結果よりプレヒート後に SEG-Si 層/Si(100)基板界面のアモルファス層が存在すると考えられる。CDE 処理を加えた場合は CDE 処理によりアモルファス層は除去され、CDE 処理を行わなかった場合はプレヒート温度 850℃以上でアモルファス層は揮発したものと考えられる。すなわち、プレヒート後にアモルファス層が存在するのは、CDE 処理無しでプレヒート温度 850℃未満の場合である。一方、プレヒート後にアモルファス層が存在しないのは、CDE 処理有りの場合（プレヒート温度に依存せず）と、CDE 処理無しでプレヒート温度 850℃の場合である。

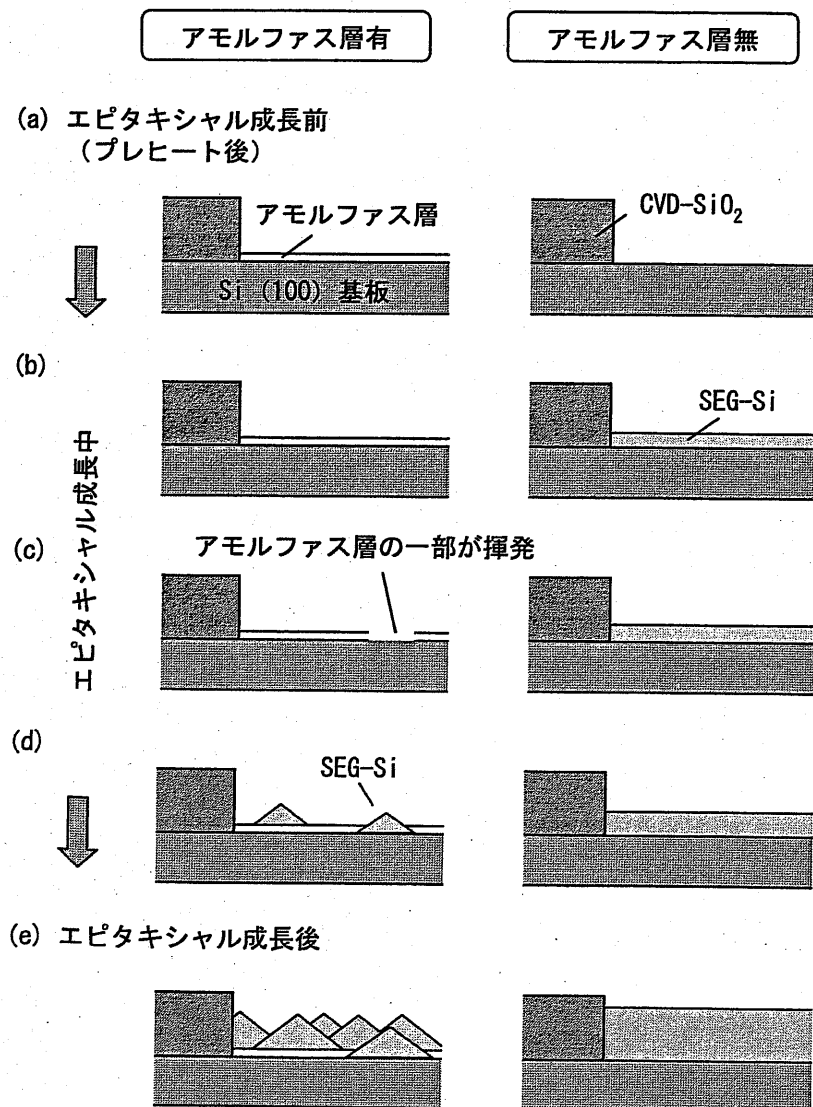


図3.6 SEG-Si層の膜厚半減のメカニズム

- (b) XPS の測定結果より、アモルファス層の主成分はサブオキサイド (SiO_x) と判断できる。アモルファス層が SiO_2 膜のように振る舞い、 Si_2H_6 ガスに作用し選択性を持ったことが考えられる。そのため、アモルファス層が存在する場合、臨界時間内では Si 層は積層しない。一方、アモルファス層が存在しない場合、基板上に SEG-Si 層が成長する。
- (c) SiO_2 膜に Si_2H_6 ガスを供給した場合、 Si_2H_6 ガスが分解した吸着分子と SiO_2 膜との間の還元反応： $\text{Si} + \text{SiO}_2 \rightarrow 2\text{SiO}$ により揮発性の SiO が発生し、 SiO_2 膜がエッチングされる[10]。アモルファス層の場合にも同様な反応が起こり、アモルファス層の一部が揮発し、Si 基板が露出すると考えられる。この際、TEM 観察結果よりアモルファス層が均一でないことから、Si 基板の露出部分は Si 基板面内に点在すると考えられる。
- (d) アモルファス層が除去され露出した Si 基板を起点として、SEG-Si 層が成長する。
- (e) エピタキシャル成長が終了した時点において、アモルファス層が存在する場合、アモルファス層が揮発するまでに時間が費やされるため、実効的な成長時間が減る。そのため、アモルファス層が存在しない場合に比べ SEG-Si 膜厚が半減すると考えられる。さらに、複数の起点から SEG-Si 層が成長したため、異なる起点から成長した SEG-Si が接触する部分で双晶が発生したものと考えられる。一方、アモルファス層が存在しない場合、実効的な成長時間が減ることなく、結晶性を劣化させる要因もないため、Si(100)基板上には比較的に結晶性の良好な SEG-Si 層が成長したと考えられる。

このようなメカニズムにより、アモルファス層の存在の有無が、SEG-Si 層の膜厚や結晶性に影響を及ぼしたものと考えられる。

3-2-5 表面モホロジーの工程依存性

つぎに SEG-Si 層の表面モホロジーの CDE 処理有無およびプレヒート温度依存性について考察する。CDE 処理無しかつプレヒート温度 650°C と 750°C の場合には、SEG-Si 層に多数の双晶が存在するため、比較的 R_{ms} 値が大きくなったと判断できる。また、CDE 処理有りの場合、プレヒート温度が高くなるに従い SEG-Si 層表面が平坦になるのは、僅かに表面上に自然酸化膜が存在し平坦性を劣化させるが、自然酸化膜が還元反応 $\text{Si} + \text{SiO}_2 \rightarrow 2\text{SiO} \uparrow$ [7] に従い除去され、表面平坦度が向上するためであると考えられる。しかし、CDE 処理無しかつプレヒート温度 850°C の場合に関しては、SEG-Si 層が良好な結晶性でエピタキシャル成長しているにも拘わらず、CDE 処理有りに比べて R_{ms} 値が大きくなる原因が特定できていない。そのため、プレヒート温度 850°C の場合において、何故 R_{ms} 値に差異が生じるのかを調べる。図 3.7 は CDE 処理有無について、各工程後における Si 表面のモホロジーを、AFM で調べた結果を示す。なお、横軸に“プレヒート 850°C ”とあるのは、UHV-CVD 装置に導入し、エピタキシャル Si を成長せずプレヒートを 850°C 、10 min 間行った後に大気中に取り出し、 R_{ms} 値を測定したものである。特徴的な結果を以下に示す。

- CDE 処理有無に拘わらず、RCA 洗浄および希フッ酸処理までは、 R_{ms} 値に差は認められない。
- CDE 処理有りの場合には、エピタキシャル Si 成長後においても大きな変動はない。
- CDE 処理無しの場合、プレヒート後 R_{ms} 値が増大し、さらにエピタキシャル Si 成長後には顕著に増大している。

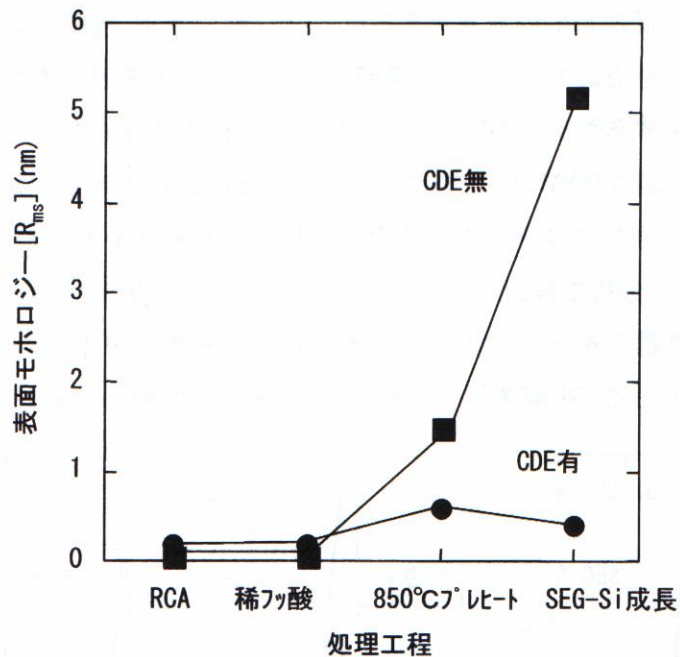


図3.7 表面モロロジーの工程依存性

以上に結果から、CDE 処理有無による表面モロロジーの違いは、プレヒート後の基板表面に原因があると考えられる。そのため、再度断面 TEM 像を詳細に検討した。図 3.8 は図 3.3 に示したプレヒート 850°C の場合の、CDE 処理無しおよび有りの場合の低解像度 TEM 像をそれぞれ示す。図中の欠陥 D、E、および F は、図 3.3 に示した欠陥 D、E、および F とそれ

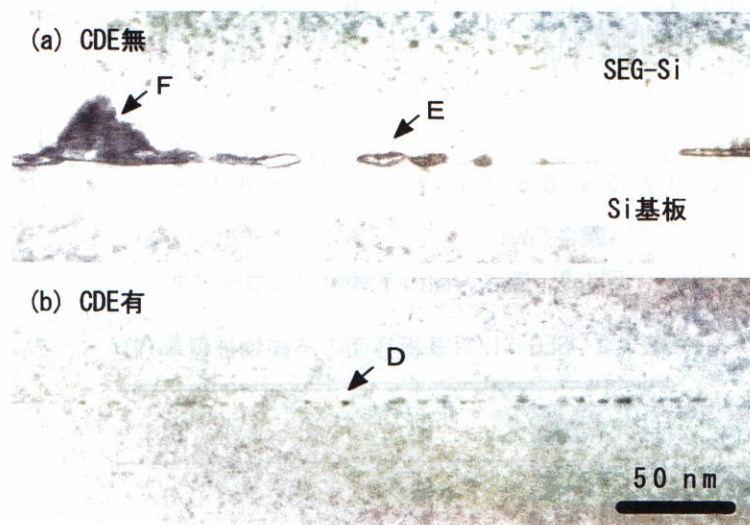


図3.8 850°Cプレヒート後のSEG-Si層/Si(100)基板の界面近傍のTEM観察

ぞれ同種の欠陥を示す。アイランド状欠陥 E (CDE 処理無し) は、欠陥 D (CDE 処理有り) に比べ基板面内方向に広くかつ基板面と垂直方向に高い。この欠陥 E の平均的な高さは、TEM 像観察から測定したところ約 7 nm であった。また、CDE 処理無しの場合、プレヒートを 850℃、10 min 行った後の AFM 測定から $R_{\max}$ 値は 6 nm であり、欠陥 E の平均的な高さとも一致する。これらの実験結果から、エピタキシャル成長後の R_{ms} 値は、エピタキシャル成長前の Si 基板表面の欠陥の大きさに反映していると考えられる。なお、CDE 処理により Si 基板表面の欠陥の大きさを小さくできるので、SEG-Si 表面モホロジーも改善できることが示唆される。

つぎに欠陥を定量化するため、SIMS 分析を行った。図 3.9 は CDE 処理有無のウエハ (無し : 図 3.9(a)、有り : 図 3.9(b)) に 850℃ プレヒート後にエピタキシャル成長した場合の C、O、および F の深さ方向プロファイルを示す。これらの元素はすでに表 3.1 に示したエピタキシャル成長前の XPS 分析で検出されたものである。なお、表 3.2 に示す界面被覆率は、界面における各元素の被覆率を示す。SIMS 分析から得た各元素の界面におけるピークを積分し、Si(100)表面の単位あたりの Si 原子数 (6.8×10^{14} 個/cm²) で割った値で、界面における各元

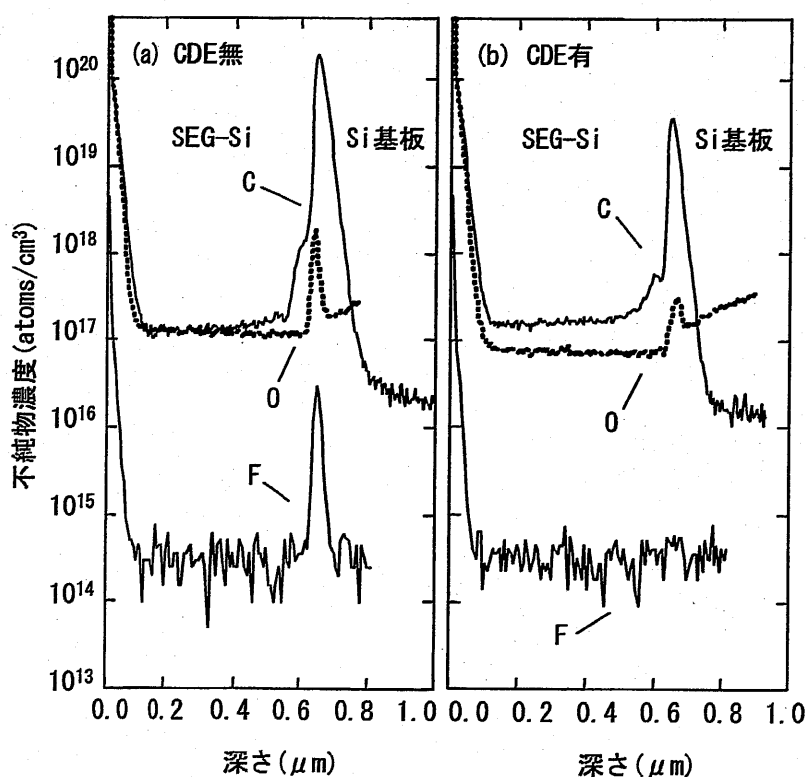


図3.9 深さ方向の不純物プロファイル

表3.2 SEG-Si/Si基板界面の不純物被覆率(%)

CDE有/無	F	C	O
無し	0.0	81.9	0.6
有り	0.0	15.2	0.2

素の被覆率を示す（つまり、被覆率 100%は Si(100)における 1 モノレイヤーを示す）。以下の結果が得られた。

- CDE 処理により C、O、および F の全ての界面被覆率が減少していることがわかる。特に C の界面被覆率は 1/5 以下に減少している（図 3.9、表 3.2）。
- CDE 処理の有無に関わらず、エピタキシャル成長前の XPS 分析による表面組成比と比べ C と O の相対的量が逆転している。つまり、表 3.1 では、酸素量（O）が炭素量（C）より多いが、表 3.2 では炭素量が酸素量より多い。

これらの結果から、CDE 処理の有無に関わらず 850°C プレヒートを行った場合、SEG-Si 層/Si(100) 基板界面に存在する主要な元素は、C であることが判明した。この事実は、アイランド状欠陥（D,E）の発生は、C の存在が原因であることを示唆している。

3-2-6 表面モロロジーについての考察

以上の実験結果から、CDE 処理有無による SEG-Si 表面モロロジーについて考察する。図 3.10 は CDE 処理有りの場合と無しの場合の稀フッ酸処理後からエピタキシャル成長後までの表面形成モデルを示す。

- (a) TEM 分析および XPS 分析の結果から稀フッ酸処理後、CDE 処理無しの場合は、 SiO_x を主成分とし C、F を含むアモルファス層が稀フッ酸処理では除去されず表面上に存在する。CDE 処理有りの場合、CDE 処理によりアモルファス層が除去される。しかし、O 1s および C 1s ピークが観察されることから、少量の自然酸化膜や、環境から

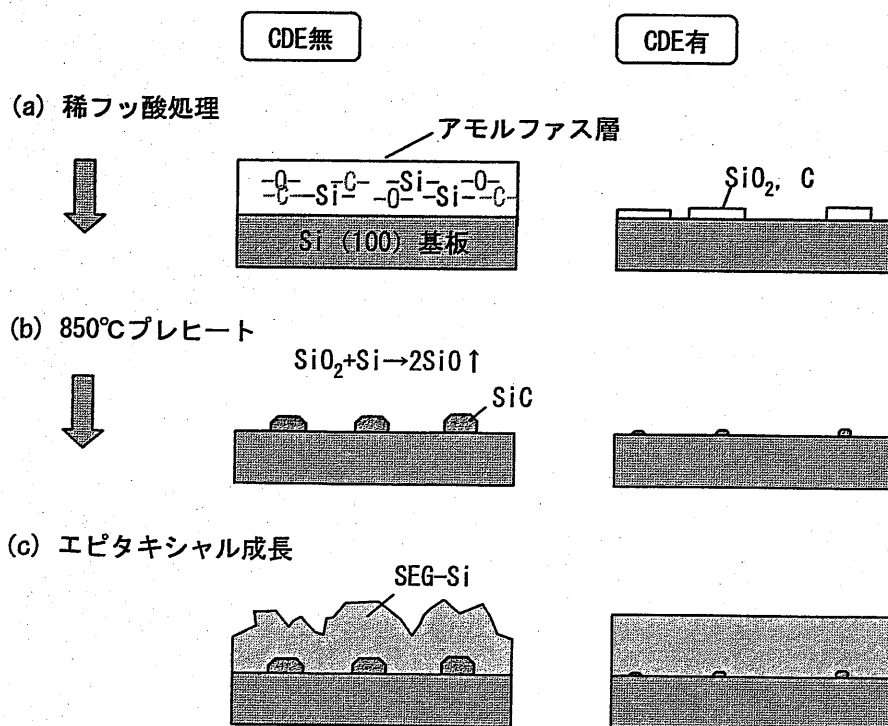


図3.10 エピタキシャルSi表面形成モデル

の汚染による少量の炭素が存在する。

- (b) UHV-CVD 装置内で 850°Cのプレヒート中に、アモルファス層および自然酸化膜中の O は、還元反応 $\text{Si} + \text{SiO}_2 \rightarrow 2\text{SiO} \uparrow$ [7]に従い除去される。しかしながら、SiC を除去するためには 1100°C以上での加熱が必要であることが報告されており[7]、850°Cのプレヒートでは除去されず、アイランド状の SiC を形成し Si 表面上に残留する。
- (c) Si 基板上に SEG-Si 層を成長すると、CDE 処理無しの場合、SiC アイランドが比較的に大きいため積層欠陥が誘発される。エピタキシャル成長初期に異物による積層欠陥が生じると、欠陥周辺では成長速度の差異が生じてエピタキシャル層表面のモホロジーが劣化することが報告されており[8]、この場合も同様であると考えられる。一方、CDE 処理有りの場合、SiC アイランドが少量であるため積層欠陥が発生せずに比較的平坦な SEG-Si 層が成長する。

このようなメカニズムにより、CDE 処理の有無により、SEG-Si 表面のモホロジーの差が生じたものと考えられる。

3-3 CMOS トランジスタ上へのエピタキシャル成長

前節では、ドライエッチングにより発生したアモルファス層を除去するために、CDE 処理を加えることが好ましいことを述べた。しかしながら、 Si_3N_4 膜をサイドウォールに用いた MOS トランジスタの場合、CDE 処理を行うと Si_3N_4 膜と Si 基板のエッチングレートに差があるため、 Si_3N_4 サイドウォール下の Si 基板も若干削り取られることが判明している。この状態で S/D 上に SEG-Si 層を成長した場合、高抵抗のエピタキシャル Si が Si_3N_4 サイドウォール下に形成され、後工程のイオン注入工程では低抵抗化できず電気特性の劣化を招く懸念がある。そこで本節では、CDE 処理を用いず、ドライエッチング条件と選択エピタキシャル成長プロセス条件を最適化することにより、最適なエレベイテッドソース・ドレイン構造 CMOS トランジスタ形成を試みた内容を述べる。なお、CMOS トランジスタをエレベイテッドソース・ドレイン構造化する場合、タイプの異なる S/D 領域上に同時にかつ同様な品質の SEG-Si 層を成長する必要がある。

3-3-1 実験方法

下地に用いた CMOS トランジスタ構造の作製フローおよびエピタキシャル成長条件を図 3.11 に示す。なお、実験用の Si 基板には *p* 型 Si(100)ウエハ(8~12Ω・cm)を用いた。作製フローは、ゲート電極形成工程、*n* 型 S/D 形成工程、*p* 型 S/D 形成工程、サイドウォール形成工程および選択エピタキシャル成長工程の 5 段階に大別される。なお、今回の実験では電気特性の評価は行わないので、素子間分離およびウエル構造は作製せずゲートおよび S/D 周辺の構造のみを作製した。

- ゲート電極形成工程において、ゲート酸化膜およびポリ Si ゲート電極を形成する。
- n 型 S/D 形成工程において、 n -MOS 構造を作製するため、 p -MOS 領域をフォトレジストで覆い、As イオンを加速エネルギー10 keV で 4.0×10^{14} ions/cm² 注入する。その後、フォトレジストを除去する。
- 同様に p 型 S/D 形成工程において、 p -MOS 構造を作製するため、 n -MOS 領域をフォトレジストで覆い、 p -MOS 領域に BF₂ イオンを加速エネルギー50 keV で 2.0×10^{14} ions/cm² 注入する。その後、フォトレジストを除去する。
- サイドウォール形成工程において、Si₃N₄ サイドウォール形成のため、5 nm-SiO₂ 膜および 50 nm-Si₃N₄ 膜を CVD 法により連続的に堆積する。
- その後、平行平板方式のエッチング装置を用いて、Cl₂ プラズマあるいは CHF₃/Ar プ

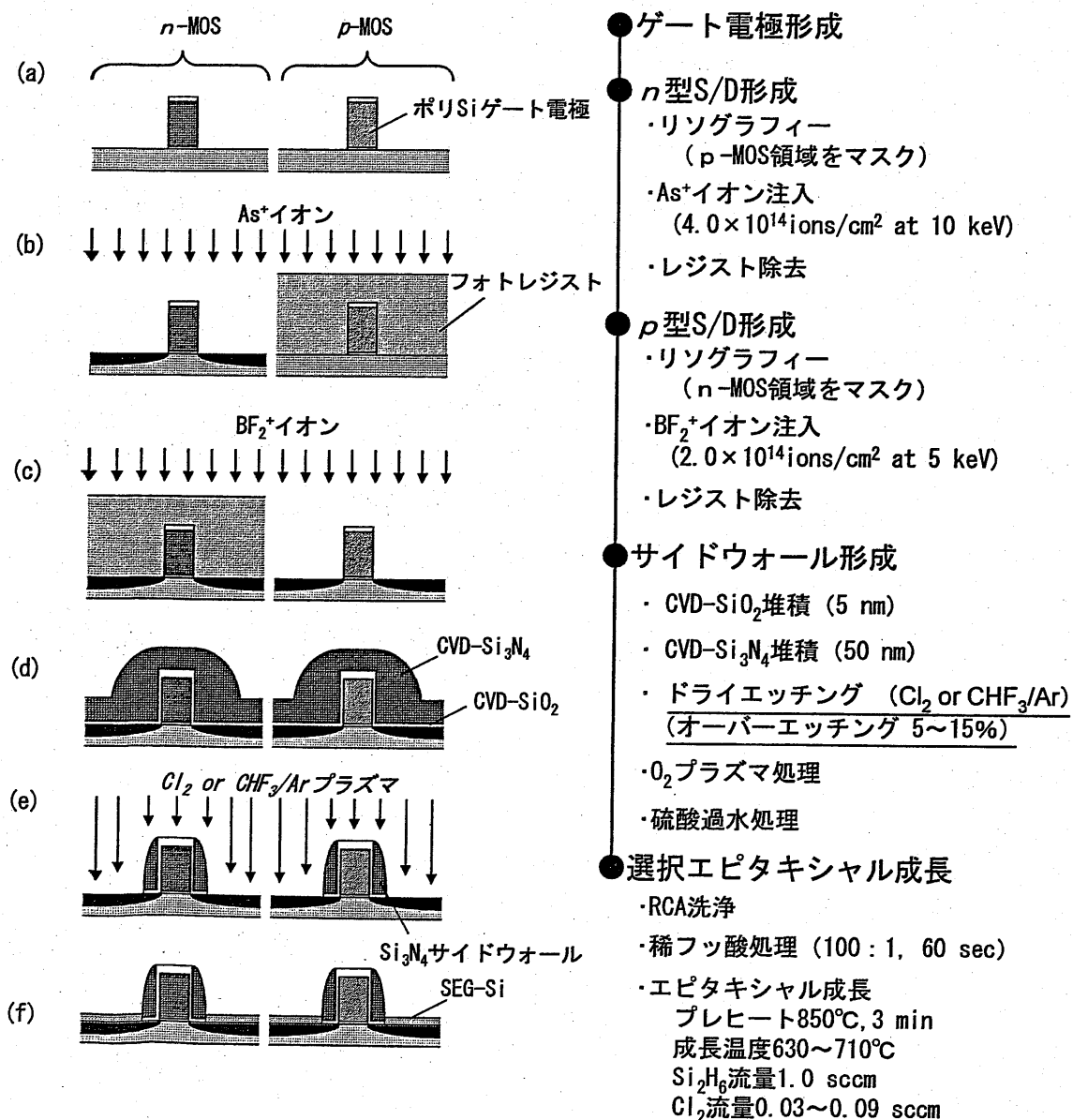


図3.11 CMOSトランジスタ構造作製フロー

ラズマにより CVD-Si₃N₄ 膜および CVD-SiO₂ 膜をエッチバックする。2 種類のプラズマ種を試すことにより、エピタキシャル成長に最適な条件を探索する。この際、オーバーエッチングを 5~15% に変えた。その後、エッチバック中に発生したポリマーを除去するため、O₂ プラズマ処理、硫酸過水処理を行った。なお、オーバーエッチングについて説明する。ある膜厚の堆積層をエッチングするのに要する時間を T_e とし、ドライエッチング処理をするため、実際にプラズマに晒した時間を T_p とした場合、オーバーエッチングは、 $(T_p/T_e - 1) \times 100\%$ と定義する。

- (f) 選択エピタキシャル成長工程において、UHV-CVD 装置に Si ウエハを導入する直前に典型的な RCA 洗浄により Si ウエハ上に付着したパーティクルや汚染物を除去した後、100:1 の稀フッ酸溶液に 60 sec 浸漬し、自然酸化膜を除去する。その後、速やかに UHV-CVD 装置に Si ウエハを導入し、プレヒート (850°C, 3 min) を行い、成長温度を 630~710°C に設定し、Si₂H₆ 流量 1.0 sccm、Cl₂ 流量 0.03~0.09 sccm で選択エピタキシャル成長を行った。なお、いずれの条件においても成長時の圧力は 2×10^{-2} Pa 以下であった。

上記の作製フローにおいては、*n*-MOS と *p*-MOS の違いは、イオン注入種および注入条件のみである。

評価方法について説明する。稀フッ酸処理後の表面組成の分析には、XPS を用いた。X 線源は Mg-K α で、分析面積は 900 μm^2 である。検出器のエネルギー分解能は、それぞれワイドスキャンの場合 1.0 eV、ナローズキャンの場合 0.4 eV である。SEG-Si 層の膜厚および形状評価には、断面 SEM を用いた。観察した部分の加工形状は、*n*-MOS および *p*-MOS トランジスタともにゲート長 0.2 μm 、サイドウォール幅 50 nm である。SEG-Si 層/Si(100) 基板界面の観察には、TEM を用いた。サンプルをダイシング加工により摘出した後、FIB により TEM 観察可能な厚さまで薄膜化し、加速電圧 200 kV で観察した。SEG-Si 層/Si(100) 基板界面の不純物濃度の分析には、SIMS を用いた。一次イオンには Cs⁺、加速エネルギーは 14.5 keV、分析面積は 30 μm^2 である。

3-3-2 ドライエッチング方式の選択

3-2-3 節と同様に、XPS を用いてエピタキシャル成長前の表面状態を調べた。図 3.12 は、CHF₃/Ar および Cl₂ プラズマによりサイドウォール形成のためのドライエッチングを行った後、図 3.11 に示す順に各処理を稀フッ酸処理まで行い、UHV-CVD 装置導入直前の状態を XPS により観察したワイドスキャンスペクトルを示す。なお、いずれの場合もオーバーエッチングは 10% で、分析した領域はイオン注入を行わなかった領域である (*n* 型 S/D 形成工程および *p* 型 S/D 形成工程において、レジストで覆ってあった)。

- CHF₃/Ar プラズマエッチング後に関しては、O、C および F に起因するピークが観察される。

- Cl_2 プラズマエッチング後に関しては、F 1s は観察されず、O 1s および C 1s に関しても CHF_3/Ar プラズマエッチング後に比べ強度は低い。

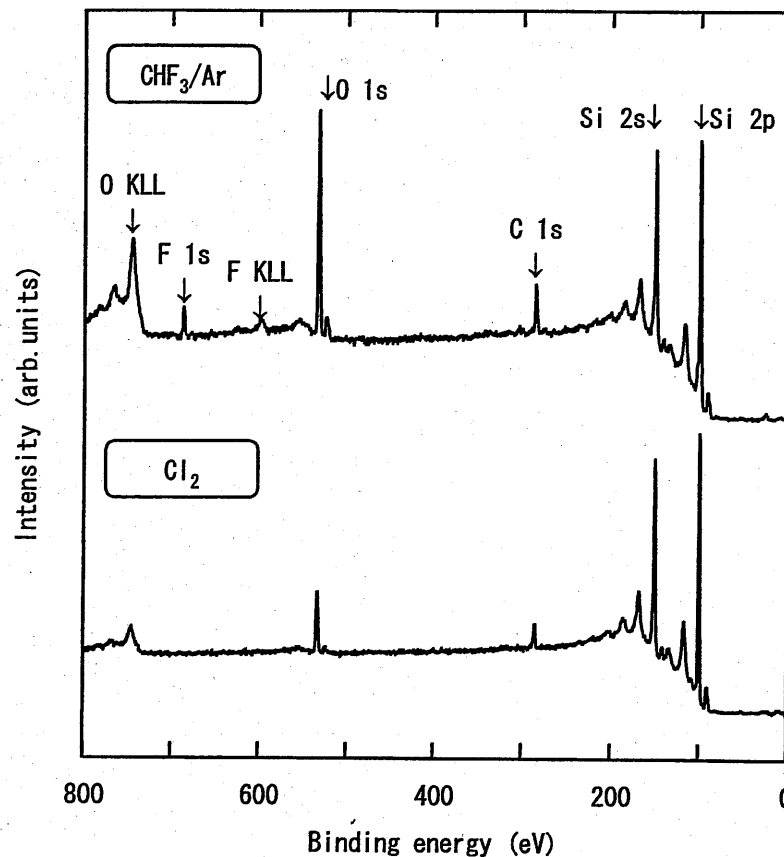


図3.12 稀フッ酸処理直後のSi表面のXPSワイドスキャンスペクトル

さらに図 3.13 に Si 2p および C 1s ピーク近傍のナロースキャンスペクトルを示す。

Si 2p について、

- CHF_3/Ar プラズマエッチングの場合には、 Si-O_x 結合($x < 2$) (102.8 eV) によるサブピークが観測された[1, 3]。
- Cl_2 プラズマエッチングの場合には、 Si-O_x 結合ピークは観測されず、基板からの Si-Si 結合ピーク (99.6 eV) のみであった。

C 1s について、

- CHF_3/Ar プラズマエッチングの場合、C-C 結合 (あるいは C-H 結合) によるメインピーク (285.2 eV[4]) の両脇に、C-Si 結合 (283.5 eV[5]) と C-O 結合 (286.9 eV[6]) によるピークが観測される。
- Cl_2 プラズマエッチングの場合には、C-Si 結合は観測されず、メインピークと C-O 結合のみ観測された。

CHF_3/Ar プラズマエッチングの場合、Si 2p スペクトルから Si-O_x 結合が、C 1s スペクトルから C-Si 結合および C-O 結合がそれぞれ観測された。これらの結合状態の特徴から、 CHF_3/Ar

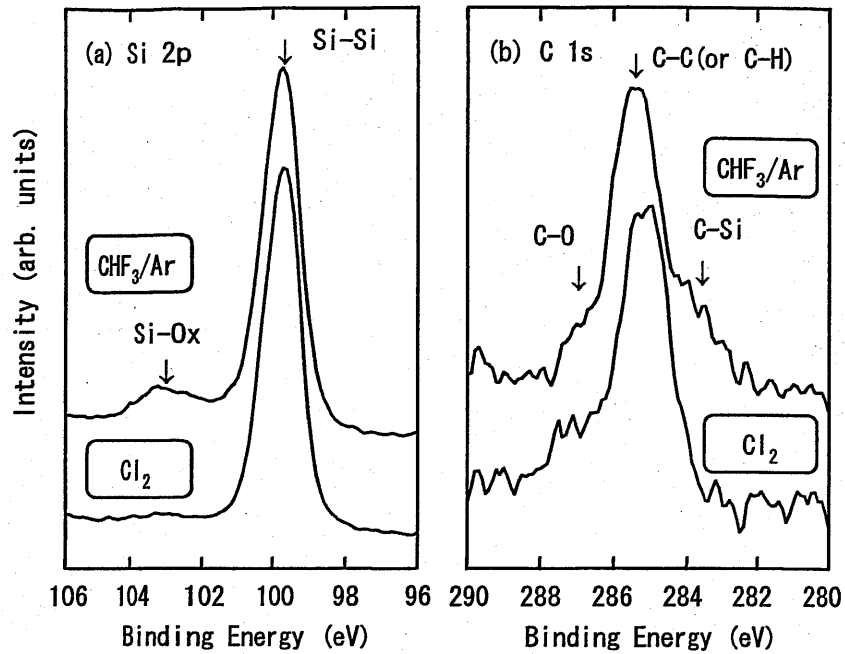


図3.13 稀フッ酸処理直後のSi表面のSi2pおよびC1sスペクトル

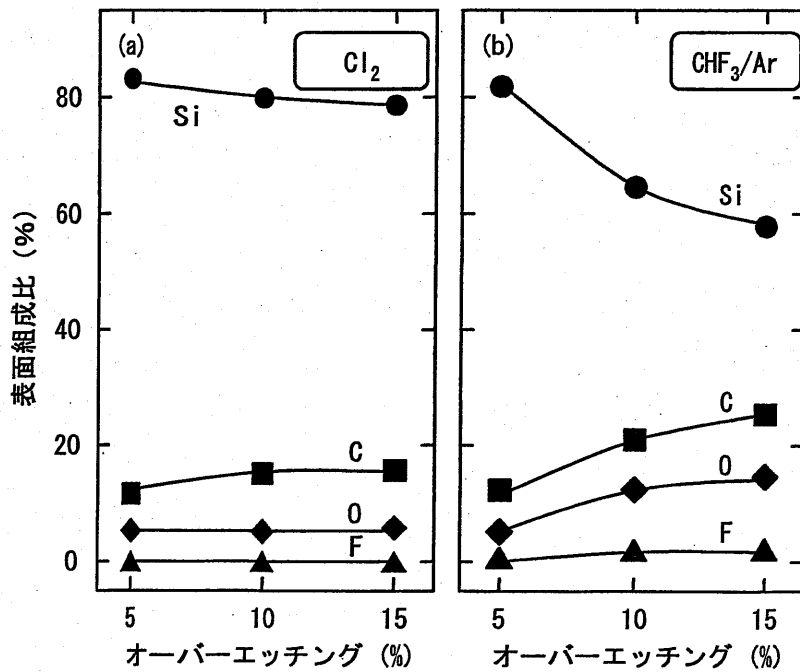


図3.14 表面組成比のオーバーエッチング依存性

プラズマエッチングにより 3-2-3 節で述べたアモルファス層が生成されたものと考えられる。一方、Cl₂ プラズマエッチングの場合は、これらのアモルファス層特有の結合状態が観測されなかったことから、アモルファス層は生成されていない可能性が高い。

図 3.14 は、Cl₂ および CHF₃/Ar プラズマエッチングに関して、XPS 測定によりもとめた表面組成比のオーバーエッチング依存性をそれぞれ示す。

特徴的なことを以下に示す。

Cl₂ プラズマエッチングに関して、

- 各組成ともオーバーエッチング依存性は低く、しかも Si に関しては、約 80% の高い組成比率を保持している (図 3.14 (a))。
- いずれのオーバーエッチング条件においても、Si-O_x 結合および C-Si 結合は観測されなかった (図示せず)。

CHF₃/Ar プラズマエッチングに関して、

- Si 組成比を除くすべての組成はオーバーエッチング延長に伴い増加し、Si 組成比はオーバーエッチング延長に伴い減少している。
- オーバーエッチング延長に伴い、Si-O_x 結合ピークも増加しており、アモルファス層の膜厚がオーバーエッチング延長に伴い増加しているものと考えられる (図示せず)。

以上の結果から、Cl₂ プラズマエッチングは CHF₃/Ar プラズマエッチングに比べてアモルファス層の発生が無く、かつオーバーエッチング依存性も低いために選択エピタキシャル成長に適していると判断できる。

3-3-3 CMOS トランジスタ上における SEG-Si 形状の成長温度依存性

つぎに、実際の CMOS トランジスタ上での SEG-Si 形状を評価するため、サイドウォール形成工程条件を固定しサンプルを作製した。前節の評価結果を採用しサイドウォール形成工程では Cl₂ プラズマにより CVD-Si₃N₄ 膜のエッチバックを行った。なお、この際オーバーエッチングは 15% である。エピタキシャル成長条件に関しては、Si₂H₆ 流量 1.0 sccm、Cl₂ 流量 0.06 sccm に固定し、成長温度を 710°C ~ 650°C の範囲で変えた。断面 SEM で観察した *n*-MOS および *p*-MOS 上の SEG-Si 形状を図 3.15 に示す。

- 成長温度 710°C で成長した場合 (成長時間 3 min)、成長温度が低い場合に比べて表面モホロジーが悪く、特に *p*-MOS では表面上に大きなクボミが見られる。また、サイドウォール近傍の SEG-Si 端部には (311) ファセットが観察される。さらに *p*-MOS 上の SEG-Si 平均膜厚は *n*-MOS の平均膜厚の 71% であった (相対膜厚) (図 3.15 (a))。
- 成長温度を 670°C に下げた場合 (成長時間 4 min) には、710°C の場合に比べて SEG-Si の表面モホロジーが緩和され、相対膜厚に関しても 85% に改善されている (図 3.15 (b))。
- 成長温度 650°C で成長した場合 (成長時間 20 min)、*p*-MOS、*n*-MOS ともに表面モホロジーは極めて良好で、(311) ファセットも消滅しており、相対膜厚も 104% であった (図 3.15 (c))。

2-4 節で、SEG-Si 端部における (311) ファセット形状は、プロセス条件 (ガス流量および成長温度) に依存することを述べた。ファセット形状は、Si₂H₆ 分子が分解して発生した吸着分子の表面拡散距離と表面自由エネルギーの最小化効果とのバランスにより決定される。Si₂H₆ 流量が多くかつ成長温度が低いほど (311) ファセットは減少し SEG-Si 表面は平坦になる。よって、今回の温度依存性も同様な効果によるものと考えられる。しかし、表面モホ

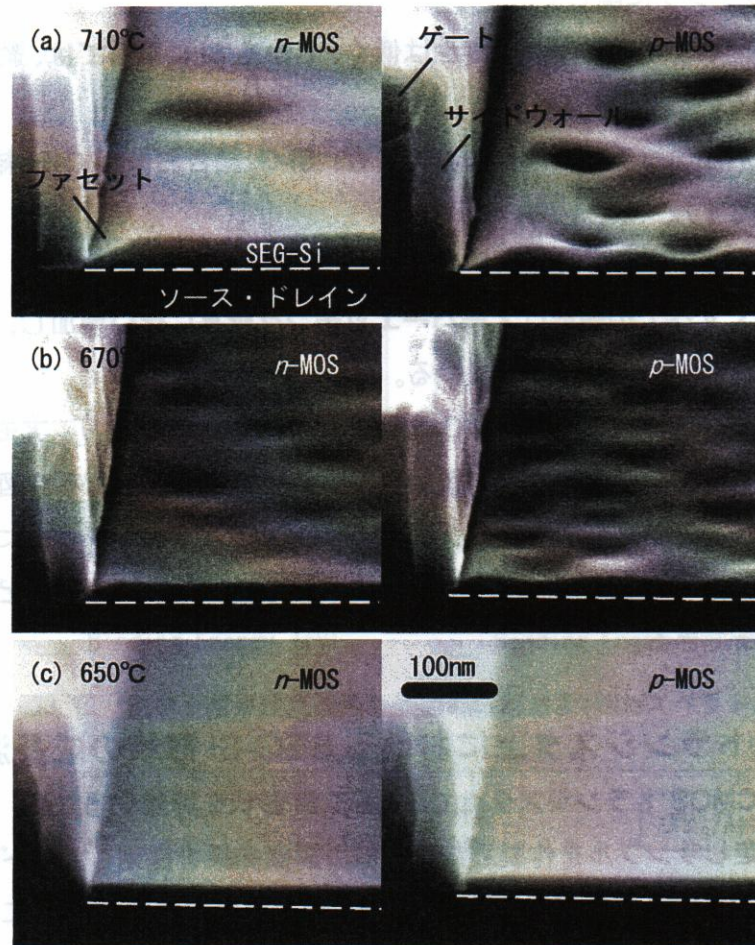


図3.15 CMOSトランジスタ上のSEG-Si表面形状

ロジューや相対膜厚の温度依存性は、このような効果では説明できない。そこで、さらに詳しく調べるため、 Si_2H_6 流量 1.0 sccm に固定したまま、 Cl_2 流量を 0.03~0.09 sccm、成長温度を 630~710°Cの範囲で変え、エピタキシャル成長を行った。図 3.16 は n -MOS 上での成長速度（図 3.16 (a)）と相対膜厚（図 3.16 (b)）をそれぞれ示す。

特徴的なことは、

- Cl_2 流量がいずれの場合においても、成長温度上昇とともに n -MOS 上での成長速度も上昇し、相対膜厚は低下している。
- モホロジーに関しても、図 3.15 の場合と同様で、成長温度が高いほど劣化した（図示せず。）。

以上の結果から、 Cl_2 流量がいずれの場合においても、相対膜厚は成長温度が高いほど上昇し、SEG-Si 表面モホロジーについても劣化することが分かる。

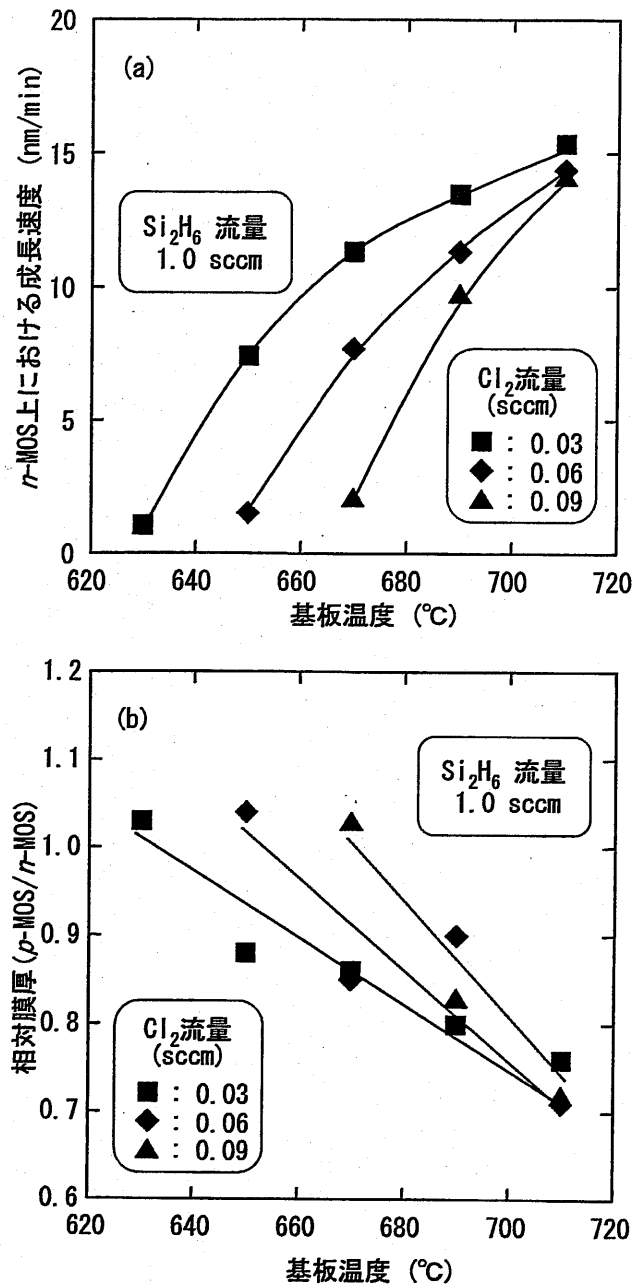


図3.16 n -MOS上の(100)面成長速度と相対膜厚の成長温度依存性

3-3-4 SEG-Si 層/ソース・ドレイン界面の評価

相対膜厚および SEG-Si 表面モホロジーの成長温度依存性の原因を解明するため、SEG-Si 層/ソース・ドレイン界面の TEM 観察を行った。図 3.17(a), (b)は、それぞれ図 3.15 (a)の場合（成長温度 710°C、 Si_2H_6 流量 1.0 sccm、 Cl_2 流量 0.06 sccm）と図 3.15 (c)の場合（成長温度 650°C、 Si_2H_6 流量 1.0 sccm、 Cl_2 流量 0.06 sccm）の n 、 p -MOS の SEG-Si/ソース・ドレイン界面近傍の断面 TEM 像をそれぞれ示す。なお、図中破線は界面位置を示す。

特徴的なのは、

- n -MOS において、いずれの成長温度においても、界面および SEG-Si 層中に欠陥等は見

られない。

- p -MOS においても、界面付近に欠陥と思われるコントラストの違いはあるものの、成長温度差による違いは観察されなかった。

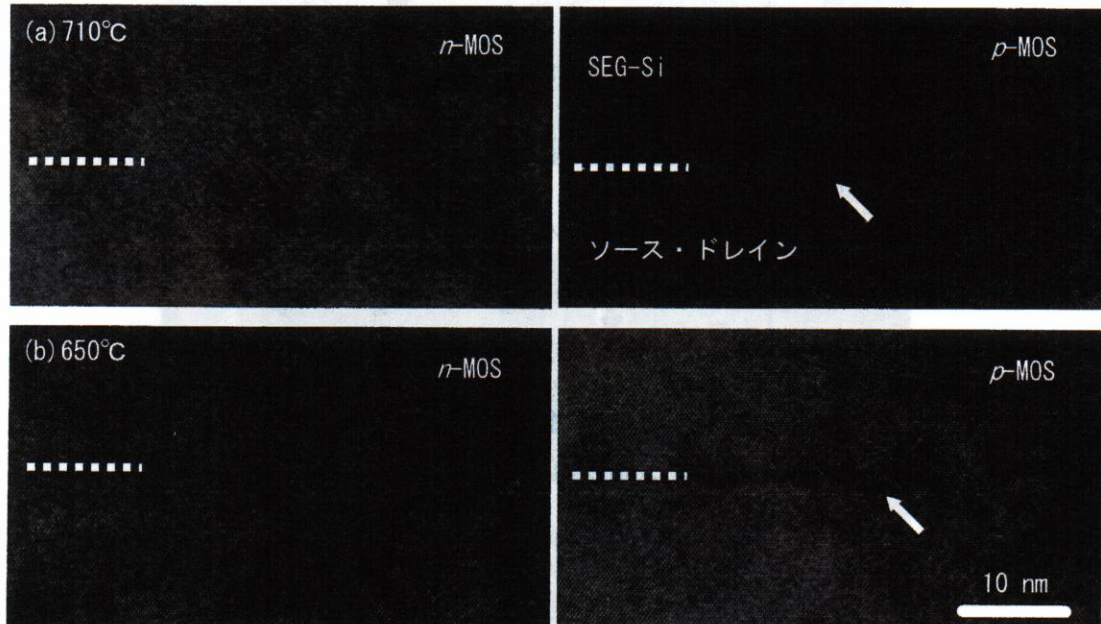


図3.17 SEG-Si/ソース・ドレイン界面の断面TEM観察

上記の断面 TEM 観察では、SEG-Si 層の表面モロロジー劣化や p/n -MOS 間の膜厚の違いが生じる原因が明らかにならなかったため、成長初期段階に着目して、成長時間を短くし SEG-Si 層を成長した後に断面 SEM 観察を行った。図 3.18 は成長温度 710°C、 Si_2H_6 流量 1.0 sccm、 Cl_2 流量 0.06 sccm で、45 sec 間エピタキシャル成長した場合の p 、 n -MOS の断面 SEM 像を示す。

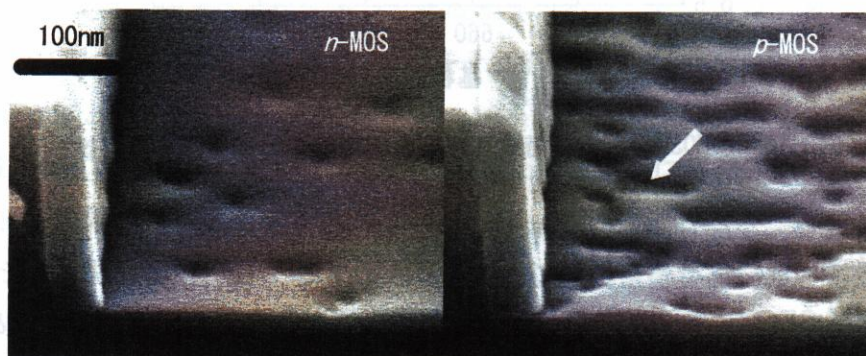


図3.18 CMOS上におけるエピタキシャルSi成長初期状態の観察

特徴的なことは、

- n -MOS に比べて p -MOS の方が表面モロロジーは悪く、このような差は成長初期段階から発生していることを確認できる。
- p -MOS 上には SEG-Si が成長している部分と全く成長していない部分（図中、矢印で示

す未成長部分) が混在していることも分かる。

つぎに未成長部分の状態を調べるため、プロセス条件を2段階に分けエピタキシャル成長(2段階成長)を行った。まず、基板温度 850°C、3 min でプレヒートを行い、1層目の SEG-Si 層を成長温度 710°C、 Si_2H_6 流量 1.0 sccm、 Cl_2 流量 0.06 sccm の条件で、45 sec 間成長する。その後、基板温度を 480°C まで冷却し、 Cl_2 ガスは導入せずに Si_2H_6 流量 10.0 sccm のみによって 90 min 間2回目のエピタキシャル成長を行った。この場合、1層目の SEG-Si 層が未成長であった部分を、2層目の Si 堆積層でキャップすることになる。大気中にウエハを出した際に、酸化や他元素の汚染から未成長部分を保護することができる。図 3.19 は上記の2段階成長後の p -MOS の断面 TEM 像を示し、図中破線は SEG-Si 層/ソース・ドレイン界面を示す。

- SEG-Si 層の表面上にクボミを観察することができる(図 3.19 (a)中の A)。このようなクボミは1層目の成長時に未成長であった部分に、直接2層目が成長したものと考えられる(図 3.19 (c))。
- 詳細にクボミ部分を観察すると2層目の Si 堆積層/ソース・ドレイン界面にアモルファス層がみられる(図 3.19 (b),(c)中の B)。

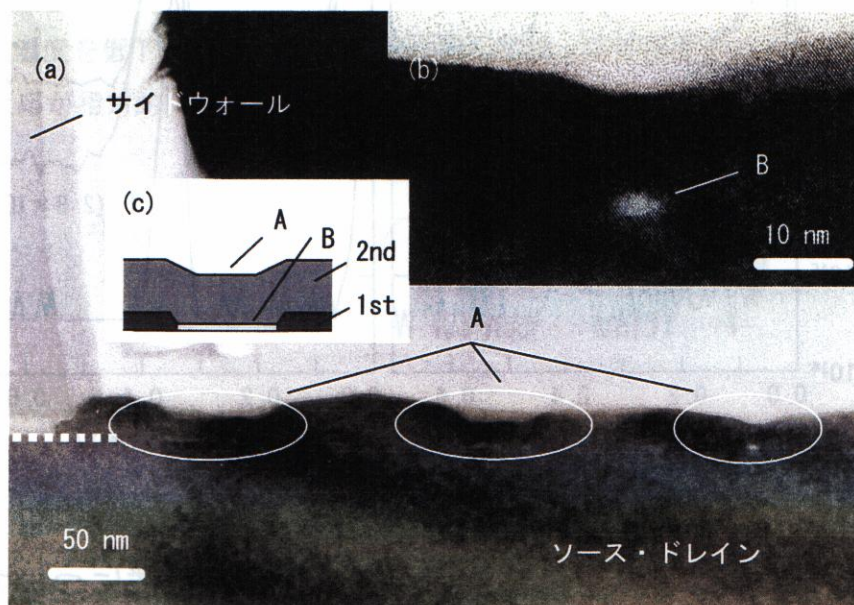


図3.19 2段階成長後の界面状態の断面TEM観察

3-2-4 節で、ドライエッチングにより、炭素(C)、フッ素(F)を含み SiO_x ($x < 2$) を主成分とするアモルファス層が形成され、これがエピタキシャル成長の阻害原因になることを述べた。しかしながら、 Cl_2 プラズマエッチングの場合、エピタキシャル成長前の XPS 分析では、アモルファス層の存在を示す結合状態を検出できなかった。そこで、XPS より検出感度の高い SIMS を用いて、稀フッ酸処理後に XPS 分析により検出した O、C、および F の定量化を試みた。図 3.20 は、2段階成長の1層目の条件では成長せず、2層目の成長条件でエピタキシャル成長した後に、 n -MOS と p -MOS の O、C、および F の Si 堆積層/基板界面の SIMS 分析

を行った結果を示す。なお、図中における各元素記号に続く値は、界面における各元素の界面被覆率を示し、算出方法は、3-2-5 節で述べた方法と同様である（界面被覆率 1 が Si(100) における 1 モノレイヤーに相当する。）。特徴的であることは、 n -, p -MOS いずれにおいても O 濃度が高く、さらに p -MOS の O 濃度は n -MOS の 7 倍以上である。この O 濃度の差はアモルファス層の表面被覆量の違いにより生じたものと考えられ、さらにモホロジー劣化や p/n -MOS 間で膜厚差が生じる原因であると思われる。また、3-2-4 節に記したように、ドライエッチングとアモルファス層の発生のメカニズムは明らかにできないが、基板のタイプにも依存することを示唆している。

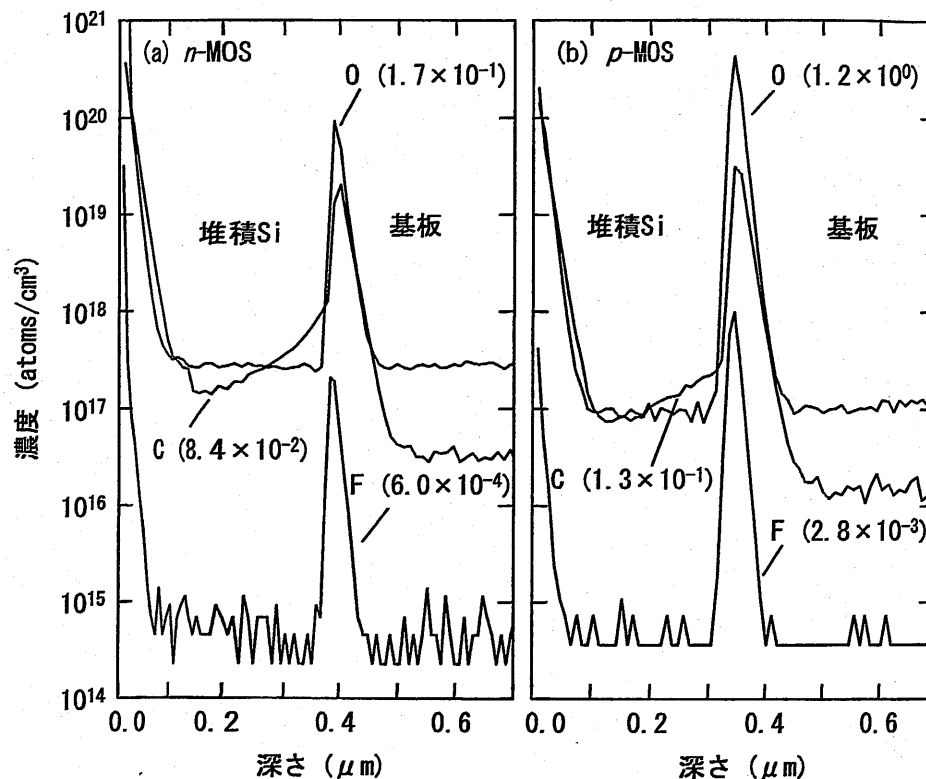


図3.20 深さ方向の不純物プロファイル

3-3-5 CMOS トランジスタ上におけるモホロジー形成についての考察

実験結果から、 n -, p -MOS 上の違いによる SEG-Si 表面モホロジー形成の違いについて考察する。図 3.21 は、基板温度 710°C、 Si_2H_6 流量 1.0 sccm、 Cl_2 流量 0.06 sccm で、エピタキシャル成長を行う場合の n -, p -MOS 上における表面モホロジー形成モデルを示す。

- (a) SIMS 分析結果より、 Cl_2 プラズマによるエッチングであっても、1 モノレイヤー程度の僅かなアモルファス層が生じ、その主成分は SiO_x であると考えられる。ところで、自然酸化膜等の比較的薄い SiO_2 膜は 700°C 以上で、Si 基板と反応し、揮発性 SiO となり蒸発することが知られている ($\text{Si} + \text{SiO}_2 \rightarrow \text{SiO} \uparrow$) [7]。しかしながら、今回の場合、SIMS 分析の結果から 850°C、3 min のプレヒートでは、エッチングに起因するアモルファス層は完全には除去できず、Si 表面上に残留したと考えられる。なお、 p -MOS の

方が n -MOS に比べアモルファス層の残留量が多いと考えられる。

- (b) エピタキシャル成長初期において、 p - n -MOS 間で、 $\langle 100 \rangle$ 方向の成長速度の大きな違いはないものと考えられるが、アモルファス層の被覆率が p -MOS の方が高いため、成長領域が n -MOS に比べ限定される。言い換えると、成長領域の底面積が限定されている。底面積が狭い場合、SEG-Si 端部に早期にファセットが発生し、 $\langle 100 \rangle$ 方向の成長速度が減速する[9]。
- (c) エピタキシャル成長中は Si 表面上において、上記に示す反応式に従い、 Si_2H_6 分子が分解して発生した吸着分子とアモルファス層が反応し、アモルファス層が揮発するものと考えられる[10]。この際、 n -MOS 方が、 p -MOS に比べアモルファス層の被覆量が少ないため、 p -MOS より早期にアモルファス層が揮発する。
- (d) さらに長時間エピタキシャル成長を続けると、 p -MOS においてもアモルファス層が全て除去される。よって、成長終了時には、 n - p -MOS とともにアモルファス層は残留せず、モホロジーや膜厚の違いのみが顕著に観察される。このため、TEM 観察を行った際、SEG-Si 層/ソース・ドレイン界面には、アモルファス層が観察されなかったと考えられる。

なお、基板温度を低下させ、 650°C の場合に関しては、成長速度が低下するためアモルファス層の除去反応が相対的に進行し、そのために n - p -MOS 間での膜厚および表面モホロジー

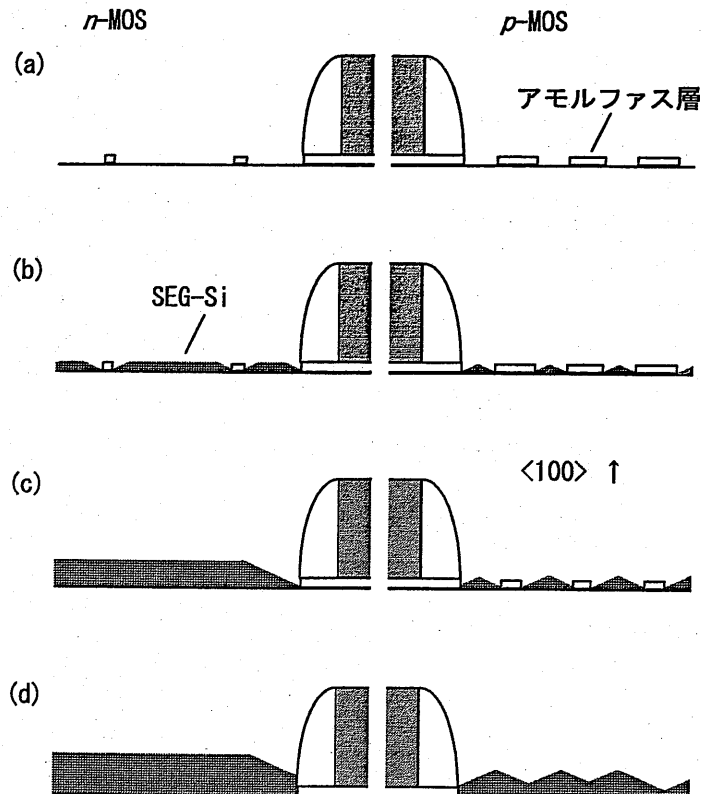


図3.21 CMOSトランジスタ上におけるSEG-Si表面形成モデル

の差異が生じないものと考えられる。

3-4 まとめ

本章では、実際の MOS トランジスタのソース・ドレイン領域を想定し、前工程のドライエッチングや基板タイプの違い (n/p 型) が、選択エピタキシャル成長に与える影響を実験的に評価し、以下の結果を得た。

SiO_2 のドライエッチングの影響および後処理の効果に関して、 $\text{C}_4\text{F}_8/\text{O}_2$ プラズマにより、 $\text{Si}(100)$ 基板上の CVD-SiO_2 膜をドライエッチングした際、下地の $\text{Si}(100)$ 基板表面上にアモルファス層を生ずる。この層はサブオキサイド (SiO_x ($x < 2$)) を主成分とし、炭素およびフッ素を含む層で、膜厚は約 1~2 nm であった。さらに、特異な結合状態 (Si-O_x 、 C-Si 、および C-O 結合) を有している。

アモルファス層は 850°C 未満の真空中のプレヒートでは、除去できずエピタキシャル成長を阻害する原因になる。しかし、 CVD-SiO_2 膜のエッチング後に CDE 処理を加えることによりアモルファス層は除去され、比較的低温のプレヒート 650°C でもエピタキシャル成長が可能になる。この事実は、エピタキシャル成長プロセスの低温化を図れるため、今後のエレベイテッドソース・ドレイン構造トランジスタを実現するためには重要である。

なお、CDE 処理有無の場合において、プレヒート 850°C を行った後にエピタキシャル成長した場合、CDE 処理無しのエピタキシャル Si 表面は、CDE 処理有りに比べ平坦性が劣る。この原因はアモルファス層中の C が、 850°C のプレヒートを施してもアイランド状 SiC を形成し Si 基板表面に残留するためである。

Si_3N_4 サイドウォールを有する CMOS トランジスタ上にエレベイテッドソース・ドレイン構造化に関して、サイドウォール形成エッチングおよびエピタキシャル成長のプロセス条件の最適化を図ることにより、CMOS トランジスタ上の異なるタイプのソース・ドレイン領域へ、同様な膜厚および平坦性を有する SEG-Si 層を成長することを試みた。

エッチング方式を選定するため、 Cl_2 プラズマおよび CHF_3/Ar プラズマによる Si_3N_4 サイドウォール形成エッチングの影響を比較した。 Cl_2 プラズマエッチングは、 CHF_3/Ar プラズマエッチングに比べアモルファス層の発生が無く、かつ、オーバーエッチング依存性も低いために選択エピタキシャル成長に適していると判断できる。

しかし、 Cl_2 プラズマエッチングにより Si_3N_4 サイドウォールを形成した場合においても、1 モノレイヤー程度の僅かなアモルファス層が形成され、SEG-Si 表面モホロジー劣化および p -MOS と n -MOS 上の SEG-Si の膜厚差を生じる原因になることが判明した。しかし、選択エピタキシャル成長プロセス条件の最適化を図ることにより、表面モホロジーおよび膜厚差が改善されることを見出した。

本章から得られた結果によれば、サイドウォール形成エッチングおよび選択エピタキシャル

ル成長のプロセス条件の最適化を図ることにより、CMOS トランジスタ上にソース・ドレインのタイプ (*n/p* 型) に依存せず、選択的に平坦な 30 nm の膜厚の SEG-Si を成長することが可能であることを見出した (図 3.15(c) のサンプルの計測値)。なお、1-2-2 節で述べたように、2007 年の Technology node が 65 nm に差し掛かり、 X_j が 18~37 nm になる頃には、従来法にかわる製造方法が必要と予測されている。単純に見積もるため、この X_j の値に今回得られた SEG-Si 膜厚を足し合わせると、48~67 nm となる。この値は、Technology node が 130 nm (2001 年) の場合の X_j 値とほぼ一致する。すなわち、現行のソース・ドレイン形成技術と選択エピタキシャル成長技術を組み合わせることにより、2007 年以降も短チャンネル効果の問題を解決できることを示唆している。

参考文献

- [1] N. Aoto, M. Nakamori, S. Yamasaki, H. Hada, N. Ikarashi, K. Ishida, Y. Teraoka, and I. Nishiyama, J. Appl. Phys., 77 (1995) pp.3899-3907.
- [2] T. Furukawa, T. Nakahata, S. Maruno, Y. Tokuda, and S. Satoh, Jpn. J. Appl. Phys., 38 (1999) pp.5046-5047.
- [3] J. A. Taylor, G. M. Lancaster, A. Ignatiev, and J. W. Rabaalais, J. Chem. Phys. 68 (1978) pp.1776-1784.
- [4] D. T. Clark, D. Kilcast, and W. K. R. Musgrave, J. Chem. Soc. Chem. Commun. 517 (1971)
- [5] K. L. Smith, K. M. Black, J. Vac. Sci. Technol. A 2 (1984) pp.744.
- [6] Handbook of X-ray Photoelectron Spectroscopy, Perkin-Elmer Corporation, Minnesota, USA, (1992)
- [7] A. Ishizaka and Y. Shiraki, J. Electrochem. Soc., 13 (1986) pp.666-671.
- [8] J. Tanimura, O. Wada, Y. Endoh, M. Imaizumi, and T. Ogawa, Mat. Res. Soc. Symp. Proc., 399 (1996) pp.485-490.
- [9] Takumi Nakahata, Kohei Sugihara, Taisuke Furukawa, Satoshi Yamakawa, Shigemitsu Maruno, Yasunori Tokuda, Kazuma Yamamoto, Toru Inagaki, and Hiromi Kiyama, "Epitaxial $\text{Si}_{1-x}\text{Ge}_x$ grown into fine contact hole by ultrahigh-vacuum chemical vapor deposition", Materials Science and Engineering, B68 (2000) pp. 171-174.
- [10] M. Tabe, Jpn. J. Appl. Phys., 21 (1982) pp.534.

第4章 電気特性の改善

4-1 はじめに

マイクロプロセッサなどに用いられる CMOS トランジスタの場合、動作速度の高速化を図るため、Salicide (Self-aligned silicide) 法[1, 2]により、ゲート電極およびソース・ドレイン (S/D) 領域上に金属シリサイドを形成して低抵抗化を図っている。一般に、金属シリサイドには、チタンシリサイド (TiSi_2) やコバルトシリサイド (CoSi_2) などが用いられている。金属シリサイドと p/n 接合間の距離が、短くなるとリーク電流が増大することが知られている[7]。特に CoSi_2 の場合、スパイク状に成長することが報告されており[8]、S/D 領域を突き抜け、致命的なリークの原因となる問題点がある。

一方、デバイスの高集積化、微細化に伴い、従来以上に設計マージンがなくなっている。デバイスを高集積化する上での問題点として、各要素間の重ね合わせマージンの減少があり、とりわけ、コンタクト径縮小における形成プロセスの問題や、縮小による抵抗増加などの電気的な問題が挙げられる。理想的には、従来の重ね合わせマージンのまま、コンタクト径の確保が望ましいと考えられる。MOS トランジスタとの重ね合わせマージンの確保には、セルフアラインコンタクト (SAC[11]) のようにサイドウォール材料をシリコン酸化膜 (SiO_2) からシリコン窒化膜 (Si_3N_4) 変更し、エッチング方式を開発することにより対応が図られている。さらに微細化を推進するためには、分離領域に対して重ね合わせマージンを確保する必要も生じてくると予想され、様々な方法が提案されている[13, 14, 15]。

本章では、はじめに Salicide-CMOS トランジスタをエレベイテッドソース・ドレイン構造化することにより、 CoSi_2 のスパイク成長によるリーク電流を抑制し、それに加え CoSi_2 膜厚を厚くすることにより S/D 領域の寄生抵抗を低減し電流駆動能力の向上を試みた。つぎに、分離領域に対して重ね合わせマージンを確保する方法として、コンタクトプラグを形成する前に、コンタクトホール底に SEG-Si 層を成長することにより、分離耐圧を改善する方法を提案し、分離領域に対する重ね合わせマージンの拡大を図った。

4-2 Salicide-CMOS トランジスタの電気特性改善

本節では、Salicide 法により CMOS トランジスタのゲート電極および S/D 領域上に CoSi を形成する前に、SEG-Si 層を成長してエレベイテッドソース・ドレイン構造化を図った。この場合、 CoSi 形成時に SEG-Si 層が緩衝となるため、スパイク状 CoSi の先端が p/n 接合位置まで到達せず、リーク電流の抑制を期待できる。さらに SEG-Si 層を有効に活かし CoSi 膜厚を厚く形成することにより S/D 領域の寄生抵抗を低減して電流駆動能力の向上を図った。なお、サイドウォールに CVD- Si_3N_4 膜を用いたため、選択エピタキシャル成長には、 Si_2H_6

ガスに Cl_2 ガスを添加するプロセスを用いた。

4-2-1 サンプル作製方法

試作したエレベイテッドソース・ドレイン構造の CMOS トランジスタのプロセスフローを図 4.1 に示す。

- (a) 通常の CMOS トランジスタ作製フローに従って STI (Shallow Trench Isolation) 分離領域[9]、ウェル領域[10]を形成する。その後、3-3-1 節に記した要領で、ポリ Si ゲート (ゲート酸化膜厚 2.5 nm、ゲート長 0.10~0.36 μm) を形成後、As イオン注入 (5 keV, 4×10^{14} ions/ cm^2) と BF_2 イオン注入 (5 keV, 2×10^{15} ions/ cm^2) を行い n -MOS および p -MOS の Extension-S/D 領域[3]を形成する。つぎに、30nm 幅の CVD- Si_3N_4 サイドウォールを形成する。
- (b) 再度、As イオン注入 (50 keV, 4×10^{15} ions/ cm^2) と BF_2 イオン注入 (20 keV, 4×10^{15} ions/ cm^2) を行い n -MOS および p -MOS の Deep-S/D 領域[3]を形成する。
- (c) 選択エピタキシャル成長により、SEG-Si 層を 15 nm あるいは 30 nm 成長する。この際、プレヒートは 850°C, 3 min で、成長条件は成長温度 670°C, Si_2H_6 流量 1.5 sccm, Cl_2 流量 0.7 sccm, 成長時間 3.5 min (SEG-Si 膜厚 30 nm の場合) である。
- (d) ゲート電極および S/D 領域上に CoSi_2 層を形成するため、スパッタ法により、Co 膜および TiN 膜を連続的に堆積する。なお、Co 膜厚は 7、9、12 nm の 3 通りとし、TiN 膜厚は、13 nm に固定した。
- (e) RTA (Rapid Thermal Annealing) 法により、430°C, 90 sec の熱処理を行い、ゲート電極および S/D 領域の Si を、Co と反応させることにより CoSi 層を形成する。
- (f) 硫酸過水処理により、TiN 膜および未反応の Co を除去する。この際、 CoSi 層は不溶であるので、ゲート電極および S/D 領域上に CoSi 層を選択的に形成することができる。再度、比較的高温の RTA 処理 (850°C, 30 sec) を行うことにより、 CoSi 層から CoSi_2 層への相変化を起こし、 CoSi 層を低抵抗化する。なお、 CoSi 層の抵抗率は 150~200 $\mu\Omega \cdot \text{cm}$ で、 CoSi_2 層の抵抗率は 15~20 $\mu\Omega \cdot \text{cm}$ である。
- (g) 層間膜を堆積し、層間膜に S/D、ゲート電極と配線を接続するためのコンタクトホールを形成する。アルミニウム (Al) をスパッタ法で堆積し、リソグラフィーとエッチングにより配線を形成する (図示せず)。

なお、リファレンスとして SEG-Si 層を成長しない通常構造の CMOS トランジスタも同時に作製した。

図 4.2 に SEG-Si 成長後の n -MOS および p -MOS 断面の SEM 写真を示す。 Si_3N_4 -サイドウォール上にはポリ Si の形成は全く見られず、完全な選択性が確保されていることが分かる。また、SEG-Si 表面は極めて平坦である。なお、 n -MOS/ p -MOS 間での膜厚差はほとんどみられなかった。

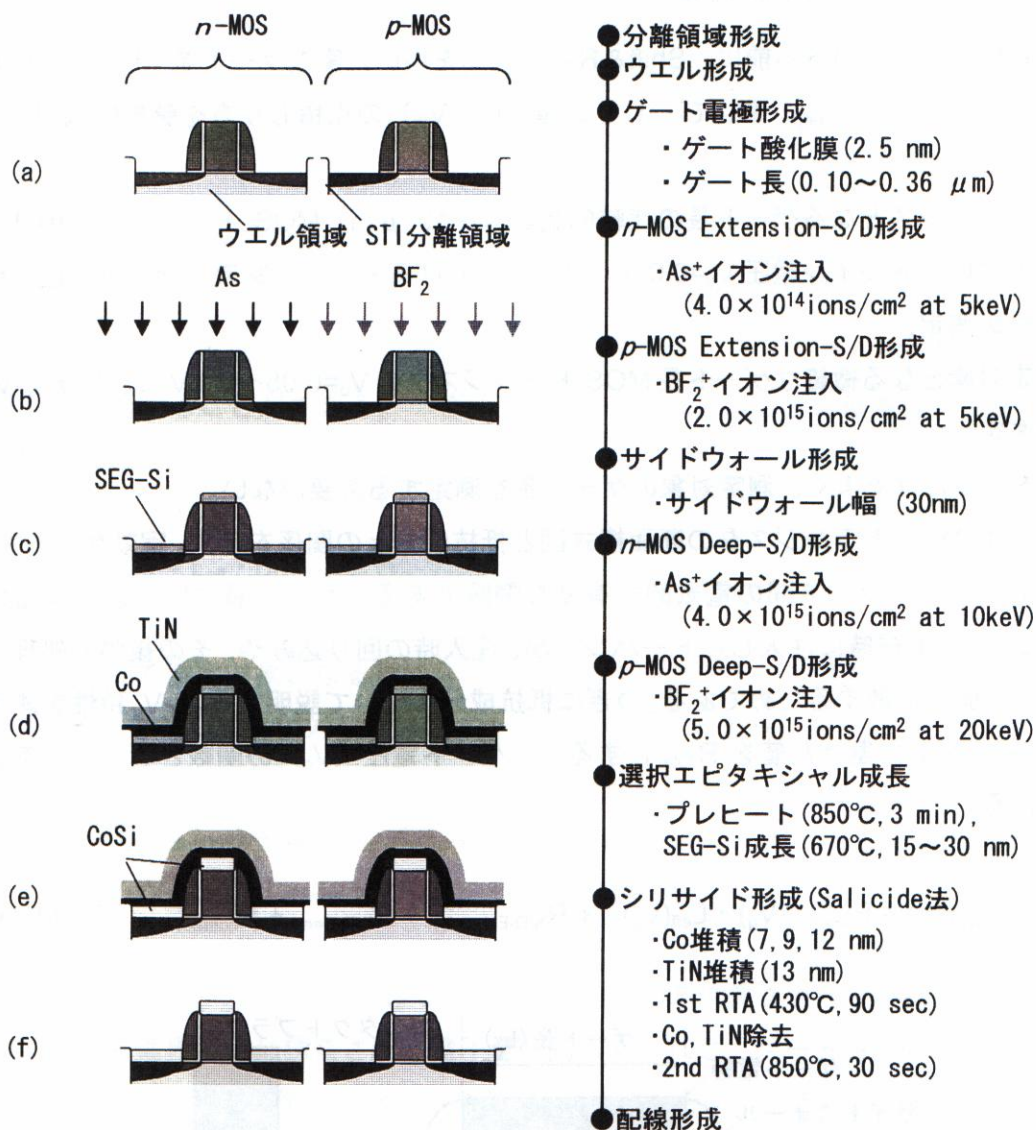


図4.1 CMOSトランジスタ製造工程フロー

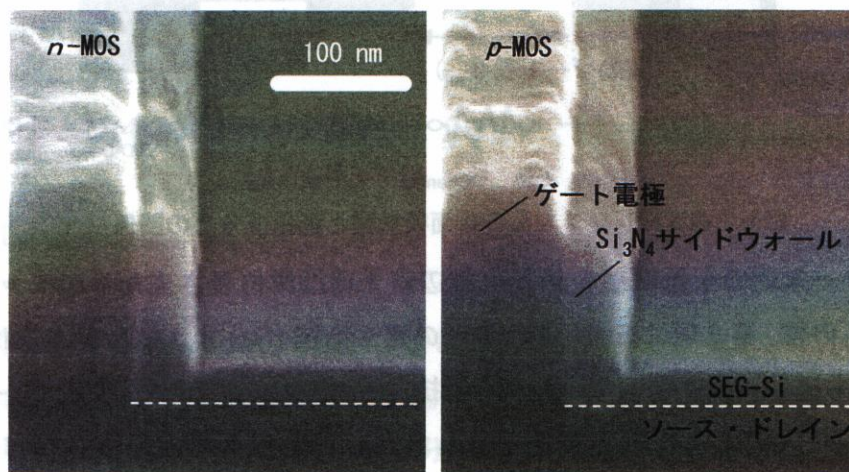


図4.2 SEG-Si成長後のCMOSトランジスタの断面SEM像

4-2-2 電気特性の評価方法

電気特性について述べる前に、Shift&Ratio 法[6]を用いた実効ゲート長 (L_{eff})、S/D 寄生抵抗 ($R_{\text{S/D-Extension}} + R_{\text{S/D-Deep}}$) および、しきい値電圧 (V_{th}) の見積もり方を簡単に説明する。この方法によれば、

- リファレンスとなるゲート長の比較的長い ($\sim 10 \mu\text{m}$) MOS トランジスタの寸法と、線形領域 (ド레인電圧 $V_d=0.05\sim 0.1 \text{ V}$) におけるド레인電流-ゲート電圧 (I_d-V_g) 特性の測定、
- 測定対象となる微細なゲート長 MOS トランジスタの $V_d=0.05\sim 0.1 \text{ V}$ における I_d-V_g 特性の測定

のみを行うだけでよく、測定対象のゲート長を測定する必要がない。

図 4.3 は、MOS トランジスタの断面模式図と抵抗成分との関係を示す。実効ゲート長 (L_{eff}) とは、ドレイン-ソース間の電氣的に有効な間隔である。ゲート長 (L_g) と異なるのは、Extension-S/D 形成時に注入したドーパントが、注入時の回り込みや、その後の熱処理によりチャンネル側に拡散するためである。つぎに抵抗成分について説明する。 I_d-V_g 特性を測定し、その際の V_d を I_d で割った値を R_{Total} とすると、ゲート電圧 (V_g) の関数となり、以下の式で与えられる。

$$R_{\text{Total}}(V_g) = R_{\text{channel}}(V_g) \cdot L_{\text{eff}}(V_g) + R_{\text{S/D-Extension}} + R_{\text{S/D-Deep}} + R_{\text{contact}} \quad (4-1)$$

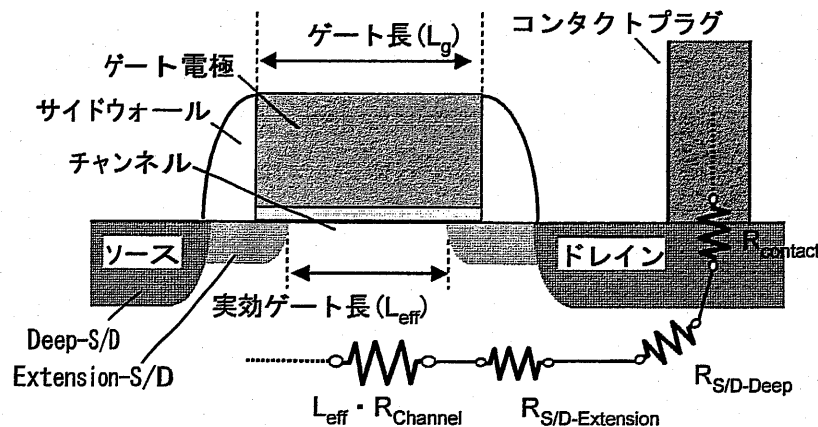


図4.3 MOSトランジスタの断面模式図と抵抗成分との関係

ドレイン-ソース間の全抵抗値を示し、右辺第1項は単位長さ当たりのチャンネル抵抗 (R_{channel}) と L_{eff} の積、第2項は Extension-S/D の寄生抵抗 ($R_{\text{S/D-Extension}}$)、第3項は Deep-S/D の寄生抵抗 ($R_{\text{S/D-Deep}}$)、第4項はコンタクト抵抗など (R_{contact}) である。第2項～第4項は、ソース側とド레인側で2箇所あるが、足し合わせたものとして扱う。なお、線形領域 ($V_d=0.05\sim 0.1 \text{ V}$) においては、 I_d は低い値となるため、 R_{Total} は十分に有効な値となる。ここで、以下の仮定がなされる。

- $R_{S/D-Extension}$ は V_g に依存しない。
- L_{eff} は V_g に依存しない。

なお、第2～第4項についてもゲート電界の影響を受けないと考えられるので、(4-1)式を V_g で微分すると

$$d[R_{Total}(V_g)]/dV_g = d[R_{channel}(V_g) \cdot L_{eff}]/dV_g = L_{eff} \cdot d[R_{channel}(V_g)]/dV_g \quad (4-2)$$

となる。つまり、MOS トランジスタの全抵抗の微分値は、チャンネル内の抵抗成分の微分値に等しいと考えることができる。つぎに、 $V_g = V_g - V_{th}$ (V_{th} はしきい値電圧) で置き換え、 $d[R_{Total}(V_g)]/dV_g = S(V_g)$ とおくと、

$$S(V_g - V_{th}) = L_{eff} \cdot d[R_{channel}(V_g - V_{th})]/dV_g \quad (4-3)$$

となる。ここで測定対象となる微細なゲート長およびリファレンスとなるゲート長の比較的長い MOS トランジスタに対し、(4-3)式をそれぞれ以下のようにおくと、

$$S_{short}(V_g - V_{th-short}) = L_{eff-short} \cdot d[R_{channel}(V_g - V_{th-short})]/dV_g \quad (4-4)$$

$$S_{long}(V_g - V_{th-long}) = L_{eff-long} \cdot d[R_{channel}(V_g - V_{th-long})]/dV_g \quad (4-5)$$

となり、ここで、 $d[R_{channel}(V_g - V_{th})]/dV_g$ は、チャンネル単位長さ当たりの抵抗成分である。実質的にゲート電界により誘発される電子量が同じであれば、ゲート長に依存しないはずである。そこで、測定対象の微細なゲート長の V_{th} は見積もらず、しきい値の差 $V_{th-long} - V_{th-short} = \Delta V_g$ とする。さらに、

$$r = S_{long}(V_g) / S_{short}(V_g - \Delta V_g) \quad (4-6)$$

とし、(4-4)および(4-5)式を代入すると、

$$r = L_{eff-long} / L_{eff-short} \quad (4-7)$$

になる。なお、リファレンスの寸法が大きいのでドーパントのチャンネル側への拡散を無視すると、 $L_{eff-long}$ 値をゲート長で代用できる。 $V_{th-long}$ 値に関してもリファレンスの I_d-V_g 特性測定から見積もることができるので、 r 値が分かれば、 $L_{eff-short}$ 値が分かることになる。

よって、測定対象の I_d-V_g 特性から求めた S_{short} をリファレンスの S_{long} に、 ΔV_g 値をパラメータとしてフィッティングすれば、 r 値を算出することができる。よって、 $V_{th-short}$ 値および $L_{eff-short}$

値を導出できる。それらの値を、(4-3)式に代入すれば、 $R_{\text{channel}}(V_g)$ が分かり、さらに(4-1)式に代入し、 $R_{\text{S/D-Extension}} + R_{\text{S/D-Deep}} + R_{\text{contact}}$ を導出できる。なお、今回の場合、コンタクトは CoSi_2 層-Al配線の接触抵抗などであるので、 R_{contact} を無視すると、S/D領域の寄生抵抗($R_{\text{S/D-Extension}} + R_{\text{S/D-Deep}}$)と近似することができる。

本研究では、リファレンスのMOSトランジスタには、ゲート長 $10\text{ }\mu\text{m}$ のものを用い、測定対象のMOSトランジスタのゲート長は、 $0.10\sim 0.36\text{ }\mu\text{m}$ である。ゲート幅はいずれの場合も $10\text{ }\mu\text{m}$ である。

4-2-3 接合リークおよびシート抵抗特性

S/D領域の接合リーク電流を測定した。図4.4は、 n -MOSの接合リーク電流の累積度数分布を示す。各図は、通常条件(SEG-Si無し: Conv.) (図4.4(a))、SEG-Si膜厚 15 nm (図4.4(b))、および、 30 nm (図4.4(c))のそれぞれ作製条件の場合を示す。なお、測定に用いたS/D領域の面積は $73386\text{ }\mu\text{m}^2$ 、S/D領域の周辺は全てSTI分離領域と接触しており、STI分離領域と接触している周辺長(STI分離端長)は $1175.4\text{ }\mu\text{m}$ である。S/D領域に 4 V を印加し、基板側に流れるリーク電流を測定した。測定位置数は8インチウエハ面内全域で60点である。なお、 CoSi_2 スパイクの発生頻度は、堆積したCoの膜厚や熱処理などのプロセス条件に依存する。そのため、統計的に取り扱う必要があり累積度数分布を用いた。なお、以下の特徴があった。

- SEG-Si成長を行わない通常構造(Conv.)の場合、堆積Co膜厚 7 nm では、リーク電流の増加はみられない。しかし、Co膜厚が増加するに従い接合リークが増加している。Co膜厚の増加に伴い CoSi_2 がスパイク状に成長する頻度が増加したと考えられる(図4.4(a))。
- SEG-Si膜厚 15 nm の場合、接合リーク電流は、Co膜厚に依存せず一定の値である。 CoSi_2 がスパイク状に成長したとしても、スパイクの先端がn/p接合位置まで達せず接合リークの増加を生じていないものと考えられる(図4.4(b))。
- SEG-Si膜厚 30 nm の場合には、SEG-Si膜厚 15 nm の場合と同様に、接合リークはCo膜厚に依存せず、増加はみられない(図4.4(c))。

つぎに、図4.5に、 p -MOSの接合リークを示す。なお、S/D領域の面積、STI分離端長は n -MOSの場合と同様である。S/D領域に -4 V を印加し、基板側に流れるリーク電流を測定した。

- SEG-Si成長を行わない通常構造(Conv.)の場合、堆積Co膜厚 7 nm では、リーク電流の増加はみられない。しかし、Co膜厚が増加するに従い接合リークが増加している。Co膜厚の増加に伴い、 CoSi_2 がスパイク状に成長する頻度が増加したと考えられる(図4.5(a))。
- SEG-Si膜厚 15 nm の場合、Co膜厚 12 nm では、若干の接合リークの増加がみられる。

Co 膜厚 9 nm および 7 nm では、接合リークの増加はみられない。Co 膜厚 9 nm 以下では Co スパイク先端は p/n 接合まで達せず、接合リークの増加を生じていないものと考えられる (図 4.5(b))

- SEG-Si 膜厚 30 nm の場合、Co 膜厚に依存せず接合リークの増加はみられない。CoSi₂ がスパイク状に成長したとしても、その先端は p/n 接合まで達せず接合リークは増加していないものと考えられる (図 4.5(c))

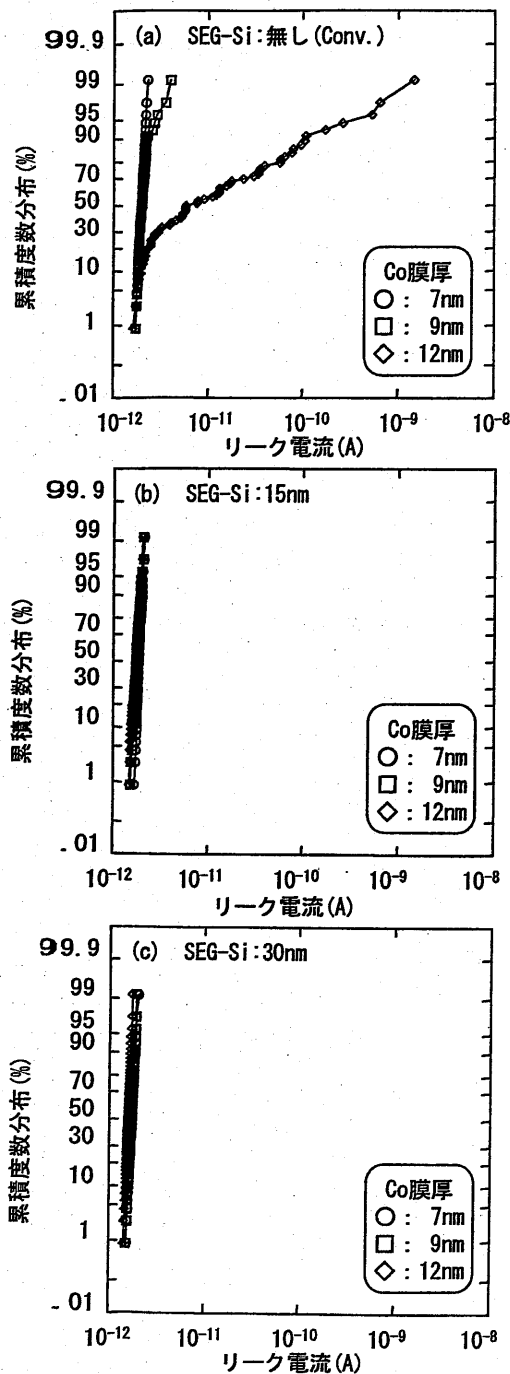


図4.4 *n*-MOSリーク電流のSEG-Si膜厚依存性

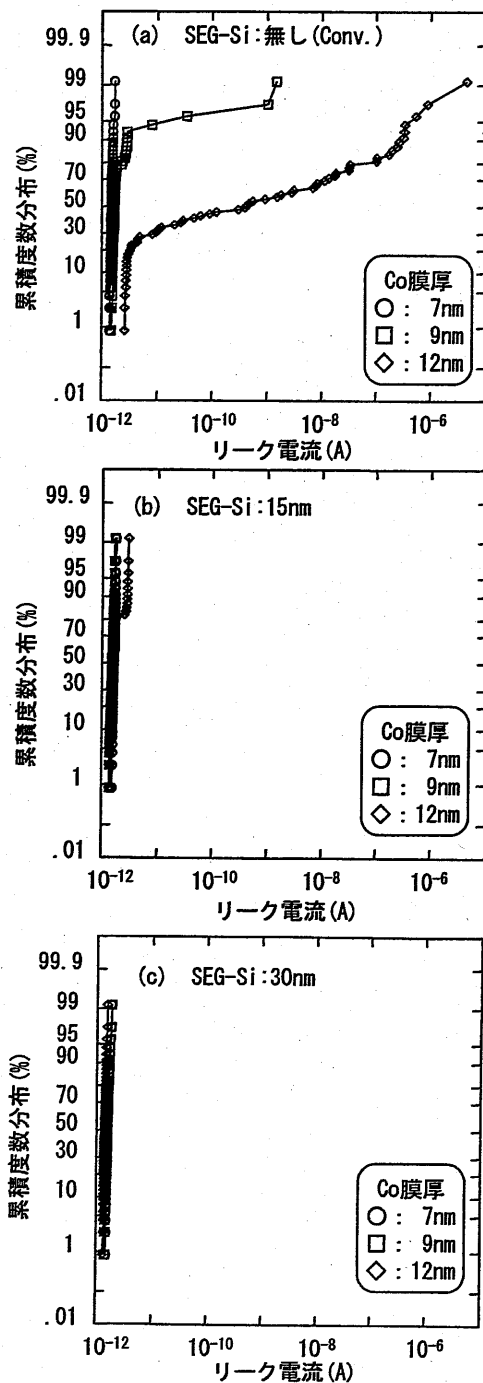


図4.5 *p*-MOSリーク電流のSEG-Si膜厚依存性

特徴的なことは、 n -MOS および p -MOS のいずれの場合であっても、S/D 領域上に SEG-Si 層を成長することにより、スパイク状に成長した CoSi_2 の先端が接合位置まで到達しないため、リーク電流が抑制されることである。

つぎに、S/D 領域のシート抵抗の SEG-Si 膜厚依存性を図 4.6 に示す。なお、測定に用いた S/D 領域のパターン寸法は、長さ $149\ \mu\text{m}$ 、幅 $10\ \mu\text{m}$ である。以下の特徴があった。

- n -MOS および p -MOS いずれの場合にも、Co 膜厚が増加するに従い、シート抵抗が低減している (図 4.6(a),(b))。
- SEG-Si 膜厚が $0\sim 15\ \text{nm}$ までは Co 膜厚に拘わらず、シート抵抗値は SEG-Si 膜厚に依存しない (図 4.6(a),(b))。

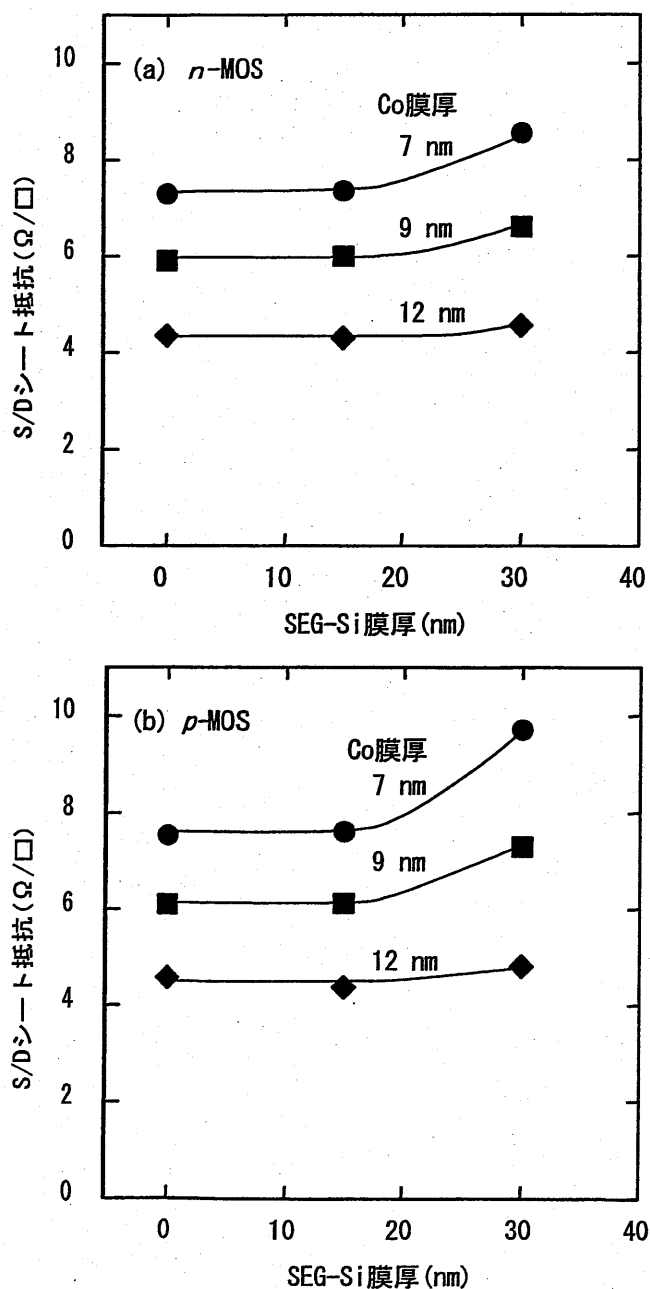


図4.6 S/Dシート抵抗のSEG-Si膜厚依存性

- SEG-Si 膜厚が 15 nm 以上では、シート抵抗値は SEG-Si 膜厚に従って増加する。なお、Co 膜厚の増加に従い、シート抵抗値の増加率は鈍化している（図 4.6(a),(b)）。

S/D シート抵抗の Co 膜厚依存性は、Co 膜厚を厚くすることにより低下している。これは CoSi₂ 膜厚が厚くなるためである。しかし、SEG-Si 層を一定以上に厚くした場合、CoSi 形成時に SEG-Si 層が消費されず、高抵抗な SEG-Si 層が、CoSi₂ 層と S/D 領域の間に残留する。そのため、CoSi₂ 層上に電極を配してシート抵抗を測定した場合、CoSi₂ 層のみしかシート抵抗値に寄与しないものと考えられる。なお、*n*-MOS に比べ *p*-MOS の方が、S/D シート抵抗の上昇が見られるのは、*n* 型 S/D 領域-CoSi₂ 層間に比べ *p* 型 S/D 領域-CoSi₂ 層間の接触抵抗が高いためと考えられる。上記の接合リークおよびシート抵抗の結果から、SEG-Si 層は接合リークの抑制に効果的であるが、一定値を超えると、CoSi₂ 形成時に SEG-Si 層が消費されずシート抵抗の増加を招くことが判明した。本実験において、接合リークおよびシート抵抗の両特性を満足するには、SEG-Si 膜厚 15 nm が最適と判断される。

4-2-4 トランジスタ特性

図 4.7 に、SEG-Si 膜厚 15nm および SEG-Si 層を成長しなかった場合の *n*-MOS トランジスタのしきい値電圧の実効ゲート長依存性を示す。なお、各図は、Co 膜厚 7 nm（図 4.7(a)）、Co 膜厚 9 nm（図 4.7(b)）、および、Co 膜厚 12 nm（図 4.7(c)）のそれぞれの場合を示す。しきい値電圧 (V_{th}) は、ドレイン電圧 $V_d=0.05$ V の線形領域とし、ドレイン電流 (I_d) -ゲート電圧 (V_g) 特性から見積もった。特徴的であることは、いずれの場合も、しきい値電圧に大きな変化がないことである。よって、Co 膜厚および SEG-Si 有無は、しきい値電圧に影響を与えていないことが確認された。

図 4.8 に、SEG-Si 膜厚 15nm および SEG-Si 層を成長しなかった場合の *p*-MOS トランジスタのしきい値電圧の実効ゲート長依存性を示す。なお、各図（図 4.8(a),(b),および(c)）の作製条件に関しても *n*-MOS の場合と同様である。 V_{th} は、 $V_d=-0.05$ V の線形領域とし、 I_d-V_g 特性から見積もった。特徴的であるのは、*n*-MOS の場合と同様に、いずれの場合も、しきい値電圧に大きな変化がないことである。よって、Co 膜厚および SEG-Si 有無が、しきい値電圧に影響を与えていない。

なお、*n*-MOS トランジスタ および *p*-MOS トランジスタともに SEG-Si 層の有無で、しきい値電圧の変化がないことから、選択エピタキシャル成長プロセスによるプレヒート (850°C, 3 min) および成長温度 (670°C, 3.5 min) の影響はないと判断できる。

さらに図 4.9 に、*n*-MOS（図 4.9(a)）および *p*-MOS（図 4.9(b)）に関して、SEG-Si 膜厚 15 nm の場合のオン電流-オフ電流 ($I_{on}-I_{off}$) 特性を示す。なお、 $|V_d|=1.5$ V (*n*-MOS: +1.5 V, *p*-MOS: -1.5 V) に設定し、 $|V_g|=1.5$ V (*n*-MOS: +1.5 V, *p*-MOS: -1.5 V) の場合の I_d を、オン電流 (I_{on})、 $V_g=0$ V の場合の I_d をオフ電流 (I_{off}) とそれぞれ定義する。いずれの場合に

も、Co 膜厚の増加により電流駆動能力が増大していることが分かる。

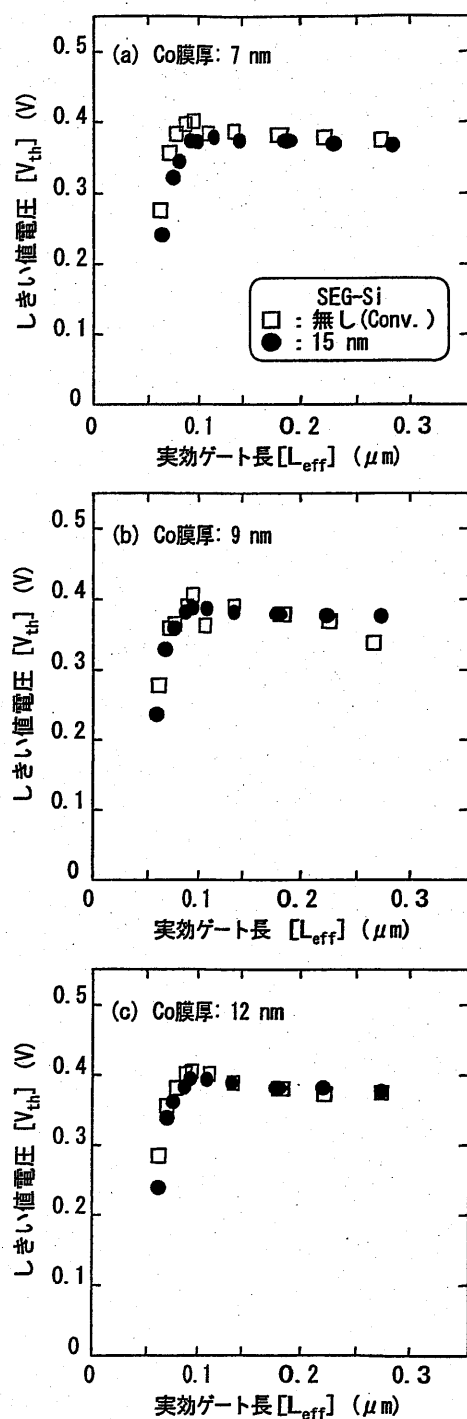


図4.7 n -MOSしきい値電圧の実効ゲート長依存性

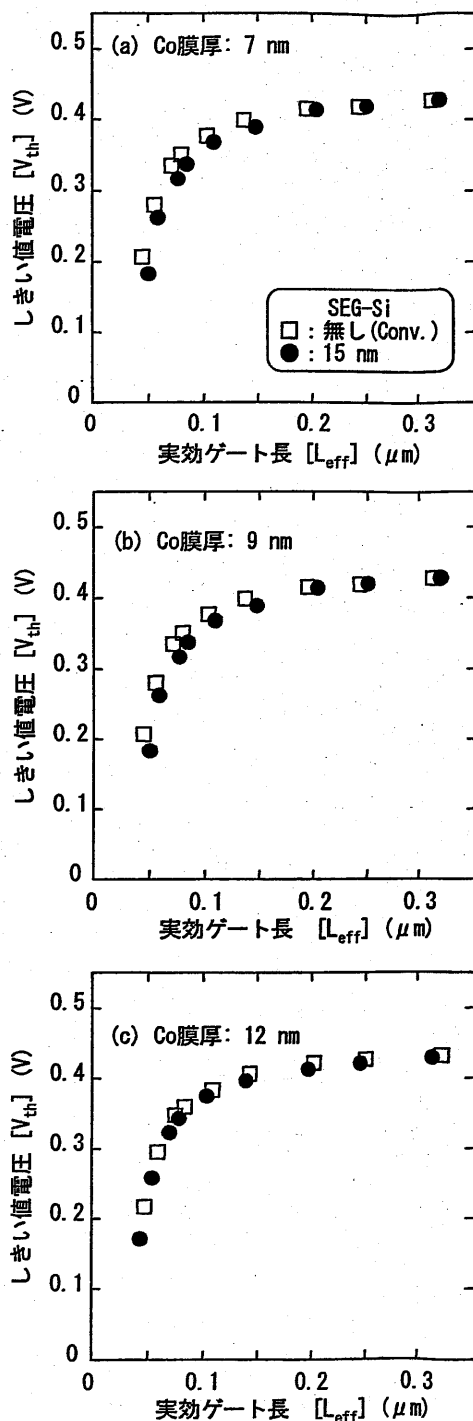


図4.8 p -MOSしきい値電圧の実効ゲート長依存性

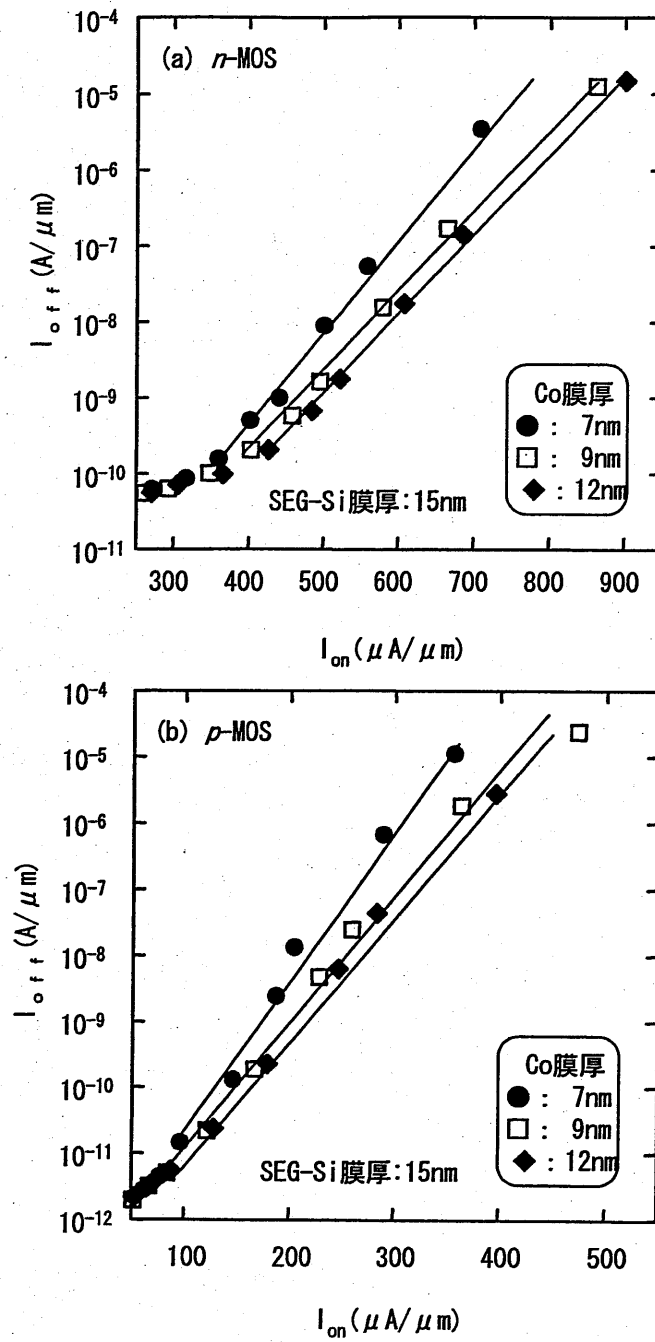


図4.9 オン電流－オフ電流(I_{on} － I_{off})特性

4-2-5 電気特性向上効果についての考察

つぎに、電流駆動能力が増大した理由を検証する。図 4.10 に、Shift & Ratio 法により見積もった単位ゲート幅当たりの S/D 部の寄生抵抗と、 $I_{\text{off}}=10^{-7} \text{ A}/\mu\text{m}$ における I_{on} 値の Co 膜厚依存性を示す。特徴的であるのは、Co 膜厚の増加に伴い電流駆動能力 (I_{on} 値) が、 n -MOS で 16%、 p -MOS で 24% それぞれ向上している。なお、いずれの場合においても S/D 部の寄生抵抗と I_{on} 値の変化の傾向が一致していることから、Co 膜厚を比較的厚くすることによる S/D 部の寄生抵抗の低減が、電流駆動能力の増大を招いたと理解できる。

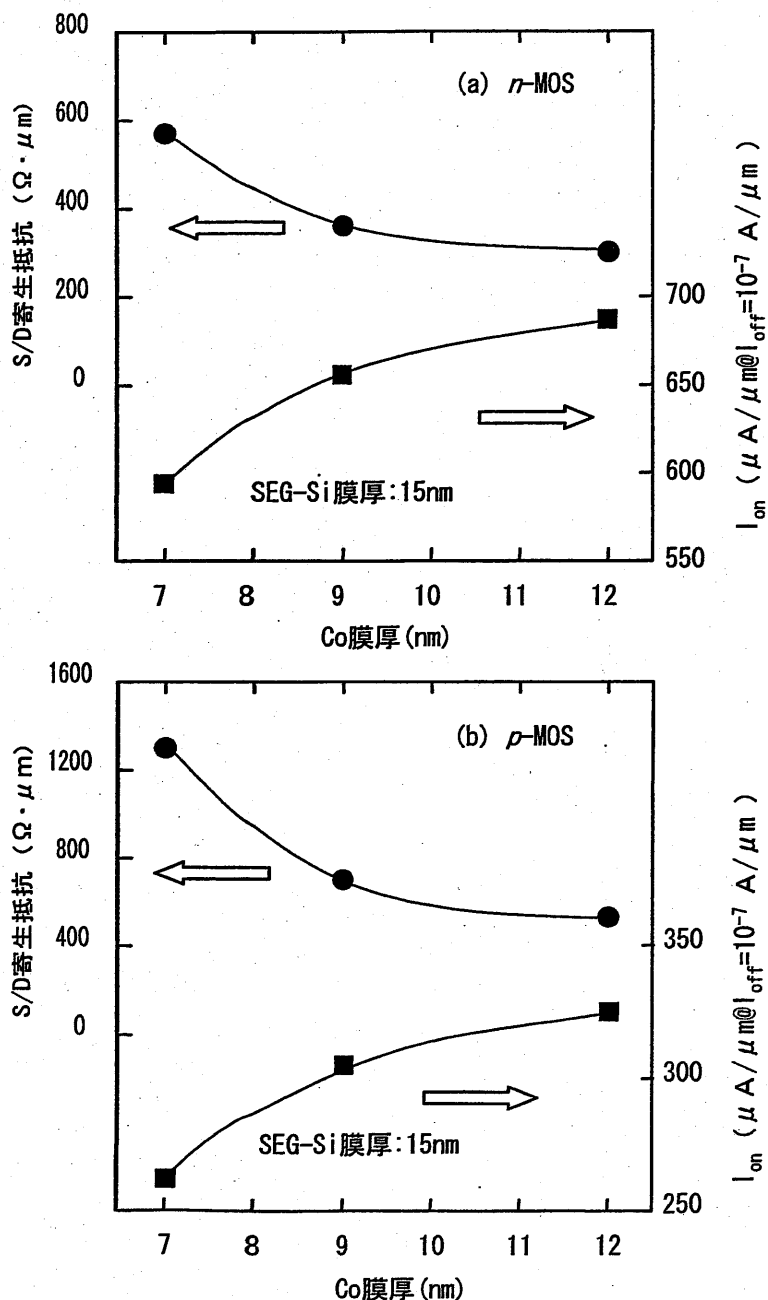


図4.10 S/D寄生抵抗および I_{on} のCo膜厚依存性

4-3 コンタクト重ね合わせマージンの拡大

MOS トランジスタ間あるいは MOS トランジスタ素子外部間を電氣的に接続する場合、ドライエッチングより層間膜にコンタクトホールを開孔して、コンタクトプラグを形成する必要がある。コンタクトホールの開口位置が分離領域に重なった場合、ドライエッチングにより分離領域が削り取られ、分離領域の絶縁性を劣化させてしまう。そのため、コンタクトホール開口位置の重ね合わせマージンを十分に確保する必要がある、開口位置用の面積を縮小することは難しい。本節では、コンタクトホール開口後コンタクトホール底に SEG-Si 層を成長した場合、SEG-Si 層がプラグと分離領域との緩衝となり分離領域の絶縁性劣化を抑止できる可能性があると考え、選択エピタキシャル成長により分離耐圧を改善して、重ね合わせマージンの拡大を試みた。

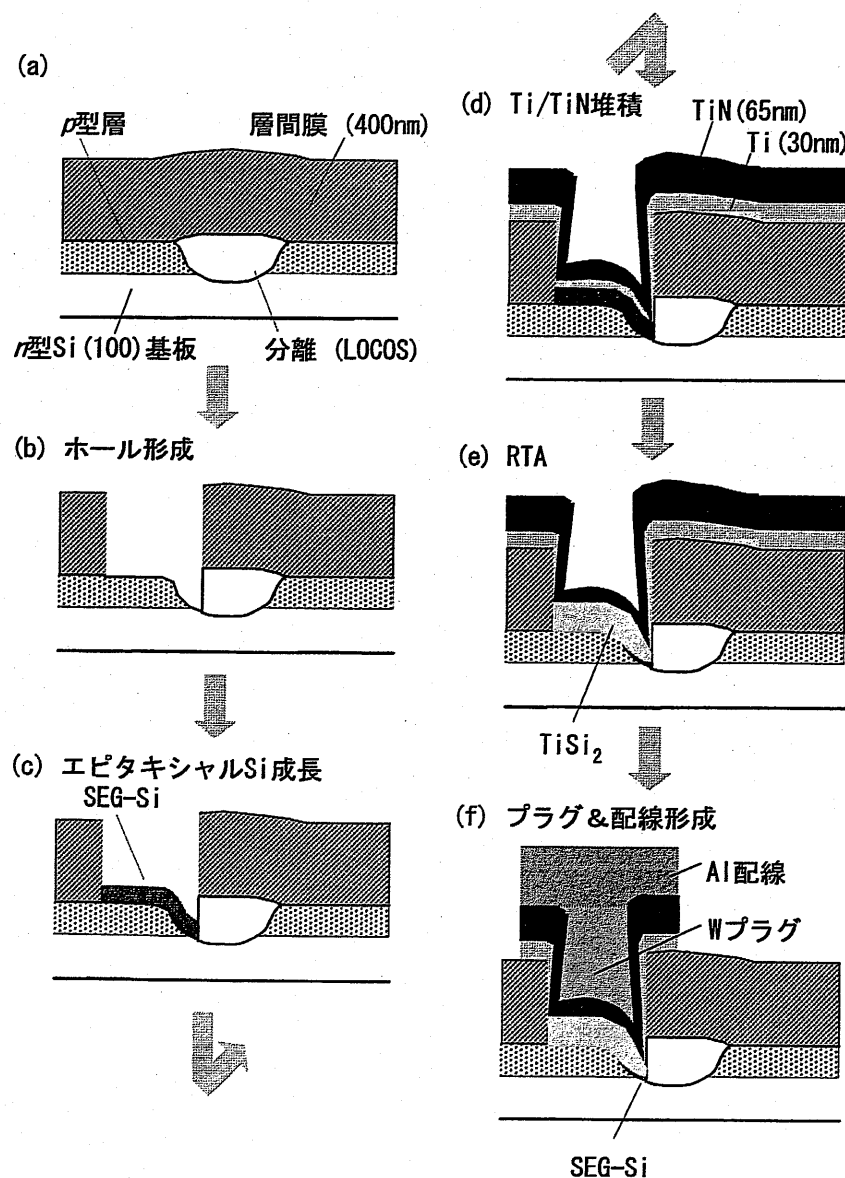


図4.11 コンタクト形成工程フロー

4-3-1 サンプル作製方法

図 4.11 にプロセスフローを示し、以下に工程順に説明する。

- (a) n 型 Si(100) 基板上に通常の LOCOS (local oxidation of Si) 分離[4]を形成し、つぎに基板表面近傍に p 型層を形成するため、 BF_2 ($4.0 \times 10^{15} \text{ ions/cm}^2$, 20 keV) をイオン注入する。その後、基板全面を 400 nm-CVD- SiO_2 (層間膜) で覆い、アニール処理を行う。
- (b) フォトリソグレイスを塗布し、リソグラフィ法によりフォトリソグレイスにコンタクトホールパターンを形成する。その後、ドライエッチングにより層間膜に、コンタクトホールを形成する。
- (c) 12~40 nm 膜厚の SEG-Si 層をコンタクトホール底に成長する。このときの成長条件はプレヒート 850°C, 3 min、成長温度 600°C、 Si_2H_6 流量 1.0 sccm である。
- (d) スパッタ法により、30 nm-Ti 膜および 65 nm-TiN 膜を連続的に堆積する。
- (e) RTA 法により、Ti と Si を反応させ、 TiSi_2 を形成する。なお、RTA 処理の条件は 750°C, 30 sec である。
- (f) コンタクトホール内をタングステン(W)プラグで埋め込んだ後、Al 配線を形成する。

4-3-2 断面形状の観察

図 4.12 は、0.2 μm ϕ のコンタクトホール底に SEG-Si 層を成長させた直後の断面 SEM 像を示す。SEG-Si 層はほぼ平坦な形状を有している。コンタクトホール内側壁および層間膜上には、ポリ Si の堆積は見られず、選択性が維持されている。

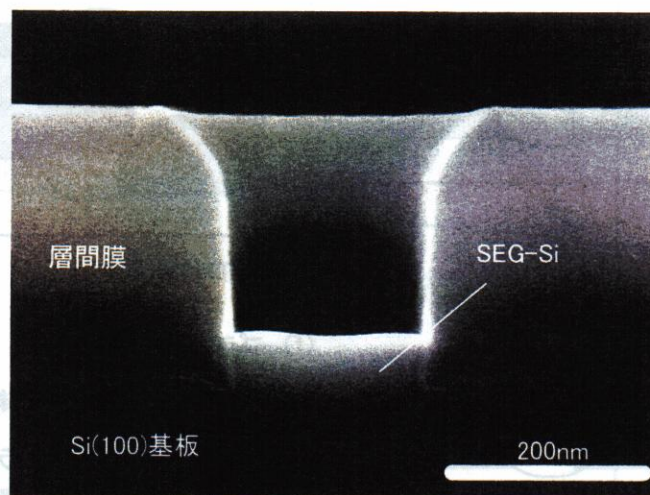


図4.12 エピタキシャル成長後のコンタクト断面

図 4.13 は、プロセスフローがすべて完了した後の断面 SEM 像を示す。SEG-Si 層を成長しなかった場合 (図 4.13(a)) と、SEG-Si 層を 40 nm 成長した場合 (図 4.13(b)) である。なお、いずれの場合も LOCOS 分離とのオーバーラップ (次節で説明する。) が、0.11 μm である。図中、破線は TiSi_2 層が、基板方向へ浸食した最も深い位置を示す。LOCOS 分離がコンタク

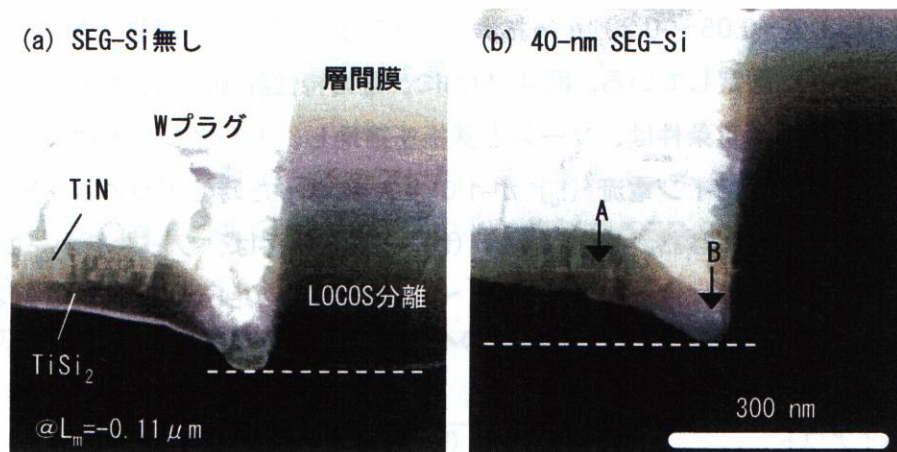


図4.13 オーバーラップ位置における断面SEM像

トホール形成エッチングにより削り取られていることが確認される。特徴的なことは、SEG-Si 層を堆積しない場合に比べ、40 nm 膜厚の SEG-Si 層を堆積した場合、TiSi₂ 層の基板への浸食が抑制されている。TiSi₂ 形成の際、SEG-Si 層が Si 基板の代わりに消費されているためである。

4-3-3 電気特性の測定方法

電気特性について述べる前に、図 4.14 を用いてコンタクトホールが形成される位置について定義する。コンタクト側面が LOCOS 分離端部と接する位置を原点とする（図 4.14(b)）。LOCOS 分離端部からコンタクト側面までの距離をコンタクト位置 (L_m) と定義する。なお、LOCOS 分離からコンタクト側面が離れる方向を正とし（図 4.14(a)）、重なる方向を負とする（図 4.14(c)）。さらに、 $L_m < 0$ の場合、オーバーラップ位置と称する。

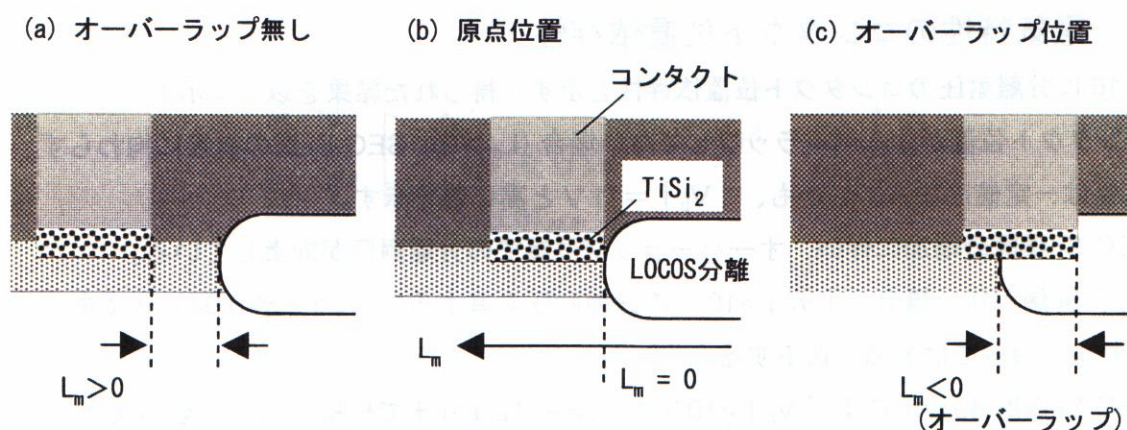
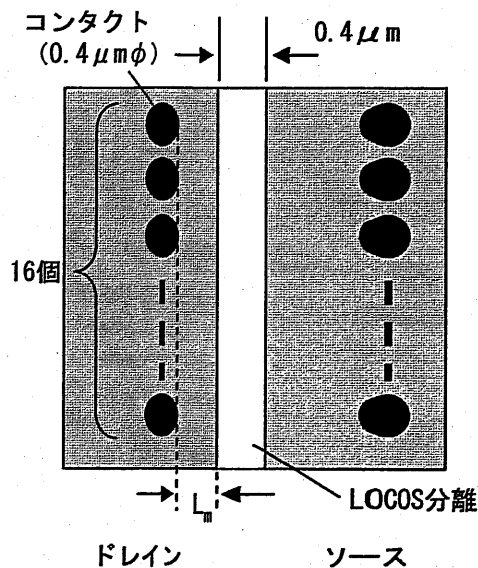


図4.14 コンタクト位置の定義

つぎに電気特性の評価に用いたパターン形状と測定方法について説明する。図 4.15(a)は、電気特性評価に用いたパターンの平面レイアウトを示す。0.4 μm 幅の LOCOS 分離領域を挟みドレイン（紙面左側）およびソース（紙面右側）と定義する。各々（ドレインとソース）に、0.40 $\mu\text{m}\phi$ のコンタクトが、LOCOS 分離領域と平行に 16 個並んでいる。ドレイン側の

コンタクト位置 (L_m) を $+0.05 \sim -0.20 \mu m$ および $+0.55 \mu m$ のものを用意した。なお、ソース側のコンタクト位置は固定している。図 4.15(b) に、電気特性評価に用いたパターンの断面構造を示す。分離耐圧の測定条件は、ソースと基板を接地し、ドレインのみにマイナス電圧を印加する。このときのドレイン電流 (I_d) が $-1.0 \mu A$ になった時のドレイン電圧 (V_d) を分離耐圧 (V_b) と定義する。なお、リーク電流 (I_L) の測定条件は、ソースをオープンにし、基板を接地し、ドレインのみに電圧を印加する。つまり、ドレインから基板に流れるリーク電流のみを測定する。

(a) 平面レイアウト



(b) 断面構造と分離耐圧の定義

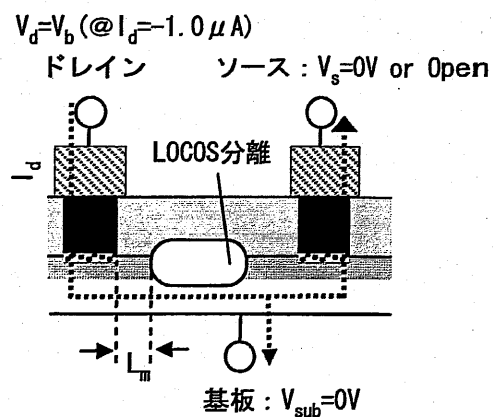


図 4.15 測定用パターン構造と分離耐圧

4-3-4 電気特性のコンタクト位置依存性

図 4.16 に分離耐圧のコンタクト位置依存性を示す。得られた結果を以下に示す。

- コンタクト位置がオーバーラップしていない場合 ($L_m > 0$)、SEG-Si 層の有無に拘わらず、 V_b 値は一定値になる。しかも、 $|V_b| = 11 V$ と高い値を示す。
- SEG-Si 膜厚の増加に伴い、オーバーラップ位置での分離耐圧が向上している。
- SEG-Si 層が無い場合、 $|V_b| > 10 V$ の分離耐圧を有するのは、 L_m が $-0.04 \mu m$ であり、それより負側では急激に低下する。
- SEG-Si 膜厚 $40 nm$ では、 $|V_b| > 10 V$ が $L_m = -0.12 \mu m$ まで保持されている。すなわち、SEG-Si 無しに比べ、コンタクト位置のマージンが $0.08 \mu m$ 拡大する。しかも、 $L_m < -0.12 \mu m$ においても、比較的単調に減少する。

つぎに、図 4.17 は SEG-Si 膜厚 $40 nm$ と SEG-Si 無しの場合におけるリーク電流 (I_L) のドレイン電圧 (V_d) 依存性を示す。得られた特徴を以下に示す。

- コンタクト位置がオーバーラップしていない場合 ($L_m = +0.55 \mu m$)、 I_L 値は SEG-Si 層の

有無に依存しない。

- なお、 I_L 値が $V_d = -11$ V で急激に上昇しているのは、アバランシェ降伏 [5] に達したものと考えられる。
- コンタクト位置がオーバーラップ位置である場合 ($L_m = -0.11 \mu\text{m}$ および $-0.07 \mu\text{m}$)、SEG-Si 層の有無に強く依存し、 $V_d = -2$ V において、SEG-Si 有りの場合の I_L 値は、SEG-Si 層無しのそれに比べ 4 桁以上に減少している。

以上の結果より、コンタクトホール底への SEG-Si 成長は分離耐圧向上およびリーク電流

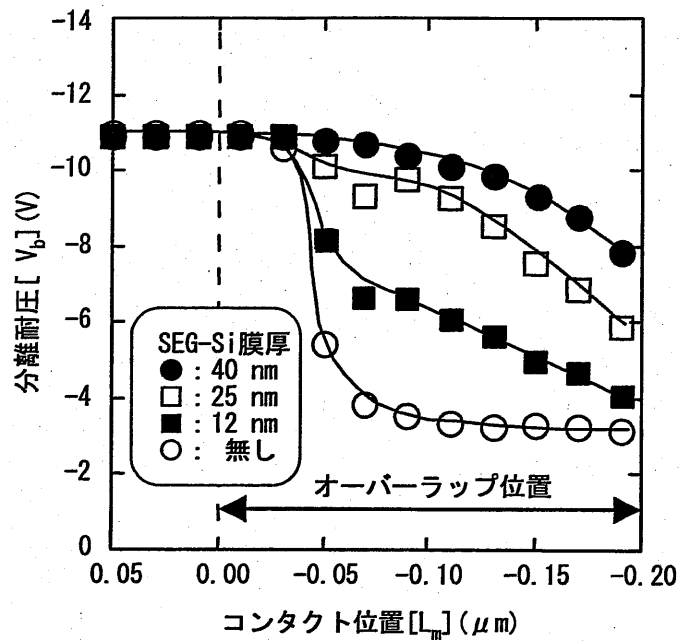


図4.16 分離耐圧のコンタクト位置依存性

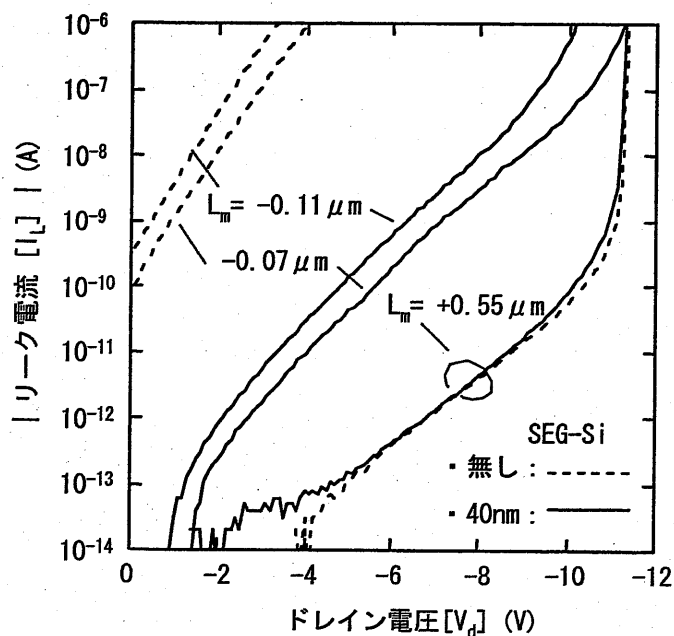


図4.17 リーク電流のドレイン電圧依存性

の抑制に有効であることが分かる。なお、SEG-Si 膜厚 40 nm の場合、 $|I_L| = 1.0 \mu A$ のとき V_d 値が、ほぼ V_b 値と一致することから、分離耐圧特性を決定しているのは、ドレインへの電流は少なく、リーク電流が支配的であることが考えられる。

4-3-5 コンタクト抵抗の SEG-Si 膜厚依存性

図 4.18 は、分離領域にオーバーラップしていない場合 ($L_m > 0$) の、コンタクト抵抗 (コンタクト径 $0.35 \mu m \phi$) の SEG-Si 膜厚依存性を示す。特徴的なのは、SEG-Si 膜厚の増加に従い、コンタクト抵抗値が上昇していることである。SEG-Si 膜厚 40 nm の場合、SEG-Si 層が無い場合に比べ、コンタクト抵抗値は 24% の増加になる。

一見、このようなコンタクト抵抗の増加は、シリサイド形成時に SEG-Si 層が完全に消費されず、コンタクトホール底に残ってしまったと考えられる。しかし、SEG-Si 層の抵抗値を SR (Spreading Resistance) 法で、測定したところ $2.9 \pm 1.3 \Omega \cdot cm$ であった。このような高抵抗 Si が、わずかでもシリサイドと p 型層 Si の間に残留した場合には抵抗が激増するはずである。例えば、コンタクトホール径 $0.35 \mu m \phi$ において、SEG-Si 層が 10 nm 残留した場合の抵抗値は $3 k\Omega$ になる。よって、SEG-Si 層が残留しているとは考えにくい。さらに矛盾することは、オーバーラップ位置において、SEG-Si 層はリーク電流を抑制しており、あたかも SEG-Si 層が残留しているかのように思われる。

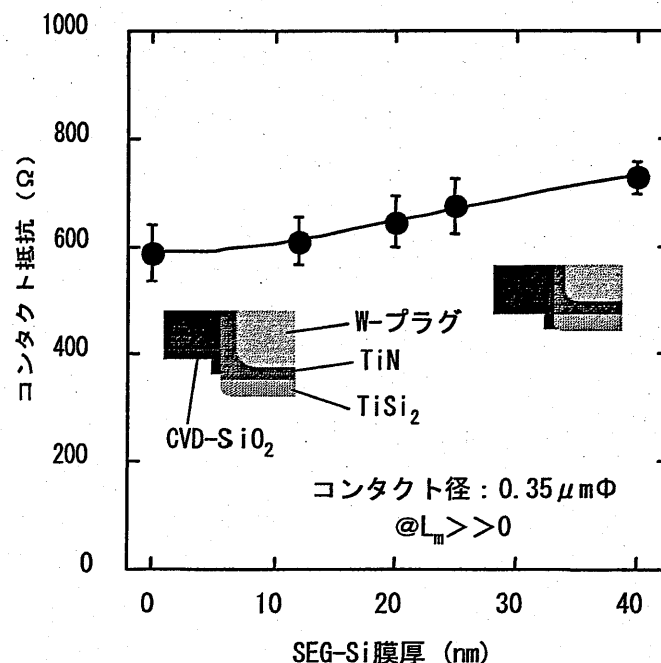


図4.18 コンタクト抵抗のSEG-Si膜厚依存性

4-3-6 コンタクトにおける SEG-Si の効果の考察

上記に述べた SEG-Si 層がリーク電流およびコンタクト抵抗に与える効果について解析する。オーバーラップ位置における断面 SEM 像を詳細に観察したところ、図 4.13(b)に示すよ

うに TiSi_2 の膜厚はコンタクトホール内の位置により異なる。コンタクトホール底中央では、 TiSi_2 膜厚は 45 nm である (図 4.13(b) の A)。一方、コンタクトホールの底側部では、 TiSi_2 膜厚は 19 nm である (図 4.13(b) の B)。オーバーラップ位置でのコンタクトホール底は、LOCOS 分離を貫通しているために、局所的に深くかつ狭くなっている。よって、スパッタ法により Ti をコンタクトホール底に堆積する際、Ti が到達できずコンタクトホール底で膜厚差を生じたと考えられる。

TiSi_2 を形成する際、 $\text{Ti} : \text{Si} = 1 : 2.2$ の割り合いで Si を消費し、 $\text{Si} : \text{TiSi}_2 = 1 : 1.1$ の割り合いで、 TiSi_2 が形成されることが知られている[12]。コンタクトホール底中央において、 TiSi_2 膜厚が 45 nm なので、 TiSi_2 形成の際、SEG-Si 層はすべて消費されていると考えられる。一方、コンタクトホール底端部では、 TiSi_2 膜厚が 19 nm であったことから、SEG-Si 層は TiSi_2 膜と Si 基板の間に残留したと考えられる。言い換えると、オーバーラップ位置において、コンタクトホール底の端部に高抵抗な SEG-Si 層が残留し、リーク電流を抑制している (図 4.11(f) 参照)。一方、オーバーラップしない位置においては、Ti 膜厚のコンタクトホール底位置依存性が低いために SEG-Si 層は残留せず、コンタクト抵抗に大きな影響を与えない。

上記の理由によりコンタクト抵抗の SEG-Si 膜厚依存性が、SEG-Si 膜厚により急激な変化を与えないことが理解される。しかし、図 4.18 に示すコンタクト抵抗が SEG-Si 膜厚に緩やかに依存することは説明できない。この現象を明らかにするため、オーバーラップしていない位置におけるコンタクトの断面形状を詳細に観察した。図 4.19 は、40 nm-SEG-Si 層を成長した場合と SEG-Si 層を成長しない場合の、工程完了後の $0.35 \mu\text{m}\phi$ コンタクトの断面構造を示す。 TiSi_2 膜がコンタクトホール底のみならず、コンタクトホール側部でも Si 基板と接触していることが分かる。SEG-Si 無しの場合、 TiSi_2 膜が側部で完全に Si 基板と接触している (図 4.19(a) の C)。一方、SEG-Si 有りの場合は、側部の TiSi_2 膜は層間膜と接触し、コンタクト抵抗に寄与していない (図 4.19(b) の D)。

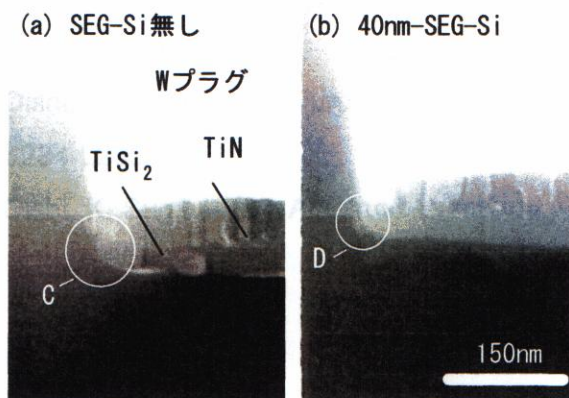


図 4.19 コンタクトホールの断面 SEM 像

コンタクト抵抗の違いを見積もるため、 TiSi_2 膜が高さ 45 nm の円柱 ($0.35\ \mu\text{m}\phi$) と仮定すると、側壁の占める接触面積は全体の 34% になる。コンタクト抵抗の増加率 24% と大まかに一致する。よって、コンタクト抵抗の増加は接触面積の減少によるものと考えられる。

4-4 まとめ

本章では、選択エピタキシャル成長プロセスを実際の MOS デバイスに応用することにより、電気特性の向上を図った。

Salicide-CMOS トランジスタを、しきい値電圧の良好な特性を維持しながら、エレベイテッドソース・ドレイン構造化することにより、 CoSi_2 の厚膜化に伴う CoSi_2 スパイク状成長によるリーク電流を抑制した。さらに CoSi_2 層を厚く形成できる利点を生かし、通常の Co 膜厚 7 nm から 15 nm に増加することにより、S/D 領域の寄生抵抗を n -MOS で 53%、 p -MOS で 41%、それぞれ低減した。なお、この際、電流駆動能力は、 n -MOS で 16%、 p -MOS で 24%、それぞれ向上することができた。リーク電流の抑制（消費電力の抑制）および S/D 領域の寄生抵抗の低減（高速動作化）を両立することで、エレベイテッドソース・ドレイン構造トランジスタの有用性を実証した。

コンタクトホール底に SEG-Si 層を成長することにより、オーバーラップ位置において、 TiSi_2 の浸食を抑制し、コンタクト抵抗の急激な上昇を伴うことなくリーク電流を劇的に減少させた。なお、この際、素子分離側へのコンタクト位置マージンを $0.08\ \mu\text{m}$ 拡大することができた。エレベイテッドソース・ドレイン構造トランジスタ以外の選択エピタキシャル成長技術の用途を提案し、有効性を検証することができた。

参考文献

- [1] S. P. Murarka, *Silicides for VLSI Applications*, Academic Press, Orlando, FL, 1983.
- [2] M.-A. Nicolet, and S. Lau, "Silicide", in N. G. Einpruch and G. B. Larabee, eds., *VLSI Microstructure Science*, Vol. 6, Academic Press, NY, 1983, p.329.
- [3] S. Ogura, P. J. Tsang, W. W. Walker, D. L. Critchlow, and J. F. Shepard, "Design and Characteristics of the Lightly Doped Drain-Source (LDD) Insulated Gate Field-Effect Transistor", *IEEE Trans. Electron Dev.*, 27(8), 1359 (1980).
- [4] E. Kooi, "The invention of LOCOS", *IEEE, Inc.*, New York (1991).
- [5] *VLSI デバイスの物理*, 岸野正剛、小柳光正著、丸善.
- [6] Y. Taur et al, *IEEE Electron Device Letters*, 267 (1992).
- [7] J. Amano, K Nauka, M. P. Scott, J. E. Turner, and R. Tsai, *Appl. Phys. Lett.* 49 (1986) pp. 737-739.
- [8] T. Sukegawa, H. Tomita, A. Fushida, K. Goto, S. Komiya, and T. Nakamura, *Jpn. J. Appl. Phys.* 36 (1997) pp.6244-6249.
- [9] S. Wolf, "Silicon Processing for the VLSI Era", *Lattice Press California Vol 2*, (1990): *Process Integration* pp.45-50.
- [10] L. C. Parriio, R. S. Payne, R. E. Davis, G. W. Reutlinger, and R. L. Field, "Twin-Tub CMOS -A Technology for VLSI Circuits", *IEEE Tech. Dig.*, 752 (1980).
- [11] K. P. Lee, Y. S. Park, D. H. Ko, C. S. Hwang, C. J. Kang, K. Y. Lee, J. S. Kim, J. K. Park, B. H. Roh, J. Y. Lee, K. N. Kim, J. W. Park and J. G. Lee, "A Process Technology for 1 Giga-Bit DRAM", *Tech. Dig. 1995 Int. Electron Devices Meet.*, Dec. 1995, Washington D.C., pp. 907-910.
- [12] K. Maex, and M. V. Rossum, *PROPERTIES OF Metal Silicides* (INSPEC, London, 1995).
- [13] T. Oishi, K. Shiozawa, K. Sugihara, Y. Abe, and Y. Tokuda, *Jpn. J. Appl. Phys.* 37 (1998) L833-L835.
- [14] K. Shiozawa, T. Oishi, K. Sugihara, A. Furukawa, Y. Abe, and Y. Tokuda, *Jpn. J. Appl. Phys.* 38 (1999) L234-L235.
- [15] K. Shiozawa, T. Oishi, K. Sugihara, Y. Abe, and Y. Tokuda, *Electronics Lett.* 36 (2000) pp. 910-911.

第5章 結論

本論文では、MOS デバイスの微細化にかかわる問題、とりわけ CMOS トランジスタのソース・ドレイン領域の問題を、選択エピタキシャル成長技術を応用し検討した。第2章では、選択エピタキシャル成長プロセスにおける選択性、および結晶形状のプロセス条件依存性に関する検討を行った。第3章では、エピタキシャルシリコンを成長させるソース・ドレイン領域の表面状態がエピタキシャル成長に与える影響に関する検討を行った。第4章では、第2章および第3章で培った選択エピタキシャル成長プロセス、ソース・ドレイン領域の表面状態依存性の知識を生かし、実際のトランジスタをエレベイテッドソース・ドレイン構造化することによる電気特性の改善を図った。さらに、ソース・ドレイン以外の応用としてエピタキシャルシリコンをコンタクトホール底に成長することにより、電気特性の改善を行った。以下、各章ごとに得られた結果についてまとめた後、今後の展開について述べ、本研究の結論とする。

5-1 まとめ

以下に各章ごとに得られた結果をまとめた。

第2章では、エレベイテッドソース・トランジスタ構造を形成するための、 Si_2H_6 ガスを用いた UHV-CVD による選択エピタキシャル成長プロセスを実験的に評価し以下の結果を得た。

選択性のプロセス条件および非選択材料依存性に関して、成長初期には非選択領域と選択性が保たれながら成長が進行するが、一定時間を過ぎると非選択領域上にポリ Si が生成され選択性は保持されなくなることを確認した。なお、非選択領域が CVD- SiO_2 膜の場合と CVD- Si_3N_4 膜の場合を比較すると、成長温度 600°C において CVD- Si_3N_4 膜の場合、CVD- SiO_2 膜の場合に比べ臨界膜厚は $1/6$ 以下であった。このような選択性の違いは、非選択領域の各材質と、 Si_2H_6 ガスとの反応性の違いによると考えられる。しかしながら、 Si_2H_6 ガスに Cl_2 ガスを添加することにより CVD- Si_3N_4 膜に対する選択性を改善できることも確認した。

SEG-Si 形状のプロセス条件依存性に関して Si_2H_6 ガスのみを用いた場合、CVD- SiO_2 ストライプパターンと Si 基板の境界における SEG-Si の端部形状は、(100)面の成長モード（供給律速領域および表面反応律速領域）に依存することが判明した。供給律速領域において、SEG-Si 端部に(311)ファセットが発生し、局所的な SEG-Si 膜厚減少が起こる。一方、表面反応律速領域において、SEG-Si 端部が盛り上がったバンプが形成され、局所的な SEG-Si 膜厚増加が起こる。

これらの現象に関して、つぎのように考察した。表面自由エネルギーの最小化効果と Si_2H_6 が Si 表面上で分解し発生する吸着分子の表面拡散距離の競合に依存する。供給律速領域では、 Si_2H_6 が Si 表面上で分解し発生する吸着分子の表面拡散距離が長いために、自由エネルギー

が最小になるステップ位置まで比較的自由に拡散することが可能である。その結果、SEG-Si 端部に表面エネルギーが低い(311)ファセット面が発生する。表面反応律速領域では、Si 基板表面上のステップ密度が上昇し準安定サイトが供給されるため、供給律速領域に比べ表面拡散距離が制限される。その結果、(311)ファセットが減少する。さらに CVD-SiO₂ ストライプパターン上から過剰な吸着分子が SEG-Si 端部に流入するためにバンプが発生する。なお、Si₂H₆ 流量および成長温度を制御し、供給律速領域と表面反応律速領域の中間付近に設定することにより、SEG-Si の端部形状を平坦化できることを見出した。

Cl₂ ガス添加による選択性改善効果と SEG-Si 形状のプロセス条件依存性に関して、Cl₂ ガスを添加しない場合と同様に、成長温度が比較的に低い場合、ファセットは抑制され SEG-Si 端部形状は平坦になる。さらに SEG-Si 端部形状は Cl₂ 添加量には依存しないことを見出した。Cl₂ ガスは、Si₂H₆ 吸着分子の表面拡散距離には大きく影響しないため、SEG-Si 端部にも影響しないと考えられる。なお、Si₂H₆ ガスに適量の Cl₂ ガスを添加し、成長温度を最適化することにより、CVD-Si₃N₄ 膜および CVD-SiO₂ 膜との選択性を保持しながら、平坦な端部を有する SEG-Si 膜を成長できることを見出した。

上記の結果により、選択エピタキシャル成長のプロセス条件の最適化を図ることにより、非選択領域 (CVD-SiO₂ 膜および CVD-Si₃N₄ 膜) に対し選択性を保持しながら、エレベイテッドソース・ドレイン構造トランジスタに適した平坦な SEG-Si を成長できると判断できる。

第3章では、実際の MOS トランジスタのソース・ドレイン領域を想定し、前工程のドライエッチングや基板タイプの違い (*n/p* 型) が、選択エピタキシャル成長に与える影響を実験的に評価し、以下の結果を得た。

SiO₂ のドライエッチングの影響および後処理の効果に関して、C₄F₈/O₂ プラズマにより、Si(100)基板上的 CVD-SiO₂ 膜をドライエッチングした際、下地の Si(100)基板表面上にアモルファス層を生ずる。この層はサブオキサイド (SiO_x ($x < 2$)) を主成分とし、炭素およびフッ素を含む層で、膜厚は約 1~2 nm であった。さらに、特異な結合状態 (Si-O_x、C-Si、および C-O 結合) を有している。

アモルファス層は 850°C 未満の真空中のプレヒートでは、除去できずエピタキシャル成長を阻害する原因になる。しかし、CVD-SiO₂ 膜のエッチング後に CDE 処理を加えることによりアモルファス層は除去され、比較的低温のプレヒート 650°C でもエピタキシャル成長が可能になる。この事実は、エピタキシャル成長プロセスの低温化を図れるため、今後のエレベイテッドソース・ドレイン構造トランジスタを実現するためには重要である。

なお、CDE 処理有無の場合において、プレヒート 850°C を行った後にエピタキシャル成長した場合、CDE 処理無しのエピタキシャル Si 表面は、CDE 処理有りに比べ平坦性が劣る。この原因はアモルファス層中の C が、850°C のプレヒートを施してもアイランド状 SiC を形成し Si 基板表面に残留するためである。

Si₃N₄ サイドウォールを有する CMOS トランジスタ上にエレベイテッドソース・ドレイン

構造化に関して、サイドウォール形成エッチングおよびエピタキシャル成長のプロセス条件の最適化を図ることにより、CMOS トランジスタ上の異なるタイプのソース・ドレイン領域へ、同様な膜厚および平坦性を有する SEG-Si 層を成長することを試みた。

エッチング方式を選定するため、 Cl_2 プラズマおよび CHF_3/Ar プラズマによる Si_3N_4 サイドウォール形成エッチングの影響を比較した。 Cl_2 プラズマエッチングは、 CHF_3/Ar プラズマエッチングに比べアモルファス層の発生が無く、かつ、オーバーエッチング依存性も低いため、選択エピタキシャル成長に適していると判断できる。

しかし、 Cl_2 プラズマエッチングにより Si_3N_4 サイドウォールを形成した場合においても、1 モノ レイヤー程度の僅かなアモルファス層が形成され、SEG-Si 表面モホロジー劣化および p -MOS と n -MOS 上の SEG-Si の膜厚差を生じる原因になることが判明した。しかし、選択エピタキシャル成長プロセス条件の最適化を図ることにより、表面モホロジーおよび膜厚差が改善されることを見出した。

本章から得られた結果によれば、サイドウォール形成エッチングおよび選択エピタキシャル成長のプロセス条件の最適化を図ることにより、CMOS トランジスタ上にソース・ドレインのタイプ (n/p 型) に依存せず、選択的に平坦な 30 nm の膜厚の SEG-Si を成長することが可能であることを見出した。なお、2007 年の Technology node が 65 nm に差し掛かり、 X_j が 18~37 nm になる頃には、従来法にかわる製造方法が必要と予測されている。単純に見積もるため、この X_j の値に今回得られた SEG-Si 膜厚を足し合わせると、48~67 nm となる。この値は、Technology node が 130 nm (2001 年) の場合の X_j 値とほぼ一致する。すなわち、現行のソース・ドレイン形成技術と選択エピタキシャル成長技術を組み合わせることにより、2007 年以降も短チャンネル効果の問題を解決できることを示唆している。

第 4 章では、選択エピタキシャル成長プロセスを実際の MOS デバイスに応用することにより、電気特性の向上を図った。

Salicide-CMOS トランジスタを、しきい値電圧の良好な特性を維持しながら、エレベイテッドソース・ドレイン構造化することにより、 CoSi_2 の厚膜化に伴う CoSi_2 スパイク状成長によるリーク電流を抑制した。さらに CoSi_2 層を厚く形成できる利点を生かし、通常の Co 膜厚 7 nm から 15 nm に増加することにより、S/D 領域の寄生抵抗を n -MOS で 53%、 p -MOS で 41%それぞれ低減した。なお、この際、電流駆動能力は、 n -MOS で 16%、 p -MOS で 24%それぞれ向上することができた。リーク電流の抑制（消費電力の抑制）および S/D 領域の寄生抵抗の低減（高速動作化）を両立することで、エレベイテッドソース・ドレイン構造トランジスタの有用性を実証した。

コンタクトホール底に SEG-Si 層を成長することにより、オーバーラップ位置において、 TiSi_2 の浸食を抑制し、コンタクト抵抗の急激な上昇を伴うことなくリーク電流を劇的に減少させた。なお、この際、素子分離側へのコンタクト位置マージンを $0.08\mu\text{m}$ 拡大することができた。エレベイテッドソース・ドレイン構造トランジスタ以外の選択エピタキシャル成長

技術の用途を提案し、有効性を検証することができた。

5-2 今後の展開

本研究により、選択エピタキシャル成長技術を用いて、ソース・ドレイン上にシリコンを選択的に成長することが可能であること、および、エレベイテッドソース・ドレイン構造化により MOS トランジスタの電気特性を向上できることを実証した。微細化を推進するため、ソース・ドレイン関連の問題を克服するために重要である。しかしながら、本研究では、単体のトランジスタ特性の向上の実証のみにとどまった。選択エピタキシャル成長技術が必要と考えられる 2007 年には、MPU 1 チップ当たりのゲート数は $\sim 10^9$ と予測されている[1]。そのため、このような大規模集積回路上で、選択エピタキシャル成長技術の有用性を実証する必要がある。すなわち、エレベイテッドソース・ドレイン構造化により個々のトランジスタ特性が向上することはもとより、大規模集積回路における歩留まりの確保および実際の回路動作におけるパフォーマンスの向上が必須である。なお、UHV-CVD プロセスおよび装置の生産性（スループット、リピータビリティなど）の検証も必要である。

また、微細化に伴う問題は、ソース・ドレイン関連のみならず、他の部分にも多数存在する。これらの問題を解決するため、様々な新規プロセスや新規材料の導入が検討されている。たとえば、チャンネル部には、シリコン・ゲルマニウムおよびシリコンをエピタキシャル成長することにより、結晶格子に歪みを導入し移動度の向上を図る歪み結晶技術[1]、ゲート絶縁膜には、 SiO_2 に代わりより電気容量が高い High-k 材料[1]を、ゲート電極には、ポリシリコンに代り、より低抵抗な金属[1]などがそれぞれ検討されている。今後は、このような新規プロセスや新規材料と、選択エピタキシャル成長技術が整合できるかを検証する必要がある。さらに、今後のシリコンウエハの大口径化[1]に対応していくためには、大口径ウエハ用の UHV-CVD 装置の開発も必須である。

参考文献

- [1] The National Technology Roadmap for Semiconductors, Semiconductor Industry Association, San Jose, CA, (2001).

謝辞

本論文をまとめるにあたり、終始懇切な御指導と御鞭撻を賜った奈良先端科学技術大学院大学物質科学教育研究センター 橋爪弘雄教授に心から感謝いたします。

また、本論文の作成にあたり、御懇篤なる御検討と御教示を賜った奈良先端科学技術大学院大学物質創成科学研究科 布下正宏教授、大門寛教授および同大学物質科学教育研究センター 細糸信好助教授に厚く御礼申し上げます。

本論文の作成の機会を与えていただくとともに、御指導と御激励いただきました三菱電機株式会社先端技術総合研究所長 久間和生博士ならびに同研究所前所長（現菱電化成株式会社 常務取締役）山田忠利博士、同研究所 光・高周波デバイス技術部長 尾関龍夫氏に深く感謝し御礼申し上げます。

本研究を始める機会を与えていただいたエア・ウォーター株式会社副社長 吉野明氏、同社 旧堺研究所長（現エア・ウォーター・プラントエンジニアリング株式会社 機器開発事業部 取締役）木山洋実氏、同社ソリューション・テクノ室副室長 宮本篤氏、同室営業推進グループ参事 横山敬志氏、三菱電機株式会社先端技術総合研究所 旧プロセス基礎技術部長（現株式会社ルネサス テクノロジ エグゼクティブ）佐藤真一博士、同研究所 先進デバイス技術部シリコン高周波技術グループマネージャー 大森達夫氏に深く感謝し御礼申し上げます。

本研究および実験の遂行にあたり、適切かつ有益な御助言ならびに御指示をいただきました三菱電機株式会社先端技術総合研究所 光・高周波デバイス技術部光送受信デバイスグループマネージャー 徳田安紀博士、同部化合物高周波素子グループマネージャー 阿部雄次博士に深く感謝し御礼申し上げます。

本研究および実験の遂行にあたり、さまざまな御協力と御討論をいただきましたエア・ウォーター株式会社ソリューション・テクノ室 営業推進グループ係長 山本和馬氏、同室第6グループ主任 稲垣徹氏、同室営業推進グループ 三条大輔氏、三菱電機株式会社先端技術総合研究所 光・高周波デバイス技術部化合物高周波素子グループ 丸野茂光博士、大石敏之博士、塩沢勝臣博士、杉原浩平氏、三浦成久博士に深く感謝し御礼申し上げます。

本研究の期間中、終始有益な御討論ならびに御支援、御協力いただきました三菱電機株式会社先端技術総合研究所 先進デバイス技術部シリコン高周波技術グループ 山川聡氏、同部材料技術グループ 古川泰助氏、同研究所 光・高周波デバイス技術部光送受信デバイスグループ 金本恭三博士、同社旧 ULSI 技術開発センター 先端デバイス開発部先端成膜グループ（現株式会社ルネサス テクノロジ）西岡康隆氏に深く感謝し御礼申し上げます。

末筆ながら本論文の執筆中、御指導と御激励いただきました三菱電機株式会社先端技術総合研究所 先進デバイス技術部長 佐藤一直博士、同研究所 TFT-LCD 開発プロジェクトグループマネージャー 井上満夫博士、同プロジェクトグループアレイ技術グループマネー

ヤー 中川直紀氏、同プロジェクトグループ主席技師長 須賀原和之博士、同研究所 光・高
周波デバイス技術部主席技師長 井須俊郎博士に深く感謝し御礼申し上げます。

研究業績リスト

I 本研究に関わる学術論文

1. Takumi Nakahata, Kazuma Yamamoto, Shigemitsu Maruno, Toru Inagaki, Kohei Sugihara, Yuji Abe, Atushi Miyamoto, and Tatsuo Ozeki, "Formation of Selective Epitaxially Grown Silicon with a Flat Edge by Ultrahigh Vacuum Chemical Vapor Deposition", J. Crystal Growth, 233 (2001) pp. 82-87 (第2章)
2. Takumi Nakahata, Kazuma Yamamoto, Junji Tanimura, Toru Inagaki, Taisuke Furukawa, Shigemitsu Maruno, Yasunori Tokuda, Atushi Miyamoto, Shinichi Satoh, and Hiromi Kiyama, "Low Thermal Budget Surface Cleaning after Dry Etching for Selective Silicon Epitaxial Growth", J. Crystal Growth, 226 (2001) pp. 443-450 (第3章)
3. Takumi Nakahata, Kohei Sugihara, Shigemitsu Maruno, Yuji Abe, and Tatsuo Ozeki, "Optimization of process conditions of selective epitaxial growth for elevated source/drain CMOS transistor", J. Crystal Growth, 243 (2002) pp. 87-93 (第3章)
4. Takumi Nakahata, Kohei Sugihara, Taisuke Furukawa, Yasutaka Nishioka, Shigemitsu Maruno, Yuji Abe, Yasunori Tokuda, and Shinichi Satoh, "Improvement of Alignment Tolerance against Contact Hole Etching by Growing of Underlying Silicon Selective Epitaxial Layer", Microelectronic Engineering, 56 (2001) pp. 281-287 (第4章)
5. Takumi Nakahata, Shigemitsu Maruno, Satoshi Yamakawa, Taisuke Furukawa, Yasunori Tokuda, and Shinichi Satoh, "Si Deposition into Fine Contact Holes by Ultrahigh-Vacuum Chemical Vapor Deposition", Jpn. J. Appl. Phys., 38 (1999) pp. 4045-4046 (第4章)

II その他の学術論文

1. Taisuke Furukawa, Takumi Nakahata, Shigemitsu Maruno, Yasunori Tokuda, and Shinichi Satoh, "Significant Effects of As Ion Implantation on Si-selective Epitaxy by Ultrahigh Vacuum Chemical Vapor Deposition", Jpn. J. Appl. Phys., 38 (1999) pp. 5046-5047
2. Satoshi Yamakawa, Kohei Sugihara, Taisuke Furukawa, Yasutaka Nishioka, Takumi

Nakahata, Yuji Abe, Shigemitsu Maruno, and Yasunori Tokuda, "Drivability Improvement on Deep-Submicron MOSFET's by Elevation of Source/Drain Regions", ELECTRON DEVICE LETTER, 20 (1999) pp. 366-368

3. Takumi Nakahata, Kohei Sugihara, Taisuke Furukawa, Satoshi Yamakawa, Shigemitsu Maruno, Yasunori Tokuda, Kazuma Yamamoto, Toru Inagaki, and Hiromi Kiyama, "Epitaxial $\text{Si}_{1-x}\text{Ge}_x$ grown into fine contact hole by ultrahigh-vacuum chemical vapor deposition", Materials Science and Engineering, B68 (2000) pp. 171-174
4. Kohei Sugihara, Naruhisa Miura, Taisuke Furukawa, Takumi Nakahata, Yasutaka Nishioka, Satoshi Yamakawa, Yuji Abe, Shigemitsu Maruno, and Yasunori Tokuda, "Parasitic resistance Reduction in Deep Submicron Dual-Gate Transistor with Partially Elevated Source/Drain Extension Regions Fabricated by Complementary Metal-Oxide-Semiconductor Technologies", Jpn. J. Appl. Phys., 39 (2000) pp. 387-389
5. Shigemitsu Maruno, Takumi Nakahata, Taisuke Furukawa, Yasunori Tokuda, Shinichi Satoh, Kazuma Yamamoto, Toru Inagaki, and Hiromi Kiyama, "Selective Epitaxial Growth by Ultrahigh-Vacuum Chemical Vapor Deposition with Alternating Gas Supply Si_2H_6 and Cl_2 ", Jpn. J. Appl. Phys., 39 (2000) pp. 6139-6142
6. Kohei Sugihara, Naruhisa Miura, Taisuke Furukawa, Takumi Nakahata, Toshiyuki Oishi, Shigemitsu Maruno, Yuji Abe, and Yasunori Tokuda, "A Dual-Gate Complementary Metal-Oxide-Semiconductor Technology with Novel Self-Aligned Pocket Implantation which Takes Advantage of Elevated Source/Drain Configurations", Jpn. J. Appl. Phys., 40 (2001) pp. 2611-2615
7. Shigemitsu Maruno, Taisuke Furukawa, Takumi Nakahata, and Yuji Abe, "A Chemical Mechanism for Determining the Influence of Boron on Silicon Epitaxial Growth", Jpn. J. Appl. Phys., 40 (2001) pp. 6202-6207
8. Taisuke Furukawa, Takumi Nakahata, Shigemitsu Maruno, Junji Tanimura, Yasunori Tokuda, and Shinichi Satoh, "Surface Defect Formation in Epitaxial Si Grown on Boron-Doped Substrates by Ultrahigh Vacuum Chemical Vapor Deposition", Jpn. J. Appl. Phys., 40 (2001) L1051-1053

9. Kohei Sugihara, Takumi Nakahata, Takuji Matsumoto, Shigenobu Maeda, Shigeto Maegawa, Kazunobu Ota, Hirokazu Sayama, Hidekazu Oda, Takahisa Eimori, Yuji Abe, Tatsuo Ozeki, Yasuo Inoue, Tadashi Nishimura, "The Improvement of Surface Morphology of an Epitaxial Silicon Film for Elevated Source/Drain Ultrathin Silicon-on-Insulator Complementary-Metal-Oxide-Semiconductor Devices", Jpn. J. Appl. Phys., 42 (2003) pp. 1971-1974

Ⅲ 口頭発表

Ⅲ-1 国際会議

○一般講演

1. H. Sayama, S. Shimizu, Y. Nishida, T. Kuroi, Y. Kanda, M. Fujisawa, Y. Inoue, T. Nishimura, T. Oishi, T. Nakahata, T. Furukawa, S. Yamakawa, Y. Abe, S. Maruno, Y. Tokuda, and S. Satoh, "Low Resistance Co-Salicided 0.1 μ m CMOS Technology Using Selective Si Growth", VLSI Tech. Symp. 1999
2. Kohei Sugihara, Naruhisa Miura, Taisuke Furukawa, Takumi Nakahata, Yuji Abe, Shigemitsu Maruno, and Yasunori Tokuda, "Deep-Submicron Transistors with Elevated Source/Drain Extension Regions Fabricated by Dual-Gate CMOS Technologies", Material Research Society, April 24-28, 2000. C5.5, San Francisco, USA. Abstracts pp. 74
3. Naruhisa Miura, Yuji Abe, Kohei Sugihara, Toshiyuki Oishi, Taisuke Furukawa, Takumi Nakahata, Katsuomi Shiozawa, Shigemitsu Maruno, and Yasunori Tokuda, "Self-Aligned Pocket Implantation into Elevated Source/Drain MOSFETs for Reduction of Junction Capacitance and Leakage Current", 2000 International Conference on Solid State Devices and Materials (SSDM 2000), August 28-31, 2000, Sendai, Japan. Extended Abstracts, pp. 52-53
4. Takumi Nakahata, Kohei Sugihara, Yuji Abe, and Tatsuo Ozeki, "Formation of Selective Epitaxially Grown Silicon with Morphologically Excellent Surface for Elevated Source/Drain MOS Transistor with Nitride Sidewall Spacers", International Semiconductor Technology Conference ISTC 2002, September 12-14, 2002, Tokyo, Japan. Abstracts No. 54

5. K. Sugihara, T. Nakahata, T. Matsumoto, S. Maeda, S. Maegawa, K. Ota, H. Sayama, H. Oda, T. Eimori, Y. Abe, T. Ozeki, Y. Inoue and T. Nishimura, "Elevated Source/Drain Engineering with 0.22-nm-Rms Smooth Surface Morphology for 90-nm-node Ultrathin-SOI CMOS", 2002 International Conference on Solid State Devices and Materials (SSDM 2002), September 17-19, 2002, Nagoya, Japan. Extended Abstracts, pp. 74-75
6. K. Sugihara, T. Nakahata, T. Matsumoto, S. Maeda, S. Maegawa, K. Ota, H. Sayama, H. Oda, T. Eimori, Y. Abe, T. Ozeki, and Y. Inoue, "Elevated Source/Drain Engineering with Smooth Surface Morphology for Ultrathin-SOI CMOS", 3rd International Workshop on Junction Technology, December 2-3, 2002, Tokyo, Japan

Ⅲ-2 国内学会・研究会

○招待講演

1. 阿部雄次、杉原浩平、三浦成久、古川泰助、塩沢勝臣、佐山弘和、中畑匠、大石敏之、丸野茂光、徳田安紀、"サブ 0.1 μm CMOS 技術 ―エレベイテッドソース・ドレイン技術を中心に―"、電子情報通信学会技術研究報告、信学技報 vol. 100 No. 266. ED2000-133、SDM2000-115 ICD2000-69 (2000-08)、pp. 65-72

○一般講演

1. 中畑匠、山川聡、斧高一、徳田安紀、"UHV-CVD 法による微細ホールの埋め込み特性"、第 45 回応用物理学関係連合講演会、1998 年春季
2. 山川聡、中畑匠、徳田安紀、斧高一、谷村純二、"UHV-CVD を用いた SiGe の低温選択エピタキシャル成長 ― Si_2H_6 、 GeH_4 流量比と混晶比―"、第 45 回応用物理学関係連合講演会、1998 年春季
3. 西岡康隆、杉原浩平、中畑匠、古川泰助、山川聡、丸野茂光、徳田安紀、"エレベイテッドソース/ドレイン微細 MOSFET における選択エピタキシャル成長層へのイオン注入効果"、第 4 回シリコンテクノロジー研究会、東京、1998 年 10 月
4. 中畑匠、山川聡、丸野茂光、古川泰助、徳田安紀、"UHV-CVD 法による微細 GeSi コンタクトの埋め込み特性"、第 59 回応用物理学学会学術講演会、1998 年秋季

5. 中畑匠、古川泰助、杉原浩平、西岡康隆、山川聡、丸野茂光、徳田安紀、"UHV-CVD によるエピタキシャル Si の MOSFET ソース・ドレインへの適用"、第 55 回半導体・集積回路技術シンポジウム、東京、1998 年 12 月
6. 古川泰助、中畑匠、丸野茂光、山川聡、谷村純二、徳田安紀、"UHV-CVD による Si 選択エピタキシャル成長の As^+ イオン注入量依存性"、第 46 回応用物理学関係連合講演会、1999 年春季
7. 杉原浩平、中畑匠、西岡康隆、古川泰助、三浦成久、阿部雄次、山川聡、丸野茂光、徳田安紀、"ソース／ドレインせり上げ MOSFET (1) - エクステンション上への選択成長による寄生抵抗低減効果 -"、第 46 回応用物理学関係連合講演会、30a-ZM-3、1999 年春季
8. 大石敏之、佐山弘和、西田征男、清水悟、中畑匠、古川泰助、山川聡、阿部雄次、井上靖朗、徳田安紀、"ソース／ドレインせり上げ MOSFET (2) - サリサイド技術によるシート抵抗の低減 -"、第 46 回応用物理学関係連合講演会、30a-ZM-4、1999 年春季
9. 中畑匠、杉原浩平、古川泰助、山川聡、丸野茂光、徳田安紀、"UHV-CVD 法による微細ホールへのエピタキシャル $Si_{1-x}Ge_x$ 成長"、第 60 回応用物理学会学術講演会、1999 年秋季
10. 三浦成久、杉原浩平、山川聡、阿部雄次、古川泰助、中畑匠、丸野茂光、徳田安紀、"ソース／ドレインせり上げ MOSFET (3) - エレベイテッドシングルドレイン構造の作製 -"、第 60 回応用物理学会学術講演会、1p-ZM-8、1999 年秋季
11. 古川泰助、中畑匠、丸野茂光、谷村純二、徳田安紀、"UHV-CVD による Si 選択エピタキシャル成長に対する BF_2^+ イオン注入の影響"、第 61 回応用物理学会学術講演会、2000 年秋季
12. 三浦成久、杉原浩平、阿部雄次、古川泰助、中畑匠、大石敏之、塩沢勝臣、丸野茂光、徳田安紀、"ソース／ドレインせり上げ MOSFET (4) - セルフアラインポケット注入による接合容量の低減 -"、第 61 回応用物理学会学術講演会、5a-ZE-8、2000 年秋季
13. 谷村純二、中畑匠、古川泰助、丸野茂光、徳田安紀、黒川博志、"エッチングダメージ

の表面処理と Si エピ膜評価”、第 61 回応用物理学会学術講演会、6p-ZD-11、2000 年秋季

14. 杉原浩平、大石敏之、阿部雄次、三浦成久、中畑匠、古川泰助、丸野茂光、徳田安紀、”ソースドレインせり上げ MOSFET(5) –疑似シングルドレイン構造による deep S/D の影響の抑制–”、第 48 回応用物理学会関係連合講演会、29a-B-5、2001 年春季
15. 古川泰助、中畑匠、丸野茂光、谷村純二、徳田安紀、”UHV-CVD による Si 選択エピタキシャル成長に対する BF_3^+ イオン注入の影響 (2)”、第 48 回応用物理学関係連合講演会、30p-D-8、2001 年春季
16. 三浦成久、阿部雄次、杉原浩平、大石敏之、古川泰助、中畑匠、塩沢勝臣、丸野茂光、徳田安紀、”Junction Capacitance Reduction due to Self-Aligned Pocket Implantation in Elevated Source/Drain NMOSFETs”、IEEE 関西コロキアル電子デバイスワークショップ、A-3、2002 年 1 月、京都
17. 中畑匠、杉原浩平、丸野茂光、阿部雄次、”微細ホールへの選択エピタキシャル Si 成長によるアライメントマージンの拡大”、第 49 回応用物理学関係連合講演会、29p-G-14、2002 年春季
18. 丸野茂光、古川泰助、中畑匠、阿部雄次、”Si エピタキシャル成長におけるボロンの影響”、第 49 回応用物理学関係連合講演会、29p-G-9、2002 年春季