

修士論文

重み付き信号遷移数を用いた
パターン依存 IR ドロップ見積手法の高速化

秋吉 保紀

2013 年 2 月 7 日

奈良先端科学技術大学院大学
情報科学研究科 情報科学専攻

本論文は奈良先端科学技術大学院大学情報科学研究科に
修士(工学) 授与の要件として提出した修士論文である。

秋吉保紀

審査委員：

井上 美智子教授	(主指導教員)
中島 康彦教授	(副指導教員)
畠山 一実特任教授	(副指導教員)
米田 友和助教	(副指導教員)

重み付き信号遷移数を用いた パターン依存 IR ドロップ見積手法の高速化*

秋吉 保紀

内容梗概

半導体プロセスの微細化によって遅延テストの重要性が増している。近年の回路設計では殆どの場合テスト容易化設計としてスキャン設計を導入しているため、遅延故障の検出には At-Speed スキャンテストがよく用いられる。しかし、At-Speed スキャンテストでは、通常動作時に比べて回路の消費電力が高くなることが知られている。過度の電力消費は IR ドロップと呼ばれる電源電圧降下を増加させ、回路の遅延を増加させてしまう。この IR ドロップ起因の遅延増加が回路のタイミング違反を引き起こし、本来良品であるチップを不良品と誤判定してしまう可能性がある。これを防止するためには、活性化パスの IR ドロップ起因の遅延増加量を前もって把握し、問題のあるパターンを排除しておく必要がある。しかし、一般によく用いられる IR ドロップ解析は回路シミュレーションに基づいており、長い計算時間を要することがよく知られている。これに対し、回路の総消費電力に基づく高速 IR ドロップ見積手法が提案されている。この手法は回路全体でのサイクル平均消費電力と個々のセルインスタンスの IR ドロップの高い相関を利用して高速・高精度な IR ドロップ見積りを実現した。しかし、消費電力解析の高速化は行っておらず、大規模回路では全体の計算時間が長くなってしまう。そこで本論文では WSA(weighted switching activity:重み付き信号遷移)による高速な消費電力見積りを行うことで、IR ドロップ見積り全体での計算時間をさらに短縮した高速見積り手法を提案する。ベンチマーク回路を用いた実験では、見積り誤差の割合の低下は最大でも 2.8%に抑えており先行手法と同等の見積り精度を維持しつつ IR ドロップ見積り全体での計算時間を最大で約 80%削減したことを示す。異なる X-fill を実施したパターンでの比較実験では、LoC, LoS のどちらのクロック方式で生成したパターンであっても、またパターン中の 0 と 1 の割合が極端な

*奈良先端科学技術大学院大学 情報科学研究科 情報科学専攻 修士論文, NAIST-IS-MT1151004, 2013年 2月 7日.

パターンであっても同様に高い見積り精度を示した. このことから提案手法はどのようなパターンでも有効であることが分かった.

キーワード

At-Speedスキャンテスト IRドロップ WSA

An Acceleration of Pattern-Dependent IR-Drop Estimation Method using Weighted Switching Activity*

Yasunori Akiyoshi

Abstract

With shrinking feature size of semiconductor devices in recent years, delay testing becomes more and more important. Since most of designs employ scan design, at-speed scan testing has become mandatory to ensure product quality and reliability. However, it is well known that at-speed scan testing consumes higher power than functional operation. Excessive test power causes large amounts of IR-drops on the power supply network, this leads to an increase of the circuit delay.

IR-drop-induced delay increase results in timing failures even in good devices. This can lead to undue yield loss. In order to overcome this problem, it is important to estimate the amount of delay increase on the activated paths and screen out problematic patterns prior to the test application.

However, IR-drop estimation based on circuit simulation is time-consuming and is impractical to apply for pattern by pattern. Recently, a fast IR-drop estimation method using circuit global cycle average power dissipation has been proposed. This method achieves both high accuracy and scalability by exploiting high correlation between circuit global cycle average power and per-cell IR-drop. However, the total CPU runtime may still be long for large designs because this method does not reduce the time of power analysis.

This paper proposes a faster IR-drop estimation method based on the global WSA (Weighted Switching Activity) instead of cycle average power. Experimental results on benchmark circuits show that the new method further reduces the CPU runtime with no loss of accuracy compared to the previous method. It is also shown that the

*Master's Thesis, Department of Information Science, Graduate School of Information Science, Nara Institute of Science and Technology, NAIST-IS-MT1151004, February 7, 2013.

proposed method is effective for pattern generation with various types of X-filling options. Therefore the new method can use every type of patterns.

Keywords:

At-Speed scan test, IR-drop, WSA

目次

1. はじめに.....	1
1.1 背景.....	1
1.2 関連研究.....	2
1.3 論文の貢献と構成.....	4
2. 遅延故障テストと IR ドロップ解析.....	5
2.1 遅延故障のテスト.....	5
2.2 At-Speed スキャンテストと IR ドロップ.....	8
2.2.1 論理シミュレーション.....	10
2.2.2 消費電力解析.....	10
2.2.3 IR ドロップ解析.....	11
3. 先行研究.....	13
3.1 サイクル平均消費電力と IR ドロップ.....	13
3.2 先行手法の流れ.....	14
3.3 先行研究の成果.....	16
4. 提案手法.....	17
4.1 WSA とサイクル平均消費電力.....	17
4.2 提案手法の流れ.....	20
4.2.1 WSA 解析.....	22
4.2.2 代表パタン選択.....	22
4.2.3 見積り関数の導出.....	22
4.2.4 IR ドロップ見積り.....	23
5. 評価実験.....	24
5.1 実験環境.....	24
5.2 既存手法との比較.....	24
5.3 パタンによる見積り精度への影響.....	29
5.4 スイッチングの空間的位置による影響.....	33
6. まとめ.....	39
謝辞.....	40
参考文献.....	41
発表文献.....	43

図目次

図 1	スキャン設計.....	6
図 2	2 パタンテストのタイミングチャート	8
図 3	IR ドロップ起因のタイミング違反	9
図 4	チップ上の IR ドロップの分布	12
図 5	サイクル平均消費電力と IR ドロップの相関	14
図 6	見積り関数の導出	15
図 7	delay model	18
図 8	サイクル平均消費電力と variable-delay WSA	19
図 9	サイクル平均消費電力と zero-delay WSA	20
図 10	提案手法の流れ	21
図 11	計算時間の内訳	28
図 12	X-fill 手法	30
図 13	チップ上のスイッチングの分布(#329)	34
図 14	チップ上のスイッチング分布(#550)	34
図 15	EDA による IR ドロップ解析値(#329)	35
図 16	EDA による IR ドロップ解析値(#550)	35
図 17	提案手法による IR ドロップ見積り値(#329)	36
図 18	提案手法による IR ドロップ見積り値(#550)	36
図 19	誤差が最も大きかったパタンのスイッチング分布	38
図 20	誤差が最も大きかったパタンの IR ドロップ分布	38

表目次

表 1	既存手法の計算時間	16
表 2	消費電力解析および WSA 解析の計算時間	19
表 3	サイクル平均消費電力と WSA の相関	19
表 4	見積り誤差・計算時間 (回路 : b14)	25
表 5	見積り誤差・計算時間 (回路 : b17)	26
表 6	見積り誤差・計算時間 (回路 : b18)	27
表 7	見積り誤差・計算時間 (回路 : b19)	28
表 8	X-fill 手法別見積り誤差 (回路 : b14)	31
表 9	X-fill 手法別見積り誤差 (回路 : b17)	31
表 10	X-fill 手法別見積り誤差 (回路 : b18)	32
表 11	X-fill 手法別見積り誤差 (回路 : b19)	32
表 12	IR ドロップの平均値と誤差	37

1. はじめに

1.1 背景

半導体プロセスの微細化によって LSI の高速化，低電圧化が進んでいる．回路の動作周波数が高くなるとタイミングマージンが減少するため，わずかな遅延のばらつきにも留意する必要がある．実際，ナノスケールのプロセスで製造されたデバイスでは遅延欠陥が支配的になっている[1]．そのため，不良デバイスを市場に流出させないためには At-Speed スキャンテストを実施して微小な遅延を検出することが重要である．At-Speed スキャンテストは，LSI の遅延故障を検出する遅延テストにおいて，回路を実動作速度で動作させることで微小遅延を検出する手法である．

その一方で，At-Speed スキャンテストは通常動作時に比べて回路内部のセル(論理ゲートやフリップフロップ)のインスタンス(セルインスタンス)のスイッチング数が多く消費電力が高いという問題がある．これは，テストに用いる入力パターン(テストパターン)が効率よくテストするため，通常動作では起こらない状態を利用することが原因である．消費電力が高いと IR ドロップによる電源電圧の降下が問題になる．IR ドロップは，電源ネットワーク上に電流が流れることによって起こる電源電圧の降下のことである．大きな IR ドロップが発生したセルインスタンスでは供給される電圧が不足するためスイッチング速度が低下する．これによって回路の遅延が増加してしまう．

低電圧化が進む今日の LSI では，供給電圧と閾値電圧の差が小さくなることで IR ドロップなどの電源ノイズに対する耐性が弱まっている．そのため，テスト時の IR ドロップによる遅延増加はテスト起因の歩留り損失という新たな問題を生んでいる．これは，通常動作では正常に動作するチップを不良品であると誤判定してしまう問題である．テストで使用するパターンは電力消費が大きいため，過度の IR ドロップが発生することがある．過度の IR ドロップは遅延の大幅な増加に繋がり，これが回路のタイミングマージンを超えるとチップは誤動作を起こし不良品であると判定される．テストという特殊な動作による過度の IR ドロップがオーバーテストを招くことで，結果としてテストが製品の歩留り損失を招くのである．

テスト起因の歩留り損失を防止するために，低消費電力テストによって IR

ドロップ量を低減させる手法が多く提案されている[2-6]。これらの手法はテスト時のスイッチング数を抑制し、消費電力を削減することで IR ドロップを削減している。しかし、そのほとんどがスイッチングや消費電力の削減量によってテストパタンの評価を行っている。消費電力そのものの削減は重要であるが、テスト起因の歩留り損失が起こるか否かを判断するためには、IR ドロップによる遅延増加によってタイミング違反が発生するかどうかを判断することがより重要である。一般に、回路上の IR ドロップの分布は均一ではなくスイッチングの発生したセルインスタンスの物理的な位置と、電源ネットワークの構成に依存している。従って、IR ドロップによる遅延増加量を正確に求めるには、テストパターンごとにセルインスタンスごとの IR ドロップ量を求めることが必要である。

1.2 関連研究

既存のパタン評価尺度は、信号伝搬経路(パス)を考慮しないものと考慮するものに分けることができる。パス非考慮の評価尺度は、回路全体または一部における消費電力を見積る。Toggle Count(TC)や Weighted Switching Activity (WSA：重み付き信号遷移数)が一般的で、計算も容易である[1]。TC はスイッチング電力の見積り手法の一つであり、回路中のセルインスタンスの信号遷移数を計測する。WSA は、TC にセルインスタンスの出力信号線の分岐(ファンアウト)数に応じた重みを付加した遷移数である。セルインスタンスの電力消費量はスイッチング数と負荷容量に比例している。負荷容量は配線抵抗が支配的であり、配線容量はファンアウト数との相関が高い。そのため、ファンアウト数を考慮している WSA は消費電力との相関が高いことが知られている。WSA は以下の式によって求められる。

$$WSA = \sum_{k=1}^n t_k \times w_k$$

ここで、 n は回路中のセルインスタンスの総数で、 t_k はセルインスタンス k の信号遷移数、 w_k はセルインスタンス k の重みである。 w_k はファンアウト数 f に応じて以下のように決まる。

($f=1$)のとき

$$w_k = 1$$

($f \geq 2$)のとき

$$w_k = f + 1$$

Ahmed らは、信号遷移が発生しているタイムフレームでの平均消費電力である **Switching Cycle Average Power(SCAP)**と **IR ドロップ**に高い相関があることを示した[7]. **SCAP** は大きな **IR ドロップ**を引き起こす可能性のあるパターンを特定するのに用いることができる. 文献[8]と[9]では、局所的な電力消費が特定領域での **IR ドロップ**に影響を与える点に着目し、これを考慮した低消費電力テスト手法を提案した. 文献[8]の手法では回路の一部の領域だけで消費電力が高くなるようにするために、回路を複数領域に分割して消費電力が均一になるようなテスト圧縮を行う. このとき、各領域の評価には **WSA**を用いる. 文献[9]でも回路を複数に分割する点は同じであるが、さまざまな尺度によってテストパターンを評価している. これらの手法で用いられている評価尺度は **IR ドロップ**と相関がある. そのため、大きな **IR ドロップ**を引き起こすパターンの特定に使用できる. しかし、重要である **IR ドロップ**起因の遅延増加量そのものを見積ることはできない. 最も重要なのは、遷移を外部出力まで伝搬する経路(活性化されたパス)の遅延増加量なのであり、活性化パスの遅延量を求めるには、遅延値と活性化パスの情報を関連付ける必要がある.

一方のパス考慮の評価尺度では、対象とするパス上のセルインスタンス(victim)とその近傍のセルインスタンス(aggessor)との関連に着目している. 活性化パスの aggessor の遷移が多いほどそのパスの遅延への影響は大きくなる. 文献[10][11]では活性化されたパスのうち最終遷移まで時間のかかるパス(クリティカルパス)において、文献[12]ではクロックパスにおいてスイッチングの重みを評価している. 文献[10]では、**WSA** にクリティカルパスやその周辺情報を付加することで aggessor の遷移の影響を考慮した **Critical Capture Transition(CCT)**という手法を提案している. 文献[11]ではパス上のセルインスタンスの遷移よりも早い時刻に起きた遷移のみを考慮することで aggessor の影響をより正確に反映する **Transition-time-relation (TTR)**ベースの評価尺度が提案された. これらの手法は、対象パスが **IR ドロップ**起因のタイミング違反を起こすかどうかの判断に用いることができる. パス考慮の評価尺度は **WSA** に基づくものが多い. しかし、**WSA** から **IR ドロップ**起因の遅延量を直接見積ることは困難であり、正確性に疑問が残る. **IR ドロップ**起因の遅延増加量を正確に見積るためには、パターンごとの **IR ドロップ**解析と

タイミング解析を行う必要がある．文献[13]では IR ドロップによる遅延解析を評価している．その検証プロセスは，パターンごとに IR ドロップ解析を実施した結果を基にタイミングシミュレーションを行うことでパス遅延を評価している．しかし，IR ドロップ解析の計算時間が非常に長いため大規模回路において多量のテストパターンを評価するのは困難である．

そのため Yamato らは，回路全体での消費電力と，個々のセルインスタンスの IR ドロップの非常に高い相関を利用して IR ドロップを高速に見積る手法を提案した[14]．この手法は，高い見積り精度を維持しつつ，IR ドロップ解析の計算時間を大幅に削減した．その結果，IR ドロップ解析の次に時間のかかる処理である消費電力解析の計算時間が全体の計算時間の中で支配的になった．そこで本論文では，WSA による消費電力見積りによって見積り精度の低下を最小限に抑えつつ先行手法[14](以降，先行手法と呼ぶ)を高速化する．先行手法の詳細については 3 節で述べる．

1.3 論文の貢献と構成

本論文では，消費電力見積りを高速化することによって，先行手法の IR ドロップ見積りの総計算時間をさらに短縮する手法を提案する．提案手法では，高速に計算が可能であり消費電力と高い相関をもつ WSA を用いることで計算時間の大幅な削減を実現している．これによって IR ドロップ起因の歩留り損失を起こす可能性のあるテストパタンの判別が容易になることが期待できる．また，提案手法はテストパターンに限らず，機能動作時のパターンを印加した際の IR ドロップ見積りを行うことも可能である．

本論文は以下のように構成する．2 節では遅延故障テストと IR ドロップ解析について説明する．3 節では先行手法の詳細を述べ，4 節では提案手法について述べる．5 節では，ベンチマーク回路を用いた実験の結果を示し，6 節で結論を述べる．

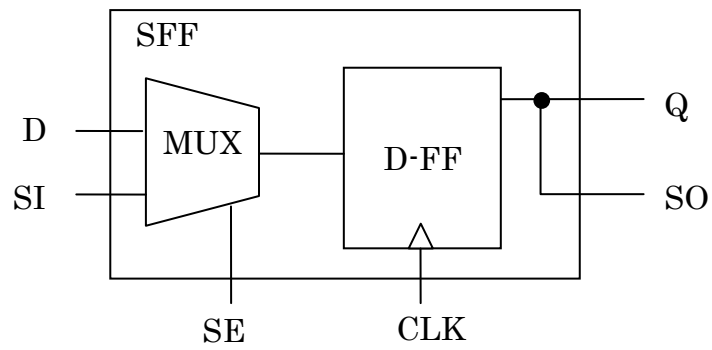
2. 遅延故障テストと IR ドロップ解析

本研究では，LSI の遅延故障テストにおける IR ドロップ起因の遅延増加を考える．そこで本節ではまず，遅延故障のテストと IR ドロップ解析について述べる．

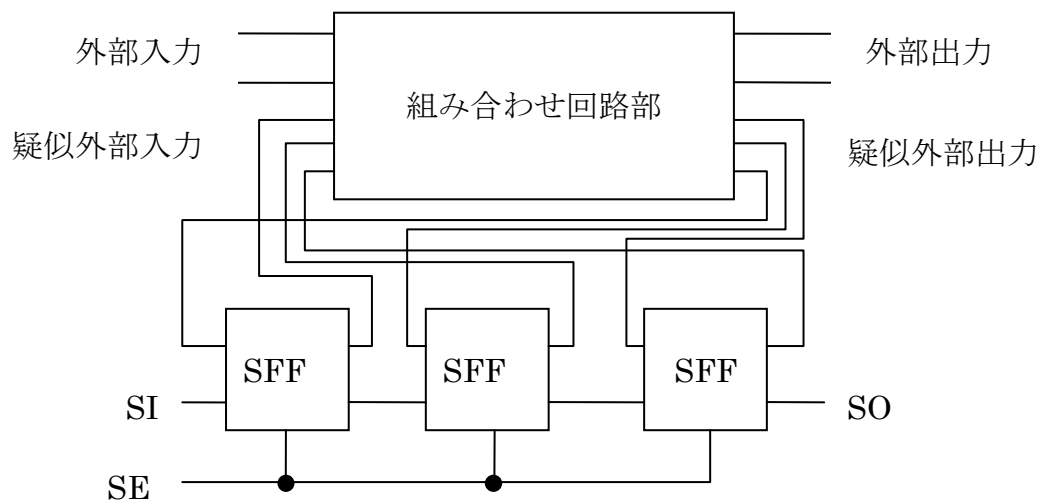
2.1 遅延故障のテスト

遅延故障とは，欠陥により回路内のセルインスタンスの遷移遅延が増加することによって信号遷移が許容された遅延時間のうちに伝搬しない振舞いをモデル化した故障である．遅延故障は，遅延が増大する箇所（箇所）の範囲の考え方によってさらに分類されるが，その中の一つに遷移遅延故障モデルがある．これは回路中の一つの信号線に，タイミング違反を起こすのに十分大きな遷移遅延が発生すると仮定したモデルである．遷移故障のテストには，2 パターン必要である．まず第 1 パターンで故障仮定箇所のビット値を遷移前の状態に設定する．続いて第 2 パターンによって遷移が発生させ，その遷移を外部出力もしくは FF まで伝搬させる．この 2 つのパターンを 1 組として遷移遅延故障テストパターンを生成する．

現在，テスト容易化設計手法の一つとしてスキャン設計が一般的になっている．スキャン設計は順序回路内のフリップフロップ(FF)をテスト専用の信号線で接続しシフトレジスタのように動作させることを可能にしている[15]．これによって順序回路の可制御性，可観測性を向上させる技術である．図 1 にスキャン設計の例を示す．スキャン設計では，FF はスキャンフリップフロップ(SFF)に置き換えられる．SFF は通常の入力(D)に加えてスキャンイン(SI)と呼ばれるスキャンテスト専用の入力を付加する．2 つの入力 D と SI はマルチプレクサ(MUX)を用いてスキャンイネーブル信号(SE)の値によって切り替えられる．また，通常の出力量(Q)に加えてスキャンアウト(SO)と呼ばれるスキャンテスト専用の出力を付加する．回路内の SFF の SO と SI をつなぐことで SFF はシフトレジスタのように動作させることができる．これをスキャンチェーンと呼び，チェーンの先頭はスキャンテスト専用の外部入力である SI と接続されており，チェーンの末端はスキャンテスト専用の外部出力である SO と接続されている．このため，シフトレジスタとして動作させる場合は SI から全ての SFF に任意の値をシフトして伝搬させることができる．同様に



(a) スキャン FF



(b) スキャン化した回路

図 1 スキャン設計

SFF の値はシフト動作を繰り返すことで SO から取り出すことができる。そのため、全ての FF を SFF にすることで順序回路は、スキャンチェーン部と組み合わせ回路部に分割することができる。このため、SFF の出力を組み合わせ回路部の疑似外部入力に、SFF の入力を組み合わせ回路部の疑似外部出力として考えることができる。スキャン設計はこれらの仕組みによってテストの難しい順序回路のテスト容易化を実現している。

LSI のテストは、回路の外部入力および SI にテストパターンと呼ばれる入力値を与えて実行する。遷移遅延故障テストでは 2 パターンでテストを行うことはすでに述べた。2 パターン目を印加(ローンチ)するクロックサイクルで故障仮定箇所に遷移を発生させ、次のクロックで FF に取り込まれた(キャプチャ)値を期待値と確認する。故障仮定箇所に遅延がある場合はクロックピリオドまでに FF に遷移を伝搬できず、期待値と異なる値になるため故障を検出することができる。このうちローンチサイクルをシステムクロックと同じ速度で動作させるのが At-Speed スキャンテストである。

遷移遅延故障モデルに基づくテストパターンの生成には、第 2 パターンの生成方法の異なる 2 つの方式が存在する。ひとつはスキャンチェーンから第 1 パターンを印加した際の応答を第 2 パターンとして用いる Launch on Capture(LoC, または Broad-side)方式[16]、もう一つが第 1 パターン、第 2 パターン共にスキャンチェーンのシフト動作によって入力する Launch on Shift(LoS, または Skewed-load)方式[17]である。図 2 に LoC と LoS のタイミングチャートを示す。上段にはクロック信号のタイミングチャートを示した。

At-Speed スピードテストでは遅延テスト時のクロックサイクルをシステムクロックのスピードで動作させるため、第 2 パターンの印加時のクロックサイクル(図中の灰色箇所)はその他のクロックに比べて高速である。中段には LoC での SE 信号を、下段には LoS での SE 信号を示した。SE=1 でテストモード、SE=0 で機能モードとなる。

まず SE を 1 にしてスキャンチェーンをシフトレジスタにすることで、SI からテストパターンを全ての FF に伝搬させる。次の第 2 パターンのローンチ部分で両者の処理が異なる。LoC では第 2 パターンに機能動作によって作られるパターンを使用するため、ローンチクロックの手前で SE を 0 にして SFF に組み合わせ回路部からの値を取り込む。一方の LoS では第 2 パターンはシフト動作によって FF に伝搬させる。そのため、ローンチクロックの立ち上がり時には

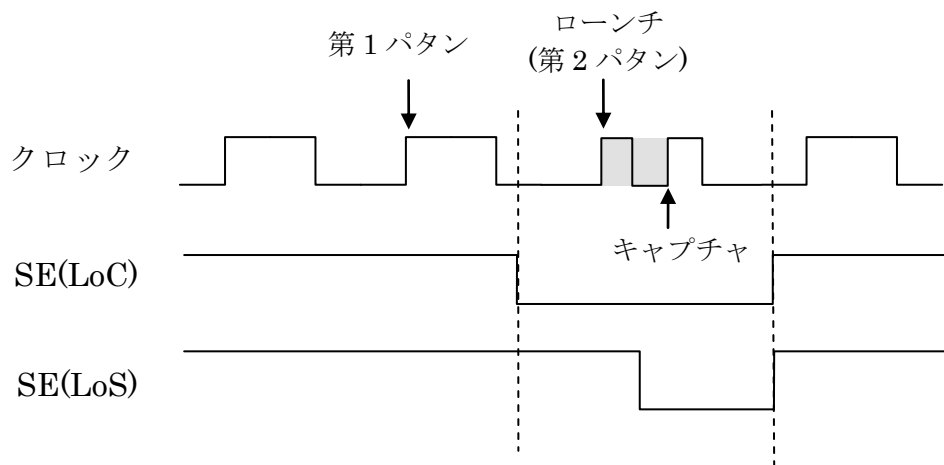


図 2 2 パタンテストのタイミングチャート

SE は 1 にしてシフトレジスタから値をシフトさせることで SFF にテストパターンを取り込んでいる。次のキャプチャクロックではローンチクロックで第 2 パタンを印加した際の回路応答を取得するために LoC, LoS 共に SE を 0 にすることで組み合わせ回路部の値を取り込む。キャプチャクロックが終わると SE を 1 にして、SFF を再度シフトレジスタにすることで取り込んだ値を SO まで伝搬させる。

LoC は、SE 信号の切り替え速度が遅く設計が容易であるが、組み合わせ回路部の論理によって故障を検出できるパターンが設定できない場合があるため故障検出率は LoS に比べてやや低い。一方の LoS はシフト動作で第 2 パタンを設定できるため故障検出率は高いが、高速な SE 信号の切り替えが難しい。

2.2 At-Speed スキャンテストと IR ドロップ

LSI を設計する際には IR ドロップなどの電源ノイズの問題がある。IR ドロップは、セルインスタンスのスイッチングによって電源/グランドネットワークに電流が流れることで発生する電圧降下のことである。回路にスイッチングが発生し電源レールに電流が流れることで IR ドロップが発生すると、セルインスタンスに供給される電圧が低下してスイッチング遅延が増加してしまう。従って、IR ドロップによるある程度の遅延を考慮して設計は行われている。

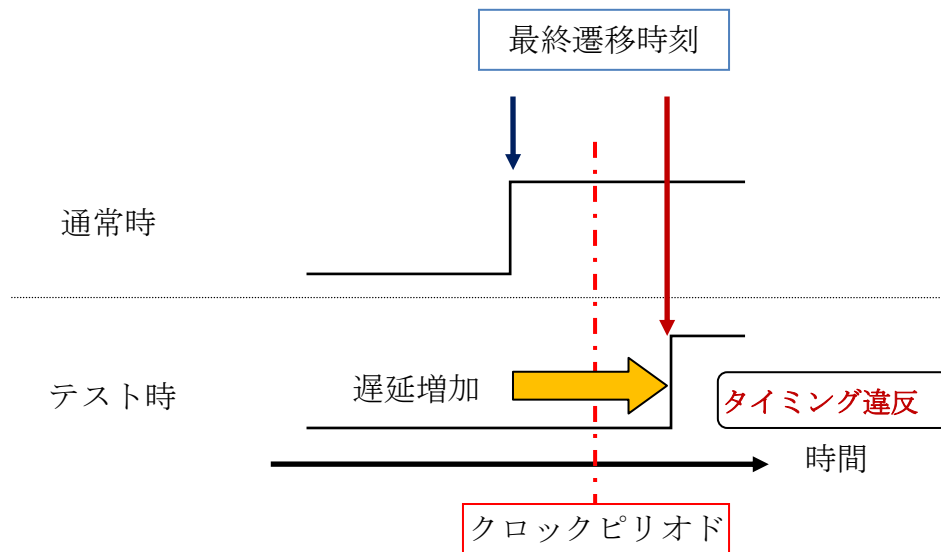


図 3 IR ドロップ起因のタイミング違反

しかし、すでに述べたように、LSI テストで用いるパターンは通常動作に比べてスイッチング数が多くなることが知られており、特に **At-Speed** スキャンテストでは **IR** ドロップによる遅延増加が問題となっている。テストパターンという通常動作では用いない特殊な入力パターンがチップに過度のスイッチングを発生させることにより、通常動作では起こり得ない大きな遅延を生じるためテスト起因の歩留り損失が発生してしまう。図 3 に **IR** ドロップによる遅延増加によるタイミング違反をタイミングチャートで示す。テスト起因の歩留り損失を防止するためにはセルインスタンスごとの詳細な **IR** ドロップ値を取得して、その結果を基に遅延増加量を計算するのが効果的である。

IR ドロップ値の取得には幾つか方法があるが、電子回路のアナログ動作シミュレータである **SPICE** シミュレータを用いると非常に正確に計算することができる。しかし、**SPICE** シミュレータは計算量が非常に多く、大規模化した今日の **LSI** 回路全体を実用的な時間で解くことはできない。そのため、回路の電源レールを解析するシミュレータを用いることで回路全体の **IR** ドロップを求めるのが一般的である。レール解析によって **IR** ドロップを求めるには

以下のステップがある。

ステップ 1：論理シミュレーション

ステップ 2：消費電力解析

ステップ 3：IR ドロップ解析

以下でそれぞれのステップについて説明する。

2.2.1 論理シミュレーション

論理シミュレーションは、回路に入力パターンを印加した際の回路の振る舞いを計算するゲートレベルのシミュレーションである。ゲートレベルは電子回路の抽象レベルの一つで、論理ゲートや FF を単位として構成される。

電子回路の抽象レベルには、トランジスタレベル、ゲートレベル、レジスタ転送レベル、システムレベルがある。トランジスタレベルでは文字通り、回路内のスイッチであるトランジスタが基準となっている表現である。レジスタ転送レベルでは、レジスタ(FF)間のデータの流れを表現しており、現在の電子回路設計ではレジスタ転送レベルでの回路設計が主流である。システムレベルではさらに抽象的であり、回路の動作が単位となった表現である。

論理シミュレーションでは、テストパターンとゲートレベルのネットリスト(回路構造)およびセルインスタンスの遅延情報を入力として与えることで、外部出力だけでなくゲートレベル回路での内部信号線の波形を出力することができる。

2.2.2 消費電力解析

消費電力解析は、セルインスタンスの負荷容量を含む回路情報と波形情報から回路の電力消費量を計算する。LSI が消費する電力は動的なものと静的なものに分類できる[1]。動的電力 P_d は、セルインスタンスのスイッチングによる付加容量の充放電による電力が大半であり、以下の式で近似的に求めることができる。

$$P_d = \sum_{i=1}^n C_L(i) V_{DD}^2 f(i)$$

ただし、 $C_L(i)$ はセルインスタンス i の付加容量であり、 V_{DD} は電源電圧である。 $f(i)$ はセルインスタンス i のスイッチング回数である。 n は回路のセルインスタンス数である。

一方，静的電力はスイッチングにかかわらず流れるリーク電流である．従来は動的電力が支配的であったが，半導体プロセスの微細化の進む現在では静的電力の割合も上昇している．静的電力 P_{stat} は以下の式で求まる．

$$P_{stat} = \sum_{i=1}^n I_{stat_i} V_{DD}$$

ただし， I_{stat_i} はセルインスタンス i におけるリーク電流である．

2.2.3 IR ドロップ解析

IR ドロップ解析では，波形情報と回路のレイアウト情報(セルインスタンスの配置や配線の情報)を入力として与えることで，セルインスタンスごとの IR ドロップ値を求める．チップの電源ネットワークは配線抵抗があるため等電圧ではなく外部電源よりやや低くなっている．図 4 にチップ上の IR ドロップを図示した．赤色ほど IR ドロップが大きく，青色ほど少ない．このチップは右上と左下の 2 か所に 1.2V の電源パッドがあり，中心部分では電源よりも数十 mV 電圧が低いことが分かる．IR ドロップの大小は遅延に影響しテスト起因の歩留り損失を引き起こす可能性があるため，IR ドロップ解析によってセルインスタンスごとのドロップ値を求めることが重要である．

IR ドロップには，静的 IR ドロップと動的 IR ドロップがある[1]．静的 IR ドロップは，チップ内の時間的な平均電流と等価抵抗から求めることができる平均的な電圧降下量である．一方の動的 IR ドロップは，時間的な変化を伴った電圧降下量である．本研究ではより正確な解析が可能である動的な IR ドロップを用いる．

動的 IR ドロップ解析では，回路のレイアウト情報から，電源ネットワークの抵抗成分，寄生容量を抽出して RC ネットリストと呼ばれるモデルを作成する．そして波形情報から導かれる電力情報と RC ネットリストの回路方程式を用いて過渡解析を行い時間的な変化を計算することでセルインスタンスごとに IR ドロップを求める．これらの処理は計算量が多く，長い計算時間を必要とすることが知られている．

また，IR ドロップはパターンに依存するか否かでさらに分類できる．パターン非依存の IR ドロップは，回路の信号遷移率を用いて導かれる平均的な値である．一方でパターン依存の IR ドロップは，パターンごとに再計算を行うため，計算量はさらに増える．しかし，テスト起因の歩留り損失を防ぐにはパターンご

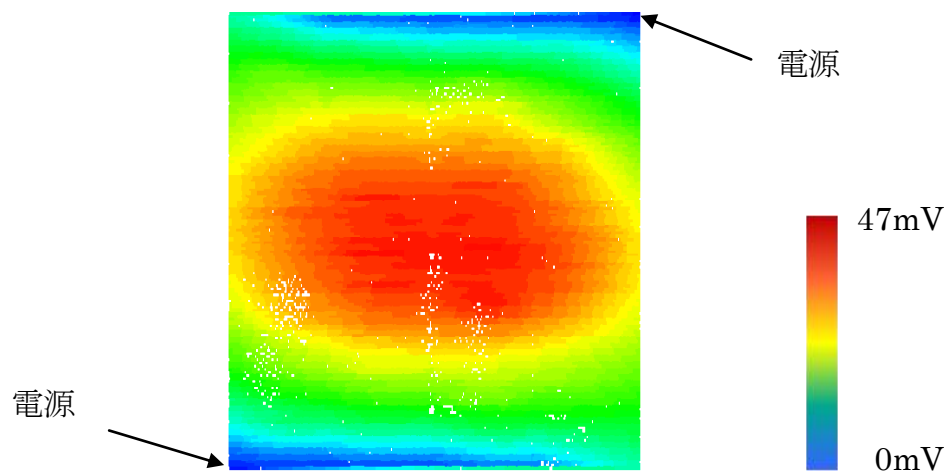


図 4 チップ上の IR ドロップの分布

との見積りを行い，問題のあるパターンを排除しなければならない．そのため，パターン依存の IR ドロップ解析が必要なのである．大規模化が著しい今日の LSI では全パタンの全セルインスタンスで IR ドロップ解析を実行するのには非常に長い実行時間が必要であり，テスト起因の歩留り損失を抑制するためにも IR ドロップを高速に計算する手法が求められる．

そこで，3 節では高速，高精度な IR ドロップ見積りを可能にした先行研究について述べる．

3. 先行研究

Yamato らは、テストパタンのローンチサイクルにおける回路の総消費電力とセルインスタンスごとの IR ドロップの間の非常に高い相関を発見し、この性質を用いて高速 IR ドロップ見積り手法を提案した[14]。回路の全セルインスタンスでの IR ドロップを求めるにはテストパターンごとに以下の処理を行う。

- (1) 論理シミュレーション
- (2) 消費電力解析
- (3) IR ドロップ解析

先行研究はこのうち IR ドロップ解析の実行回数を削減することで大幅な高速化を実現した。以下にその詳細を述べる。

3.1 サイクル平均消費電力と IR ドロップ

先行研究ではサイクル平均消費電力とセルインスタンスごとの IR ドロップの間に非常に高い相関を発見した。サイクル平均消費電力は、1 クロックサイクルでの回路全体の平均消費電力であり、先行研究では、At-Speed スキャンテストにおける 2 パタンテストでのローンチサイクルを対象としている。本論文でもサイクル平均消費電力は 2 パタンテストでのローンチサイクルでの回路全体での平均消費電力を指す。これは負荷容量を含む回路情報と波形情報を用いて 2.2.2 節で説明した消費電力解析を実施して求めた値である。図 5 に ITC'99 ベンチマーク回路[19]の b14 に対する先行研究の実験結果を表わす。これは、回路中の 3 つのセルインスタンスにおけるテストパタンのサイクル平均消費電力と IR ドロップの関係を示したものである。この図から 3 つのセルインスタンスでは相関が非常に高いことが分かる。回路内の全てのセルインスタンスの相関係数は最低でも 0.837 であり、平均では 0.975 と極めて高い値を示した。

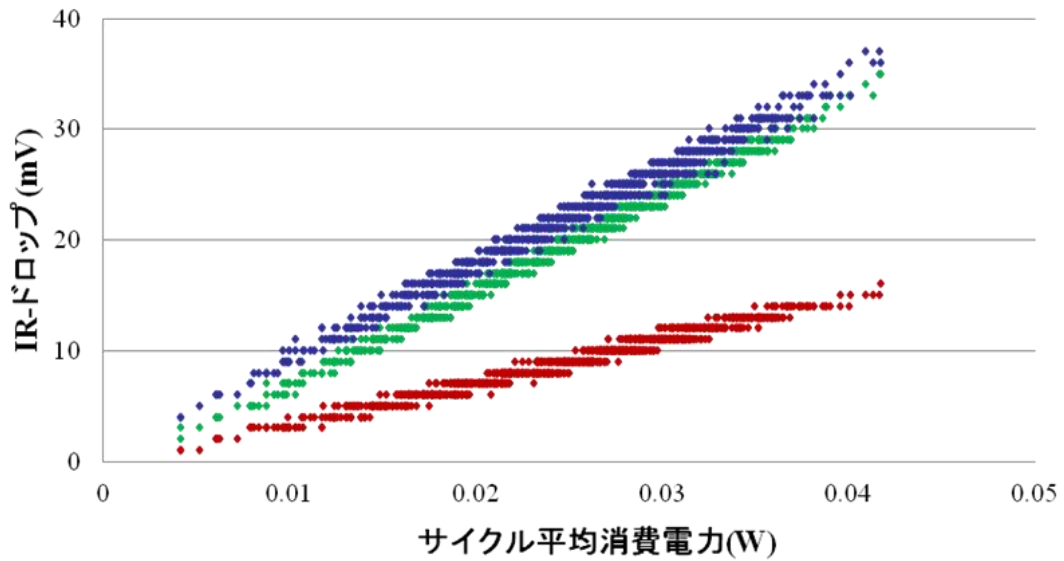


図 5 サイクル平均消費電力と IR ドロップの相関

3.2 先行手法の流れ

先行手法では、一部の代表パタンにだけ IR ドロップ解析を実行することで、IR ドロップ解析の実行回数を大幅に削減した。そしてサイクル平均消費電力と個々のセルインスタンスの IR ドロップとの高い相関を利用することで、その他のパタンでの IR ドロップ値を高速に計算している。代表パタン以外のパタンでの IR ドロップ見積りには、見積り関数と呼ばれる一次関数を用いる。関数は、代表パタンでの IR ドロップ値とサイクル平均消費電力の値から、最小二乗法を用いて近似関数を導出しこれを IR ドロップ見積り関数とする。

定義 1 : n 個の代表パタンに対するサイクル平均消費電力とあるセルインスタンスの IR ドロップ値の対 $\{(p_1, v_1), (p_2, v_2), \dots, (p_n, v_n)\}$ を考える。ただし p_i は i 番目の代表パタンのサイクル平均消費電力で、 v_i はそれに対応する IR ドロップである。このとき IR ドロップ見積り関数は以下のように導出する。

$$v = ap + b$$

ただし、 a および b は以下のとおりである。

$$a = \frac{n \sum_{i=1}^n p_i v_i - \sum_{i=1}^n p_i \sum_{i=1}^n v_i}{n \sum_{i=1}^n p_i^2 - (\sum_{i=1}^n p_i)^2}$$

$$b = \frac{\sum_{i=1}^n p_i^2 \sum_{i=1}^n v_i - \sum_{i=1}^n p_i v_i - \sum_{i=1}^n p_i}{n \sum_{i=1}^n p_i^2 - (\sum_{i=1}^n p_i)^2}$$

見積り関数はセルインスタンスごとに導出し，回路中の全てのセルインスタンスが独自の見積り関数を保有する．

図 6 に代表パタンの解析結果と見積り関数の例を示す．回路中の 4 つの点は代表パターンでの IR ドロップ値を示しており，その近似関数を示している．代表パターンは，サイクル平均消費電力が最大のもものと最小のもの，代表数に応じて均等に割った中間の値を選択した．これは，近接する点を選択することによる異常な傾きを防止するためである．サイクル平均消費電力と IR ドロップには高い相関があるため，代表以外のパターンでの IR ドロップ値は見積り関数を用いて見積ることが可能である．

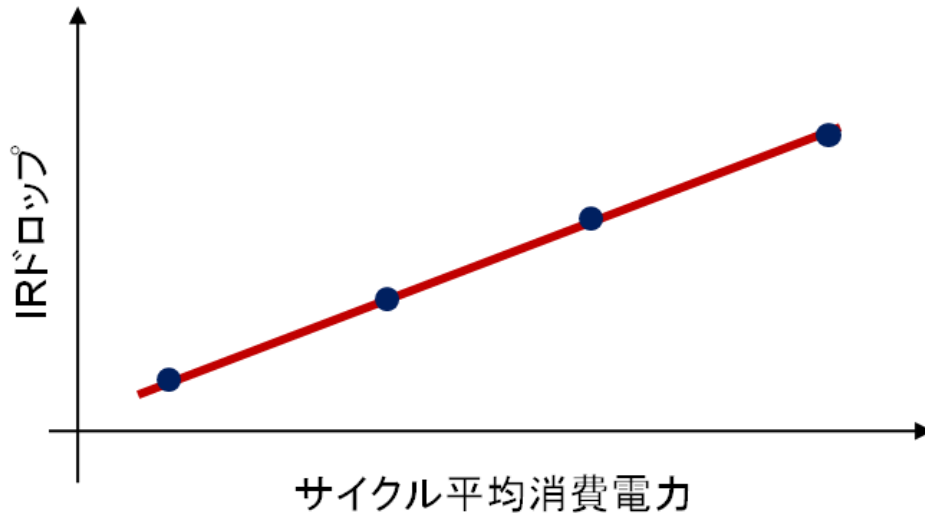


図 6 見積り関数の導出

3.3 先行研究の成果

これにより, 先行研究は高速 IR ドロップ見積りを実現した. 表 1 に ITC'99 ベンチマーク回路の b19(セルインスタンス数: 約 9 万個)に対する実験結果を示す. 評価に用いたパターンは LoC 方式で生成した 1984 個の遅延故障テストパターンである. 比較対象である”EDA 解析”とは, 全テストパターンに対する論理シミュレーション, 消費電力解析, IR ドロップ解析を EDA ツールを用いて行う手法を指す.

最も計算時間の長い IR ドロップ解析の計算時間を大幅に削減したことで, 全体での計算時間も約 4 分の 1 に削減した. その結果, 消費電力解析の計算時間が支配的になった. 計算時間は回路が大規模になるほど長くなってしまいう. そこで本論文では, 先行手法の見積り精度を維持しつつ, 消費電力解析の高速化を行うことで全体での計算時間をさらに削減することを目指す.

表 1 既存手法の計算時間

項目	計算時間[s]	
	EDA 解析	先行手法
論理シミュレーション	6,175	6,175
消費電力解析	48,437	48,437
IR ドロップ解析	171,427	252
IR ドロップ見積り		2
合計	226,039	54,865

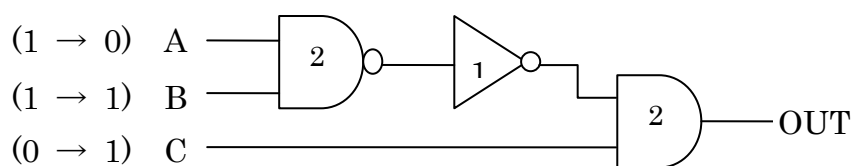
4. 提案手法

本節では，提案する消費電力解析の計算時間を削減した IR ドロップ見積り手法の高速化手法の詳細について述べる．4.1 節では，消費電力を見積る手法としての WSA の有効性を示し，4.2 節では提案手法の流れを示す．

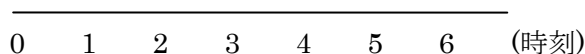
4.1 WSA とサイクル平均消費電力

本論文では，WSA とサイクル平均消費電力の関係について述べる．WSA が消費電力との相関が高いことはすでに述べた．先行手法の高速化をするにあたって，精度の低下は最小限にする必要がある．WSA を求める際に，遷移回数を数える場合に，1 サイクルの中での遅延を考慮するか否かで 2 通りに分けることができる．ここでは，遅延を考えない zero-delay モデルの WSA とセルの種類ごとに固有の遅延値を考える variable-delay モデルの WSA を考える．図 7 に 2 つの delay モデルでの遷移数の違いを示す．図 7(a) に示した回路での遷移数を求める．回路中のセルの中の数字は，variable-delay モデルでのセルの遅延時間である．ここでは AND および NAND ゲートでは遅延が 2，NOT ゲートには遅延が 1 ある場合を考える．初期状態は $(A,B,C)=(1,1,0)$ であり，そこにパターン $(0,1,1)$ を印加する．その時の zero-delay および variable-delay の出力信号線 OUT の波形を図 7(b) および図 7(c) にそれぞれ示す．zero-delay では初期状態は 0 で，パターンを印加しても出力は 0 のままである．従って遷移数は 0 となる．一方，variable-delay では，パターン印加後の最終的な値は同じく 0 であるが，時刻 2 から時刻 5 までは 1 である．これは，AND ゲートにおいて入力 C の変化が入力 A，B の変化より 3 時刻早く到達するためである．従って variable-delay では遷移数は 2 となる．variable-delay は zero-delay と比較して，より現実に近いモデルであり，対する zero-delay WSA の利点は，計算量が少ないことである．サイクル平均消費電力が variable-delay の波形を基にして電力解析された結果から求められていることから，variable-delay WSA はサイクル平均消費電力との相関が高いと予想できる．

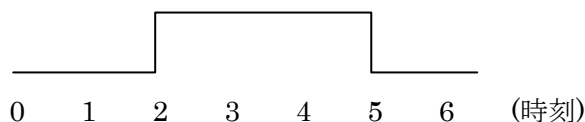
そこで予備実験として 2 つの delay モデルの WSA の計算時間およびサイクル平均消費電力との相関を調査した．実験は，b14 回路において LoC および LoS 方式によって遷移遅延故障モデルで生成したパターンを使用して行った．



(a)回路と入力パターン



(b)信号線 OUT の波形(zero-delay モデル)



(c)信号線 OUT の波形(variable-delay モデル)

図 7 delay model

パターン数は LoC が 1063 パタン, LoS が 902 パタンである. WSA および EDA 解析を用いた消費電力解析の計算時間の結果を

表 2 に示す. 2 種類の WSA の計算時間は, 消費電力解析に比べて約 10 分の 1 であることが分かる. WSA 同士の比較では, zero-delay WSA の方が 7-8% 高速であった.

一方のサイクル平均消費電力との相関係数は表 3 に示す. また, 図 8 では LoC 方式で生成したパタンでの variable-delay WSA とサイクル平均消費電力の散布図を示す. 同様に, zero-delay WSA とサイクル平均消費電力の散布図を図 9 に示す. variable-delay WSA の相関係数は LoC では 0.9956, LoS では 0.9894 であり非常に高い相関を示した. それに対して zero-delay WSA は 0.7 前後にとどまった.

IR ドロップの見積り精度を維持するためには, サイクル平均消費電力と相関の高い手法を用いる必要がある. zero-delay WSA では相関が十分ではなく一部のセルインスタンスでは大きくばらついていることから, 見積りに使用

表 2 消費電力解析および WSA 解析の計算時間

clock 手法	消費電力解析	WSA(variable)	WSA(zero)
LoC	1657s	165s	154s
LoS	1574s	143s	132s

表 3 サイクル平均消費電力と WSA の相関

手法		相関係数
LoC	WSA(variable)	0.9956
	WSA(zero)	0.7133
LoS	WSA(variable)	0.9894
	WSA(zero)	0.6611

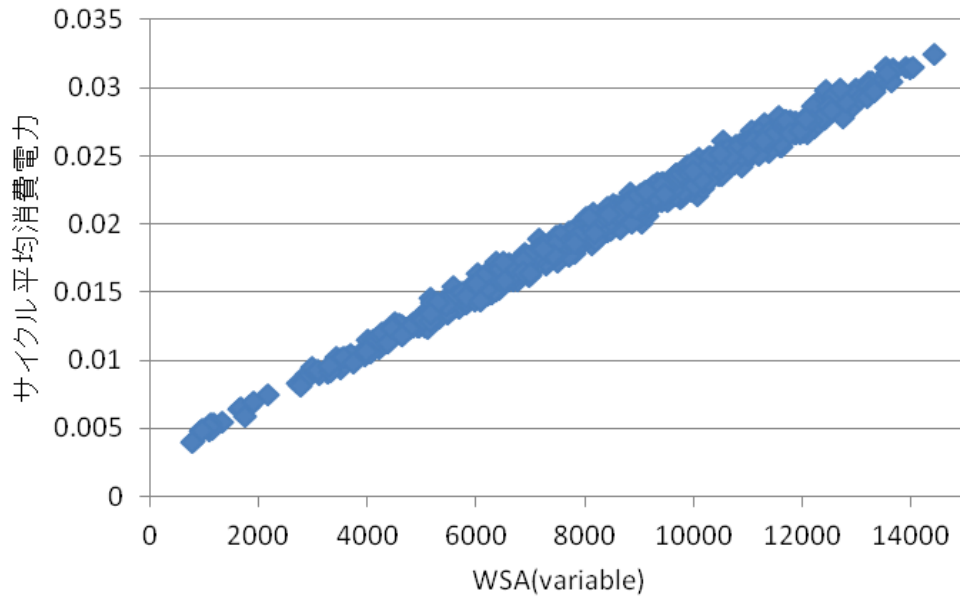


図 8 サイクル平均消費電力と variable-delay WSA

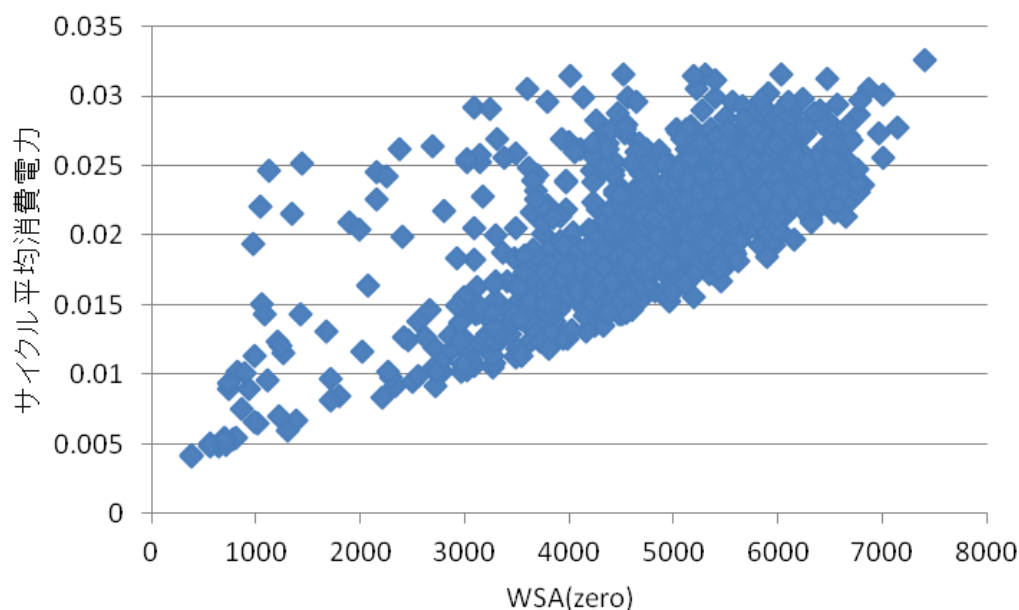


図 9 サイクル平均消費電力と zero-delay WSA

するには適さない．一方の variable-delay WSA はサイクル平均消費電力との相関が非常に高く，計算時間は zero-delay WSA とあまり差がない．そのため本論文では variable-delay WSA を用いてサイクル平均消費電力を見積ること
で，IR ドロップ見積り全体での計算時間を削減する．

4.2 提案手法の流れ

本論文で提案する IR ドロップ見積り手法の流れを図 10 に示す．提案手法は 4 つの主要なステップで構成される．

- ステップ 1 : WSA 解析
- ステップ 2 : 代表パタン選択
- ステップ 3 : 見積り関数の導出
- ステップ 4 : IR ドロップ見積り

ステップ 1 では，論理シミュレーションによって生成された波形データ VCD(Value Change Dump)から WSA を計算する．ステップ 2 では，ステップ 1 で求めた WSA を基に代表パタンをいくつか選択し，消費電力解析および

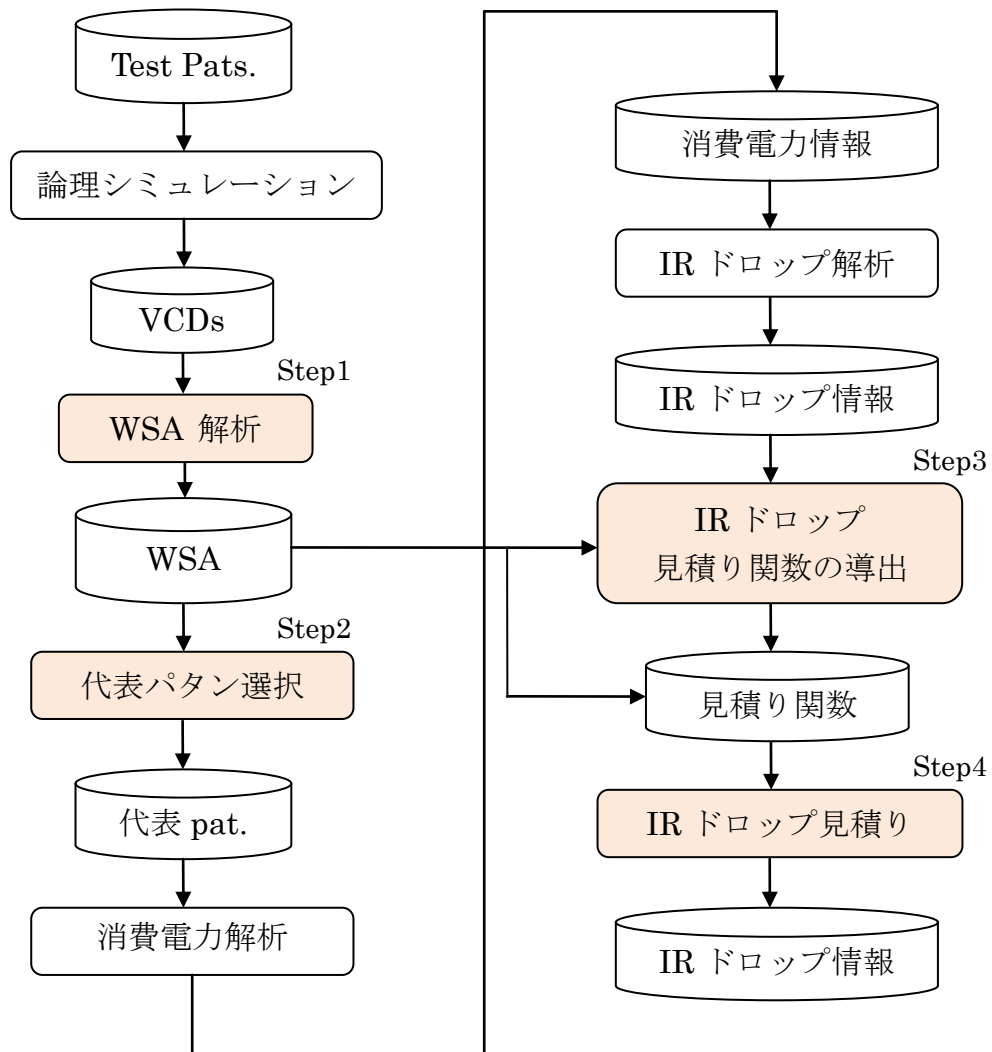


図 10 提案手法の流れ

IR ドロップ解析を実施する．このステップにより代表パターンを印加した際の全てのセルインスタンスの IR ドロップ値を得る．ステップ 3 では，代表パターンの IR ドロップ値と WSA を基にして，全パターンで各セルインスタンスでの IR ドロップ見積り関数を導出する．ステップ 4 では，各パターンでの WSA を

見積り関数に代入することで、代表パターン以外のパターンを印加した際の IR ドロップ値を見積る。以下では、各ステップの詳細を述べる。

4.2.1 WSA 解析

WSA は論理シミュレーションで取得した VCD から計算する。VCD は、回路内のセルインスタンスのスイッチング情報が `variable-delay` モデルで記録されている。予備実験から、WSA 計算の計算時間は消費電力解析と比較しておよそ 10 倍高速であることが分かっている。また、サイクル平均消費電力との相関が非常に高いことも分かっており、これによって先行手法と同等に高精度な IR ドロップ見積りが可能になる。

4.2.2 代表パターン選択

ステップ 2 では代表パターンを数パターン選択し、消費電力解析および IR ドロップ解析を実行する。代表パターンは WSA の値によって選択される。計算時間の短縮という観点からは代表パターン数は少ないことが望ましい。後述する実験では、代表数 3, 4, 5 の 3 通りで実験を行った。代表パターンの選択方法は先行手法と同様にまず、WSA が最大のものと最小のものを選択する。残りは、パターン数を代表数で均等に割った間隔で選択する。例として、代表数が 3 パターンの場合は WSA の最大値、最小値および中央値のパターンを代表として選択する。

代表パターンが決定すると、代表パターンにのみ消費電力解析と IR ドロップ解析を実行する。消費電力解析を行うのは、IR ドロップ解析を行うために必要な電力情報を取得するためである。計算時間の長い消費電力解析と IR ドロップ解析を一部のパターンにのみ実行することで、提案手法は高速化を実現している。

4.2.3 見積り関数の導出

ステップ 3 では、代表パターンの IR ドロップ値と WSA 値から見積り関数を導出する。先行研究により、サイクル平均消費電力と個々のセルインスタンスの IR ドロップとの間に高い相関があることが分かっている。提案手法でもこの性質を用いて IR ドロップの見積りを行う。回路中の個々のセルインスタンスに着目すると、代表パターンの IR ドロップ解析値と WSA を持っている。代表パターン数分の IR ドロップと WSA のペアに対して最小二乗法を用いて近

似関数を導出する.

定義 2 : n 個の代表パターンに対する WSA とあるセルインスタンスの IR ドロップ値の対 $\{(w_1, v_1), (w_2, v_2), \dots, (w_n, v_n)\}$ を考える. ただし w_i は i 番目の代表パターンの WSA, v_i はそれに対応する IR ドロップである. このとき IR ドロップ見積り関数は以下のように導出する.

$$v = aw + b$$

ただし, a および b は以下のとおりである.

$$a = \frac{n \sum_{i=1}^n w_i v_i - \sum_{i=1}^n w_i \sum_{i=1}^n v_i}{n \sum_{i=1}^n w_i^2 - (\sum_{i=1}^n w_i)^2}$$
$$b = \frac{\sum_{i=1}^n w_i^2 \sum_{i=1}^n v_i - \sum_{i=1}^n w_i v_i - \sum_{i=1}^n w_i}{n \sum_{i=1}^n w_i^2 - (\sum_{i=1}^n w_i)^2}$$

この見積り関数は回路中の全てのセルインスタンスに対して求める.

IR ドロップはサイクル平均消費電力と高い相関があり, サイクル平均消費電力は WSA と高い相関がある. そのため IR ドロップと WSA の幾つかのペアから, その他のパターンでの IR ドロップを見積ることができる.

4.2.4 IR ドロップ見積り

ステップ 4 では, 見積り関数を用いて代表パターン以外のパターンでの IR ドロップ値を見積る. このステップまでに分かっているのは, 代表パターンでの IR ドロップ情報と, 全てのパターンでの WSA および見積り関数である. そこで, IR ドロップ情報が得られていない代表以外のパターンでの WSA を見積り関数に代入することで, そのパターンでの IR ドロップ値を見積ることができる. 個々のセルインスタンスは別々の見積り関数を保持している. 従って, 見積りは回路内の全てのセルインスタンスで実行する必要がある. しかし, 見積りは一次関数の計算であるため EDA ツールを用いた IR ドロップ解析に比べて格段に高速な計算が可能である.

5. 評価実験

本節では，評価実験により提案手法の有効性を示す．実験は以下の 3 つを行った．

- (1)既存手法との比較
- (2)パタンの特性による見積り精度への影響評価
- (3)スイッチングの空間的位置による影響評価

5.1 実験環境

実験は，Synopsys SAED90nm EDK Digital Standard Cell Library を用いて合成した ITC'99 ベンチマーク回路の b14(セルインスタンス数：約 5,400)，b17(セルインスタンス数：約 16,000)，b18(セルインスタンス数：約 48,000)，b19(セルインスタンス数：約 90,000)を使用した．また，配置配線は電源電圧を 1.2V として行った．電源ネットワークは，チップの右上と左下の計 2 か所に電源パッドを配置し，チップの周囲に電源リングを配置した．追加の電源線であるストラップは，b14 では配置していないが，回路規模のより大きな b17, b18, b19 では IR ドロップが大きくなりすぎないようにするためにストラップを垂直方向に数本配置している．テストパターンは，LoC, LoS 各方式の下で生成した遷移遅延故障用テストパターンを使用した．IR ドロップ見積りの対象としたのは，At-Speed スキャンテストにおけるローンチ-キャプチャ間の各パターン 1 サイクルとした．

5.2 既存手法との比較

比較実験では，商用 EDA ツールを用いたパターン依存の動的 IR ドロップ解析(EDA 解析)，先行手法および提案手法の見積り精度と計算時間で評価を行う．見積り精度は EDA 解析値と，先行手法および提案手法で見積った値の誤差で評価する．先行手法および提案手法での代表パターン数は 3, 4, 5 の 3 通りで実験した．

b14, b17, b18 および b19 での結果をそれぞれ表 4 - 表 7 に示す．表中の #pats. はテストパターン数である．代表数は見積り関数を導出するために IR ドロップ解析を実行する代表パタンの数である．誤差は EDA 解析で求めた IR ドロップ値との提案手法および先行手法で見積った IR ドロップ値の誤差であ

表 4 見積り誤差・計算時間 (回路 : b14)

clock 手法	#pats.	代表数	手法	誤差[mV]		eda_avg [mV]	err_avg [%]	time[s]	
				最大	平均				
LoC	1063	3	先行	18	1.7	25	6.7	2,490	
			提案	17	1.7		7.0	1,003	
		4	先行	18	1.7		6.8	2,495	
			提案	18	1.8		7.2	1,009	
		5	先行	18	1.7		6.9	2,500	
			提案	18	1.8		7.2	1,016	
				EDA					7,978
		LoS	902	3	先行		14	1.8	35
提案	15				1.8	5.2	869		
4	先行			14	1.7	4.8	2,298		
	提案			13	1.8	5.0	875		
5	先行			13	1.7	5.0	2,303		
	提案			14	1.8	5.2	882		
				EDA				7,205	

り，全てのセルインスタンスの誤差を求めたうえで平均と最大を示した．
eda_avg は EDA 解析で求めた IR ドロップ値の平均である．err_avg は eda_avg に対する平均誤差の割合である．time は各手法の計算時間を示しており，論理シミュレーション，WSA 解析，消費電力解析，IR ドロップ解析および見積りの計算時間の合計である．

まず見積り誤差の結果からみると，b14 の場合では EDA 解析で求めた IR ドロップの平均値が LoC 方式で生成したパタンの場合で 25mV，LoS では 35mV であるのに対して，提案手法の見積り誤差は平均で 1.7~1.8mV，誤差の最大は 13~18mV であり先行手法と同等の見積り精度であることが確認できた．精度の悪化の程度を err_avg 差分で考えた場合，先行手法からの誤差の悪化は最大でも 2.8%(b17 の LoC パタンで代表数 3 の場合)であった．また，b17 の LoC パタン以外ではいずれも 1%未満であり，先行手法からの精度の低下はほとんどなく同等の精度で見積ることができる．幾つかの条件で，誤差の値が提案手法と先行手法で逆転している．これは提案手法と先行

表 5 見積り誤差・計算時間 (回路 : b17)

clock 手法	#pats.	代表数	手法	誤差[mV]		eda_avg [mV]	err_avg [%]	time[s]	
				最大	平均				
LoC	957	3	先行	16	1.7	25	6.7	8,694	
			提案	20	2.4		9.5	2,631	
		4	先行	16	1.7		6.7	8,707	
			提案	18	2.0		8.2	2,647	
		5	先行	15	1.7		6.6	8,721	
			提案	18	1.9		7.8	2,669	
				EDA					26,487
		LoS	1284	3	先行		11	1.3	35
先行	16				1.7	2.7	1,835		
4	提案			20	2.4	2.4	7,126		
	先行			16	1.7	2.4	1,859		
5	提案			18	2.0	2.2	7,138		
	先行			15	1.7	2.7	1,881		
				EDA				23,229	

手法では代表パターンが異なっていることが原因であると考えられるが、いずれの場合も差は小さく同等の見積り精度を維持している。また、代表パターン数による見積り精度の大きな違いは見られなかった。一方、提案手法の計算時間は先行手法と比較して 2~5 倍、EDA ツールを用いた場合に比べて 8~22 倍の高速化を実現していることが分かった。また、回路が大きくなるにつれて高速化率が高いことが分かる。図 11 に b19 の LoC パターンに対する計算時間の内訳(論理シミュレーション、消費電力解析、WSA 解析、IR ドロップ解析および IR ドロップ見積り)を示す。この結果から、提案手法は消費電力解析の計算時間を大幅に削減しており先行手法のさらなる高速化を実現していることが分かる。その他の回路、パターンでも同様に消費電力解析の高速化を確認できた。

表 6 見積り誤差・計算時間 (回路 : b18)

clock 手法	#pats.	代表数	手法	誤差[mV]		eda_avg [mV]	err_avg [%]	time[s]	
				最大	平均				
LoC	1544	3	先行	51	6.8	107	6.3	23,337	
			提案	48	6.9		6.5	6,130	
		4	先行	47	6.8		6.4	23,394	
			提案	46	6.5		6.1	6,190	
		5	先行	46	6.2		5.8	23,428	
			提案	49	6.7		6.3	6,260	
				EDA					98,948
		LoS	1163	3	先行		78	11.7	268
提案	72				10.4	3.9	4,504		
4	先行			60	8.8	3.3	20,927		
	提案			53	9.1	3.4	4,568		
5	先行			75	11.6	4.3	20,984		
	提案			53	9.3	3.5	4,648		
				EDA				78,810	

表 7 見積り誤差・計算時間 (回路 : b19)

clock 手法	#pats.	代表数	手法	誤差[mV]		eda_avg [mV]	err_avg [%]	time[s]
				最大	平均			
LoC	1984	3	先行	111	11.6	289	4.0	54,866
			提案	115	12.8		4.4	12,986
		4	先行	104	10.8		3.7	54,961
			提案	117	13.1		4.5	13,099
		5	先行	112	11.4		3.9	55,032
			提案	104	11.8		4.1	13,204
				EDA				226,038
LoS	1705	3	先行	102	10.4	645	1.6	58,173
			提案	94	11.0		1.7	11,430
		4	先行	94	10.2		1.6	58,269
			提案	93	10.9		1.7	11,538
		5	先行	92	9.8		1.5	58,425
			提案	86	10.3		1.6	11,687
				EDA				249,384
		3	先行	102	10.4		1.6	58,173
			提案	94	11.0		1.7	11,430

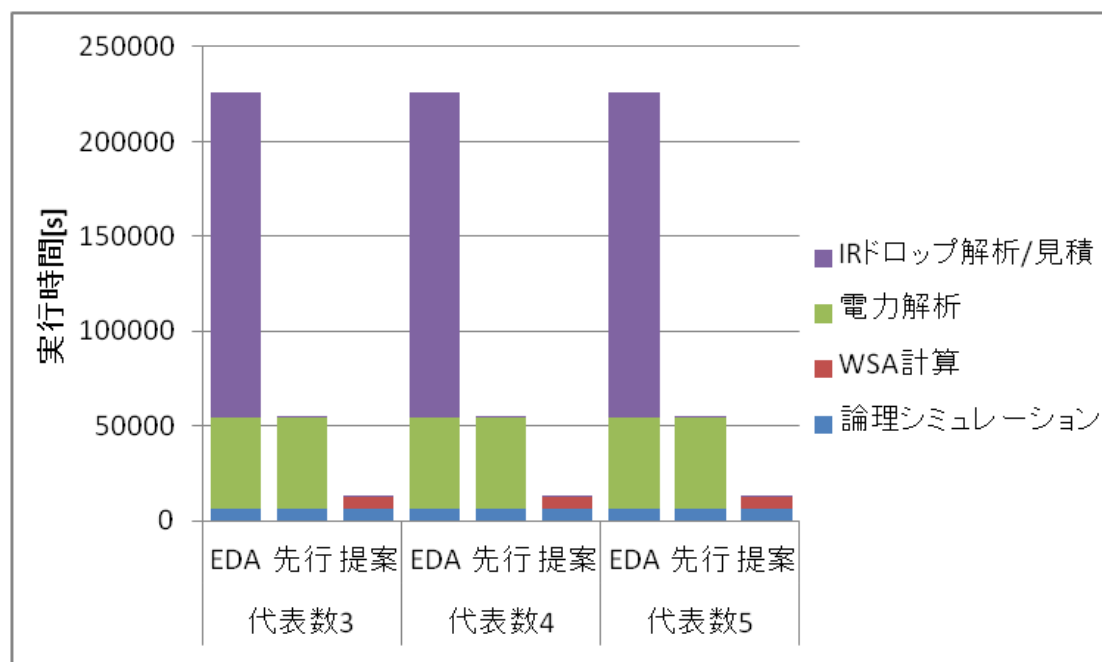


図 11 計算時間の内訳

5.3 パタンによる見積り精度への影響

本節では、パタンの特性による見積り精度への影響を評価する。現在、LSI テストにおいて過剰な電力消費が IR ドロップなどの電源ノイズや熱を引き起こすことが問題となっている。そのためさまざまな低電力テスト手法が提案されている。ここでは入力パタンのスイッチングを少なくすることでスイッチングによる消費電力を削減する X-fill という手法について考える。テストパターンは、故障を検出するために必要なビット(ケアビット)と不要なビット(ドントケアビット)の 2 つに分けられる。ドントケアは通常 X で表わされ、ドントケアビットの値はテスト結果には影響を与えないため任意の値を指定することができる。X-fill はこのドントケアビットに埋める(fill)値を操作することでスイッチング電力を削減することができる。この値の fill 方法の違いによって幾つかのバリエーションがある。ここでは 0-fill, 1-fill, adjacent-fill および random-fill の 4 種類の X-fill によって生成したパタンで比較実験を行う。各 X-fill は以下のようにドントケアビットを埋める。

- (1)0-fill : 全てのドントケアビットに 0 を fill する
- (2)1-fill : 全てのドントケアビットに 1 を fill する
- (3)adjacent-fill : ドントケアビットの直前に入力された値を fill する
- (4)random-fill : 全てのドントケアビットにランダムに値を fill する

ただし、random-fill は低消費電力テストではなく通常のテスト生成の際に実施される X-fill 手法である。

図 12 に各手法で X-fill を行った場合の例を示す。例として「1XX1X0XX」という 8 ビットのパタンを考える。このパタンのドントケアビットは 5 ビットある。0-fill の場合は全てのドントケアビットを 0 にするので生成されるパタンは「10010000」となる。反対に 1-fill の場合は「11111011」である。adjacent-fill では、直前の入力ビットと同じ値にする。ここでは左のビットから順にスキャンチェーンに挿入される場合を考える。すると adjacent-fill パタンは「11111000」となる。最後に random-fill は X にランダムに値を割り当てる。

テストパターンは LoC, LoS の両方式で生成する。この 2 種類の方式で生成したパターンは、ローンチクロックでの電力消費に関する性質が異なる。

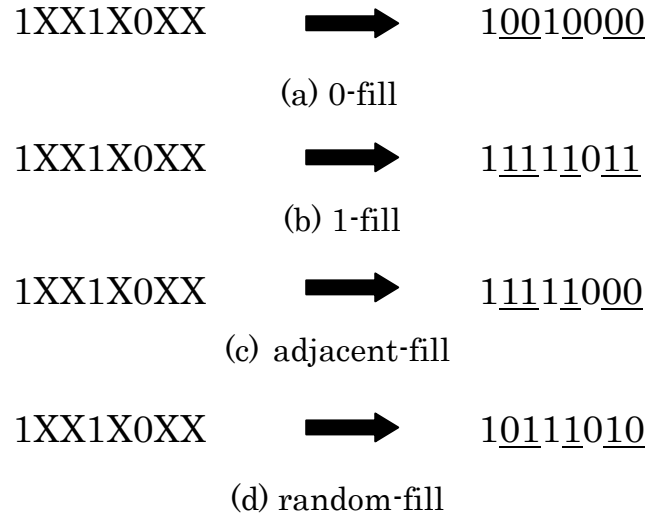


図 12 X-fill 手法

LoC の場合，第 2 パターンは組み合わせ回路部からの応答を用いるため，一般的に電力消費は少なくなることが知られている．一方の LoS では，SI からシフトさせたパターンが第 2 パターンとなるため，X-fill の違いが直接影響する．スイッチングの多い random-fill パターンでは電力消費が多く，スイッチングの少ないその他の低電力 fill 手法では電力消費は少なくなる．

実験では，この 4 種類のパターンで IR ドロップ見積りを行い，見積り精度の差異を調査することで提案手法の有効性を確認する．4 種類のパターンに対する提案手法での見積り結果と EDA 解析値との誤差を回路ごとに表 8-表 11 に示す．表中の rate_avg は eda_avg に対する平均誤差の割合を，rate_max は eda_avg に対する最大誤差の割合をそれぞれ百分率で示している．実験結果から，LoS の random-fill パターンの見積り誤差の割合がその他の場合に比べてやや小さいことが分かる．これはいずれの回路でも同様の結果であった．その他の fill 手法で生成したパターンでは，LoS の random-fill パターンに比べると誤差がやや大きいものの大きな差は見られなかった．また，回路が大きくなるにつれて誤差の割合は低下している．

このことから，消費電力が大きいパターンでは見積り精度が高いことが分かる．LoS 方式の random-fill パターンは，LoC と LoS の合計 8 通りのパターンの中で最もスイッチング数が多くなるパターンであり，従って消費電力が高い

表 8 X-fill 手法別見積り誤差 (回路 : b14)

clock 手法	X-fill	誤差[mV]		eda_avg [mV]	rate_avg [%]	rate_max [%]
		最大	平均			
LoC	0	15	1.7	17	10.2	88.2
	1	21	1.9	21	9.0	100.0
	adjacent	16	1.8	19	9.4	84.2
	random	17	1.8	20	9.0	85.0
LoS	0	18	1.8	19	9.3	94.7
	1	17	2.0	21	9.6	81.0
	adjacent	15	1.9	20	9.3	75.0
	random	13	1.9	26	7.2	50.0

表 9 X-fill 手法別見積り誤差 (回路 : b17)

clock 手法	X-fill	誤差[mV]		eda_avg [mV]	rate_avg [%]	rate_max [%]
		最大	平均			
LoC	0	13	1.6	21	7.6	61.9
	1	16	2.3	23	10.0	69.6
	adjacent	17	2.3	23	9.9	73.9
	random	15	1.7	23	7.6	65.2
LoS	0	14	1.5	24	6.3	58.3
	1	14	1.7	22	7.8	63.6
	adjacent	17	1.7	23	7.4	73.9
	random	12	1.2	51	2.4	23.5

表 10 X-fill 手法別見積り誤差 (回路 : b18)

clock 手法	X-fill	誤差[mV]		eda_avg [mV]	rate_avg [%]	rate_max [%]
		最大	平均			
LoC	0	66	5.6	82	6.8	80.5
	1	62	6.5	99	6.5	62.6
	adjacent	60	8.1	99	8.2	60.6
	random	60	6.2	104	6.0	57.7
LoS	0	64	5.3	92	5.8	69.6
	1	61	6.5	97	6.7	62.9
	adjacent	89	7.8	92	8.4	96.7
	random	63	4.6	235	2.0	26.8

表 11 X-fill 手法別見積り誤差 (回路 : b19)

clock 手法	X-fill	誤差[mV]		eda_avg [mV]	rate_avg [%]	rate_max [%]
		最大	平均			
LoC	0	125	8.7	213	4.1	58.7
	1	119	12.1	277	4.4	43.0
	adjacent	132	13.3	265	5.0	49.8
	random	136	15.0	301	5.0	45.2
LoS	0	183	17.7	219	8.1	83.6
	1	146	22.4	231	9.7	63.2
	adjacent	162	20.7	222	9.3	73.0
	random	118	12.7	624	2.0	18.9

パターンである。また、回路が大きくなると消費電力は大きくなる傾向にある。これらを考慮すると、提案手法は消費電力の高いパターンではやや高い精度で IR ドロップを見積ることが可能であることが分かる。random-fill 以外の LoS パターンは 0 と 1 の割合が偏っているスイッチングの少ないパターンであるが、機能動作を経て作られた LoC パターンと見積り精度に差は見られなかった。このことから、提案手法は 0/1 の比率にかかわらずどのようなパターンでも見積り可能であることが分かった。従って、低電力パターンでも提案手法は有効であると言える。また LoS の場合、ローンチのパターンはスキャンシフトされてき

たものである．そのため提案手法はスキャンシフト時の見積りにも活用することができる．

5.4 スイッチングの空間的位置による影響

提案手法は，回路全体の電力と個々のセルインスタンスの IR ドロップの高い相関を利用して IR ドロップを求めている．この相関によって高い見積り精度を得ているが，一方で見積り精度の悪いパターンも一部存在することが分かった．同じ消費電力のパターンであってもスイッチングが起きるセルインスタンスの位置や量はそれぞれ異なる．従ってスイッチングの局所性がその原因であるという仮説を立てることができる．そこで，回路内で発生したスイッチングの物理的な位置による影響を調査した．

まずは消費電力量が同じであったパターン同士を比較した．図 13-図 14 にスイッチングが発生したセルインスタンスのチップ上での物理的な位置を着色した．回路は b17 であり，テストパターンは 5.3 節で用いた LoC の random-fill パターンを使用している．ここでは，図 13 のパターンを #329，図 14 のパターンを #550 と呼ぶ．#329 では，チップの左上にスイッチングが集中している．一方で #550 では右下にもスイッチングが集中している領域がある．通常はこのようにパターンによってスイッチングの発生箇所は異なる．次に，同じパターンでの EDA 解析によって求めた IR ドロップ値を図 15-図 16 に示す．青色の部分はドロップが少なく，赤色の部分はドロップが大きいことを示している．#329 では，ドロップが大きい部分セルインスタンスが左に寄っている．これはこのパターンでのスイッチングが左側に集中しているためである．一方で #550 ではチップの中央付近にドロップの大きなセルインスタンスが集中している．こちらはスイッチングの集中している領域が左右に分散している結果このようになった．また，そもそも電源から遠いチップの中央付近は大きな IR ドロップが発生しやすい場所である．これに対して，提案手法で IR ドロップ値の見積りを行った結果が図 17 図 18 である．#329 では EDA 解析値と大きく異なった結果になっている．一方で #550 では EDA 解析値と似ているように見える．両パターンの EDA 解析で求めた平均ドロップ値および提案手法との誤差を表 12 に示す．#329 では，IR ドロップの平均値が 24mV であるのに対して，平均誤差は 2.3mV，最大誤差は 6mV であった．一方の #550 では IR ドロップの平均値は 25mV であるのに対して，平均誤差は

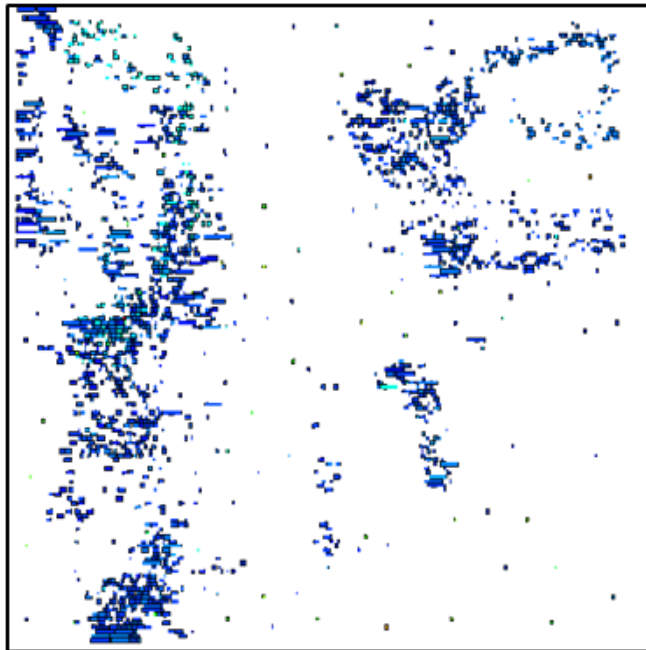


図 13 チップ上のスイッチングの分布(#329)

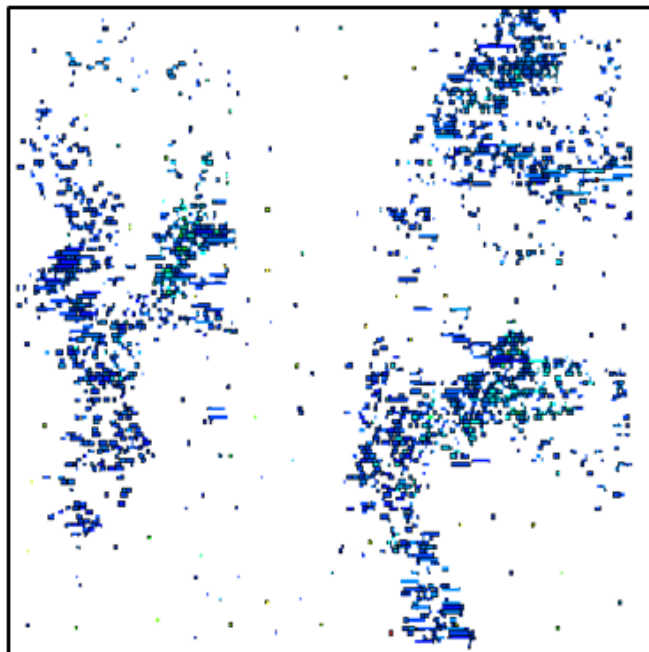


図 14 チップ上のスイッチング分布(#550)

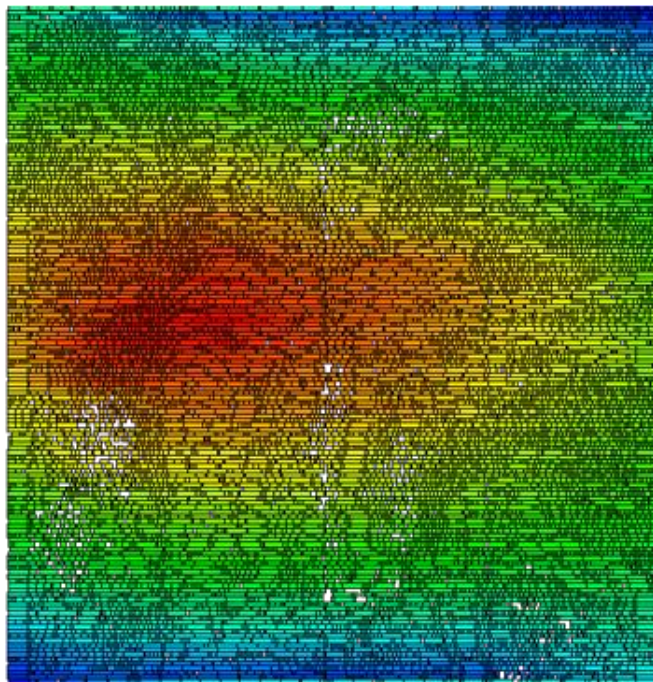


図 15 EDA による IR ドロップ解析値(#329)

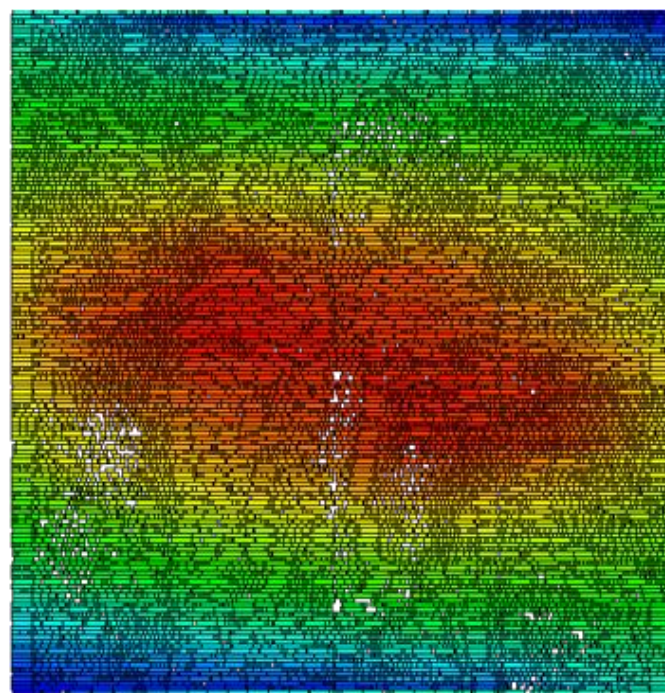


図 16 EDA による IR ドロップ解析値(#550)

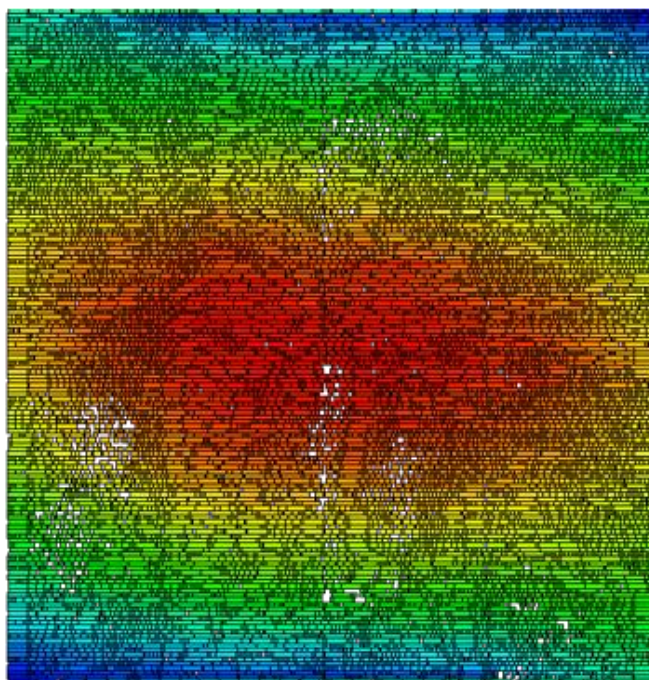


図 17 提案手法による IR ドロップ見積り値(#329)

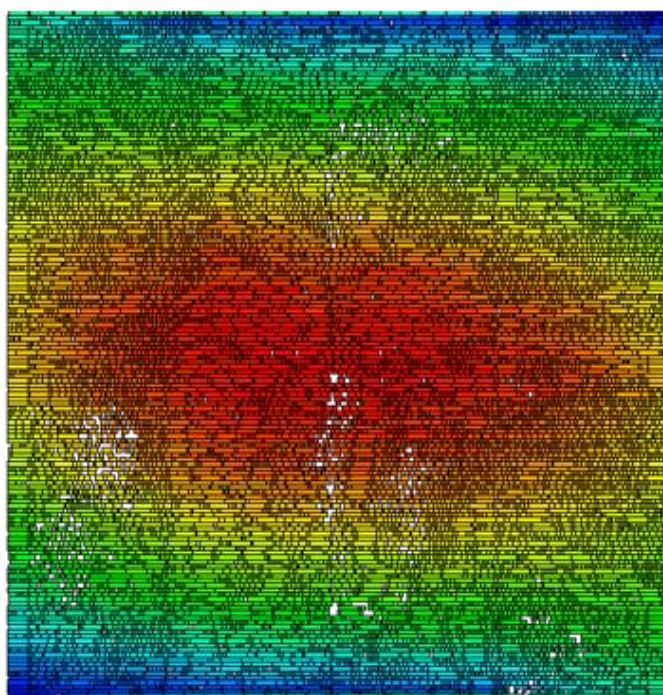


図 18 提案手法による IR ドロップ見積り値(#550)

表 12 IR ドロップの平均値と誤差

パターン	EDA 平均[mV]	平均誤差[mV]	最大誤差[mV]
#329	23.9	2.3	6.0
#550	25.0	1.1	4.0

1mV, 最大誤差は 4mV である. この数値からも, パタンによって見積り精度が異なっており, スイッチングの局所性が影響していることが窺える.

次に, LoC の random-fill パタンで最も誤差の大きかったパタンのスイッチング分布を図 19 に, EDA 解析値および提案手法による IR ドロップの見積り値を図 20 に示す. このパタンはスイッチングの分布がチップの右上部分に極端に集中していた. その結果実際の IR ドロップは右上にドロップの大きなセルインスタンスがある. 一方で提案手法による見積り結果では中央付近にのみドロップの大きいセルインスタンスがあり, 中央付近のセルインスタンスのドロップ値も実際より大きく見積っている. やはりスイッチングの発生箇所によって見積り誤差に影響が出ていると考えられる. このような特異なスイッチング分布のパタンが代表パタンに選択された場合, 見積り精度の悪化が予想される. そのため, 代表パタン選択の際にこのようなパタンを排除しなければならない. 平均見積り精度が最もよくなるのは, 見積り関数が全パタンのサイクル平均消費電力に対する IR ドロップ値を近似した関数と一致する場合である. パタン選択時に, 回路全体の消費電力に加えてスイッチング分布を考慮した代表パタン選択方法を検討することで, 見積り精度が向上する可能性がある. 見積り精度のばらつきの抑制およびさらなる精度向上のための最適な代表パタンの選択方法の検討が今後の課題である.

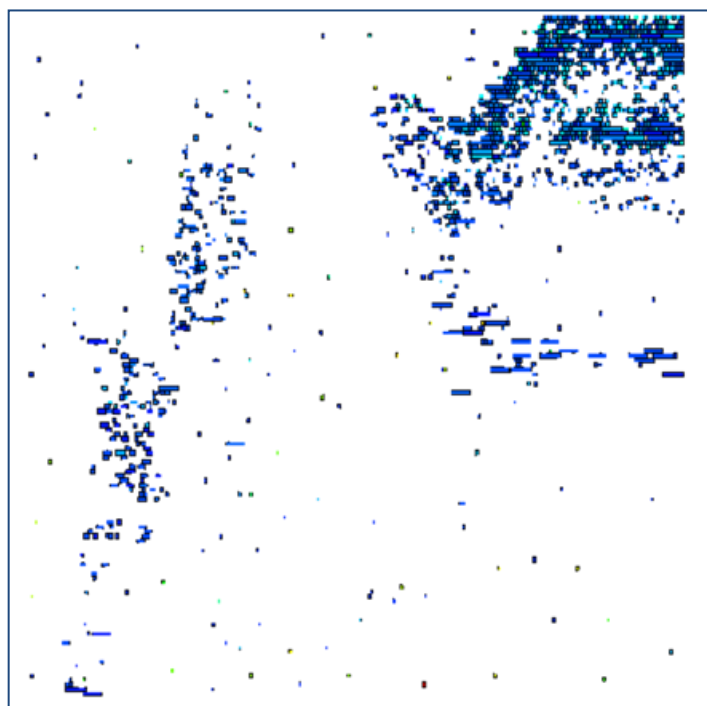
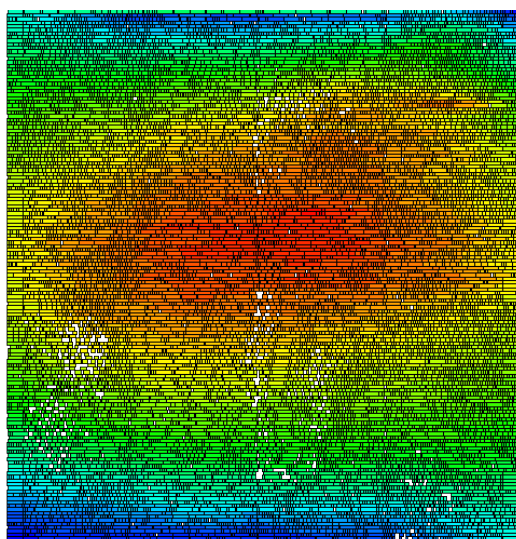
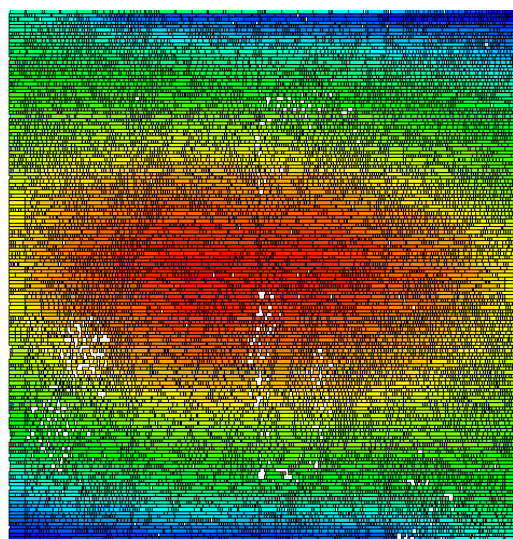


図 19 誤差が最も大きかったパタンのスイッチング分布



(a)EDA 解析値



(b)提案手法による見積り値

図 20 誤差が最も大きかったパタンの IR ドロップ分布

6. まとめ

本論文では、WSA を用いたパターン依存の IR ドロップ見積り手法の高速化手法を提案した。提案手法は、サイクル平均消費電力と IR ドロップの高い相関および、WSA とサイクル平均消費電力の高い相関を利用することで、計算時間の長い消費電力解析と IR ドロップ解析は一部のテストパターンだけ実行し、サイクル平均消費電力と高い相関があり高速な計算が可能な WSA 解析を全パターンに実施することで高速、高精度な見積りを可能にしている。

ベンチマーク回路を用いて先行手法との比較実験を行った結果、先行手法との見積誤差の割合の低下は最大でも 2.8%であり、先行手法と同等の見積り精度を維持しつつ 2-5 倍高速に計算することができた。異なる X-fill を実施したパターンでの比較実験では、LoC, LoS どちらの方式で生成したパターンでも、また 0 と 1 の比率が極端なパターンであっても提案手法は高精度な見積りが可能であることが分かった。従ってスキャンシフト時の IR ドロップ見積りや、低電力テストパターンでの見積りなど様々な場面で提案手法は有効であることが分かった。また、見積り精度の低いパターンを解析した結果から、スイッチング分布が見積りに影響している可能性があることが分かった。現状では、回路全体の消費電力が IR ドロップに大きな影響を与えているという性質を利用しているが、大域的な影響に加えて、スイッチングの局所性を考慮した見積り関数を導出することができればさらなる精度向上が可能であると考えられる。

謝辞

本研究を進めるにあたり，日頃より懇切丁寧なご教示を賜りました主指導教員の井上美智子教授に心から感謝申し上げます．本研究に際して，貴重なご指導を賜りました副指導教員の中島康彦教授に深く感謝申し上げます．本研究に際して貴重な助言をいただきました副指導教員の畠山一実特任教授に心から感謝申し上げます．本研究を行うにあたり，的確な助言を頂きました副指導教員の米田友和助教に深謝致します．また，本研究の全過程においてご指導頂きました大和勇太研究員に心から感謝致します．最後に，日頃からさまざまな面で支えてくださったディペンダブルシステム学研究室のスタッフ，学生の皆様に感謝致します．

参考文献

- [1] P. Girard, N. Nicolici, and X. Wen, *Power-Aware Testing and Test Strategies for Low Power Devices*, Springer, 2009.
- [2] X. Wen, Y. Yamashita, S. Kajihara, L. -T. Wang, K. K. Saluja, and K. Kinoshita, "On Low-Capture-Power Test Generation for Scan Testing," *Proc. IEEE VLSI Test Symp.*, pp. 265-270, 2005.
- [3] S. Remersaro, X Lin, Z. Zhang, S. M. Reddy, I. Pomeranz, and J. Rajski, "Preferred Fill: A Scalable Method to Reduce Capture Power for Scan Based Designs," *Proc. IEEE Intl. Test Conf.*, Paper 32.2, 2006.
- [4] K. Enokimoto, X. Wen, Y. Yamato, K. Miyase, H. Sone, S. Kajihara, M. Aso, and H. Furukawa, "CAT: A Critical-Area-Targeted Test Set Modification Scheme for Reducing Launch Switching Activity in At-Speed Scan Testing," *Proc. IEEE Asian Test Symp.*, pp. 99-104, 2009.
- [5] Y. Yamato, X. Wen, K. Miyase, H. Furukawa and S. Kajihara, "A GA-Based Method for High-Quality X-Filling to Reduce Launch Switching Activity in At-Speed Scan Testing," *Proc. IEEE Pacific Rim Intl. Symp. on Dependable Computing*, pp. 81-86, 2009.
- [6] S. Bahl, R. Mattiuzzo, S. Khullar, A. Garg, S. Graniello, K. S. Abdel-Hafez, and S. Talluo, "State of the Art Low Capture Power Methodology," *Proc. IEEE Intl. Test Conf.*, Paper 12.3, 2011.
- [7] N. Ahmed, M. Tehranipoor, and V. Jayaram, "Transition Fault Pattern Generation Considering Supply Voltage Noise in a SoC Design," *Proc. Design Automation Conf.*, pp. 533-538, 2007.
- [8] J. Lee, S. Narayan, M. Kapatalos, and M. Tehranipoor, "Layout-Aware, IR-Drop Tolerant Transition Fault Pattern Generation," *Proc. Design Automation and Test in Europe Conf.*, pp. 1172-1177, 2008.
- [9] V. R. Devanathan, C. P. Ravikumar, and V. Kamakoti, "A Stochastic Pattern Generation and Optimization Framework for

- Variation-Tolerant, Power-Safe Scan Test,” Proc. IEEE Intl. Test Conf., pp. 13.1, 2007.
- [10] X. Wen, K. Miyase, T. Suzuki, S. Kajihara, Y. Ohsumi, and K. K. Saluja, “Critical-Path-Aware X-Filling for Effective IR-Drop Reduction in At-Speed Scan Testing,” Proc. Design Automation Conference, pp. 527-532, 2007.
 - [11] K. Miyase, X. Wen, M. Aso, H. Furukawa, Y. Yamato, and S. Kajihara, “Transition-Time-Relation Based Capture-Safety Checking for At-Speed Scan Test Generation,” Proc. Design Automation and Test in Europe Conf., pp. 895-898, 2011.
 - [12] Y. Yamato, X. Wen, M. A. Kochte, K. Miyase, and S. Kajihara, “A Novel Scan Segmentation Design Method for Avoiding Shift Timing Failure in Scan Testing,” Proc. IEEE Intl. Test Conf., paper 12.1, 2011.
 - [13] J. Ma and M. Tehranipoor, “Layout-Aware Critical Path Delay Test Under Maximum Power Supply Noise Effects,” IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, vol.30, no.12, pp.1923-1934, Dec. 2011.
 - [14] Y. Yamato, T. Yoneda, K. Hatayama, and M. Inoue, “A Fast and Accurate Per-Cell Dynamic IR-drop Estimation Method for At-Speed Scan Test Pattern Validation,” IEEE Intl. Test Conf., paper 6.2, 2012.
 - [15] 藤原秀雄, デジタルシステムの設計とテスト, 工学図書, 2004.
 - [16] J. Savir. “On Broad-Side Delay Testing,” Proc. of IEEE VLSI Test Symposium, pp.284-290, April 1994.
 - [17] J. Savir. “Skewed-Load Transition Test: Part I, Calculus,” Proc. of IEEE Intl. Test Conf., pp.705-713, 1992.
 - [18] ITC’99 Benchmarks, <http://www.cad.polito.it/tools/itc99.html>

発表文献

- [1] 秋吉保紀,大和勇太,米田友和,畠山一実,井上美智子, ”LSI のテストパタンの IR ドロップ見積手法,”平成 24 年情報処理学会関西支部 支部大会講演論文集, A-02 ,Sep.2012.
- [2] 秋吉保紀,大和勇太,米田友和,畠山一実,井上美智子, ”WSA を用いたダイナミック IR ドロップ見積手法の高速化,” 第 68 回 FTC 研究会資料, Jan. 2013.