

修士論文

酸化物半導体を用いたセルラニューラルネットワーク における特性ばらつきの影響の評価

山根 弘樹

2019 年 1 月 31 日

奈良先端科学技術大学院大学
情報科学研究科

本論文は奈良先端科学技術大学院大学情報科学研究科に
修士(工学) 授与の要件として提出した修士論文である。

山根 弘樹

審査委員：

中島 康彦 教授	(主指導教員)
池田 和司 教授	(副指導教員)
中田 尚 准教授	(副指導教員)
Tran Thi Hong 助教	(副指導教員)
張 任遠 助教	(副指導教員)

酸化物半導体を用いたセルラニューラルネットワーク における特性ばらつきの影響の評価*

山根 弘樹

内容梗概

人工知能は様々な分野で利用されており，今後も更なる発展と共に人々の生活を豊かにすることが期待されている．人工知能を実現するための代表的な技術であるニューラルネットワークは，生体の脳の神経回路を模倣した数理的モデルである．その利点は，自己組織化・自己学習能力・並列分散コンピューティング・フォールトトレランスなどがある．しかしながら，従来のニューラルネットワークは，高性能のハードウェア上で実行される複雑なソフトウェアであるため，マシンサイズが非常に大きく，ハードウェア動作自体だけでなくそれを冷却するためのエアコンなどにとっても消費電力は信じられないほど多くなってしまう．さらに，ただひとつの物理デバイスが故障した場合も全体のプロセスが停止する従来のノイマン型コンピュータで実行されるため，並列分散コンピューティングやフォールトトレランスなどの前述の利点を得ることができない．高性能化・大規模集積化・低消費電力化などが可能となり，集積回路での作製に適した構造をもつニューラルネットワークをハードウェアで実現するニューロモルフィックシステムを作製することで，これらの問題を解決できる．特に，低温での作製が可能であり，3次元化による超大規模集積化も可能となる酸化物半導体シナプスを用いることで，より大規模なニューラルネットワークを構成可能となる．本研究では，酸化物半導体を作製した時に発生する特性ばらつきがニューラルネットワークに与える影響をシミュレーションにより評価した．この結果，酸化物半導体の初期抵抗値の標準偏差が平均の 32 % を超えるとニューラルネットワークの精度が落

*奈良先端科学技術大学院大学 情報科学研究科 修士論文, 2019 年 1 月 31 日.

ち始め，また，劣化速度のばらつきの標準偏差は平均の 12 %を超えると精度が落ち始めることが分かった．さらに，ハードウェアで実装するニューラルネットワークに適した活性化関数は ReLU 関数であることを明らかにした．

キーワード

ニューロモルフィック，酸化物半導体，セルラニューラルネットワーク，文字補正，特性ばらつき，活性化関数

Evaluation of Influence of Characteristic Variation in Cellular Neural Network using Oxide Semiconductor*

Hiroki Yamane

Abstract

Artificial intelligences are used in various fields and are expected to enrich people's lives with further development in future. Neural networks, which are typical techniques for realizing artificial intelligences, are mathematical models that imitate the neural circuits of the living body's brains. The advantages are self-organization, self-learning ability, parallel distributed computing, fault tolerance, etc. However, since the conventional neural networks are complicated software executed on high-performance hardware, the machine size is very large, and not only for the hardware operation itself but also for the air conditioner to cool it, the power consumption is incredible. Furthermore, because they are executed by conventional von Neumann computers, in which the entire process is stopped even if only one physical device fails, the above-mentioned advantages such as parallel distributed computing and fault tolerance can not be obtained. By making neuromorphic systems that realize neural networks having structures suitable for fabrication in integrated circuits by hardware, these problems can be solved. In particular, it is possible to construct large scale neural networks by using oxide semiconductor synapse, which can be fabricated at low temperature and which enables super-large scale integration by three-dimensionalization. In

*Master's Thesis, Graduate School of Information Science, Nara Institute of Science and Technology, January 31, 2019.

this research, the effect of characteristic variation when an oxide semiconductor is manufactured a neural network was evaluated by simulation. As a result, it was found that when the deviation of the initial resistance value of the oxide semiconductor exceeds 32 %, the accuracy begins to decrease, or when the deviation of the variation of the deterioration speed exceeds 12 %, the accuracy begins to decrease. Furthermore, it is revealed that the activation function suitable for the neural network implemented by hardware is the ReLU function.

Keywords:

Neuromorphic, Oxide-semiconductor, Cellular Neural Network, Letter Reproduction, Characteristic Variation, Activation Function

目 次

1. はじめに	1
1.1 背景	1
1.2 目的	2
1.3 本論文の構成	2
2. 関連研究	3
2.1 生体のニューラルネットワーク	3
2.2 人工ニューラルネットワーク	5
2.3 ニューロモルフィックシステム	6
3. 要素技術	9
3.1 酸化物半導体	9
3.2 セルラニューラルネットワーク	11
3.3 ニューロン回路	12
4. 提案手法	13
4.1 酸化物半導体シナプス	13
4.2 ニューラルネットワークの構成	15
4.3 学習原理	16
5. シミュレーション方法	18
5.1 文字補正アルゴリズム	18
5.2 結果出力	20
6. 初期値のばらつきの影響の評価	22
6.1 初期値のばらつき	22
6.2 評価結果	24
7. 劣化速度のばらつきの影響の評価	26
7.1 劣化速度のばらつき	26

7.2 評価結果	27
8. 活性化関数に対する評価	28
8.1 活性化関数	28
8.1.1 Step 関数	29
8.1.2 Sigmoid 関数	29
8.1.3 ReLU 関数	29
8.2 MOS 回路による表現	30
8.3 評価結果	31
9. まとめ	34
謝辞	35
参考文献	36
業績	40

図 目 次

1	生体のニューロン	3
2	ニューロンの膜電位	3
3	生体のシナプス	4
4	TrueNorth	7
5	平面型 α -IGZO デバイス	10
6	平面型 α -IGZO デバイスの電流の劣化	10
7	セルラニューラルネットワーク	11
8	ニューロン回路	12
9	酸化物半導体シナプスとニューロンの接続	14
10	セルラニューラルネットワークの構成	14
11	協調性シナプスと対立性シナプス	15
12	シナプス結合の増加	16
13	シナプス結合の減少	16
14	文字補正アルゴリズム	18
15	学習させる文字パターンの例	19
16	文字補正成功例	20
17	文字補正の過程	21
18	酸化物半導体シナプスの抵抗の初期値のばらつき	22
19	酸化物半導体の抵抗の初期値のヒストグラム	23
20	Marsaglia polar 法	24
21	初期値のばらつきの影響の評価結果	25
22	劣化速度のばらつき	26
23	劣化速度のばらつきの影響の評価結果	27
24	活性化関数の役割	28
25	Step 関数を表現する MOS 回路	30
26	ReLU 関数を表現する MOS 回路	30
27	Step 関数の HSPICE シミュレーション結果	31
28	ReLU 関数の HSPICE シミュレーション結果	31

29	活性化関数ごとの補正率	32
30	活性化関数の比較	33

1. はじめに

1.1 背景

人工知能は様々な分野で利用されており，今後も更なる発展と共に人々の生活を豊かにすることが期待されている [1, 2]．人工知能を実現するための代表的な技術であるニューラルネットワークは，生体の脳の神経回路を模倣した数理的モデルである [3, 4, 5, 6]．その利点は，自己組織化・自己学習能力・並列分散コンピューティング・フォールトトレランスなどである．ニューラルネットワークには多くのニューロンとシナプスが存在しており，これらを接続することによって多くの情報を処理することができる．実際に，人間の脳は約 100 億個のニューロンと約 100 兆本のシナプスから成ると考えられており [7]，この多くのニューロンとシナプスにより複雑な情報を処理することが可能となっている．すなわち，ニューラルネットワークの性能を向上させるためには，より多くのニューロンとシナプスを接続することが必要となる．

しかしながら，従来のニューラルネットワークは，高性能のハードウェア上で実行される複雑なソフトウェアであるため [8, 9]，マシンサイズが非常に大きく，ハードウェア動作自体だけでなくそれを冷却するためのエアコンなどにとっても消費電力は信じられないほど多くなってしまふ．また，ただひとつの物理デバイスが故障した場合も全体のプロセスが停止する従来のノイマン型コンピュータで実行されるため，並列分散コンピューティングやフォールトトレランスなどの前述の利点を得ることができない．さらに，コンピューティングアーキテクチャはニューラルネットワーク用に最適化されていないため，余分な回路が大きな面積を占有してしまうため，IoT などの独立した機器への組み込みが困難である．

1.2 目的

本研究の目的は、ニューラルネットワークを高速化・低消費電力化・高集積化することが可能な回路やデバイスで作製し、低消費電力で高速に動作する脳型集積回路を実現することである。そのために、我々は低温での作製が可能で、3次元化による高集積化が可能な酸化物半導体シナプスを用いたニューラルネットワークを提案する。そして、酸化物半導体の特性ばらつきがニューラルネットワークに与える影響をシミュレーションにより評価・考察を行う。

1.3 本論文の構成

本論文では、まず本研究の背景と目的を述べた。次に第2章では、ニューラルネットワークの概要と関連研究について述べる。第3章では、提案手法を実現するための要素技術について説明し、第4章で提案手法を述べる。第5章で今回行ったシミュレーション方法のアルゴリズムの説明をし、第6章で初期値のばらつきの影響の評価を行い、第7章で劣化速度のばらつきの影響の評価を行い、第8章で活性化関数に対する評価を行い、第9章を本論文のまとめとする。

2. 関連研究

2.1 生体のニューラルネットワーク

生体のニューロンは脳を構成する神経細胞の一つで，図 1[10] のように，細胞体，樹状突起，軸索，シナプスから構成される．通常，ニューロンは -70mV 程度の負の一定膜電位を安定に保持している．樹状突起を介して他の神経細胞から刺激を受け，電位が静止状態のしきい値を超えると活動電位 (Action Potential)，または神経インパルス (Nervous Impulse) と呼ばれる，ほぼ一定振幅の電気パルスを生成する．これはスパイクと呼ばれ，パルス幅は約 1 ミリ秒で図 2 の波形を描く．また，しきい値を超えなかった場合，スパイクは生成されずに再び一定膜電

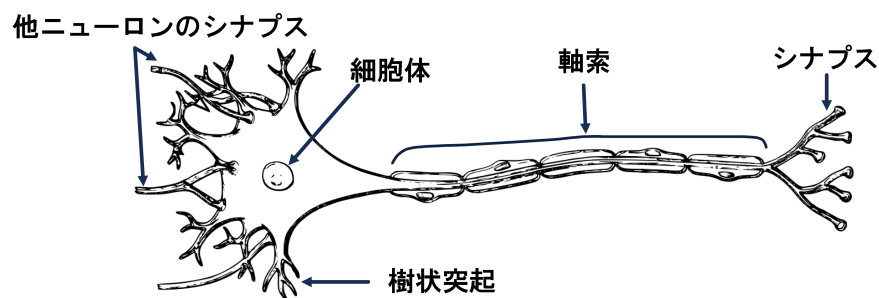


図 1 生体のニューロン

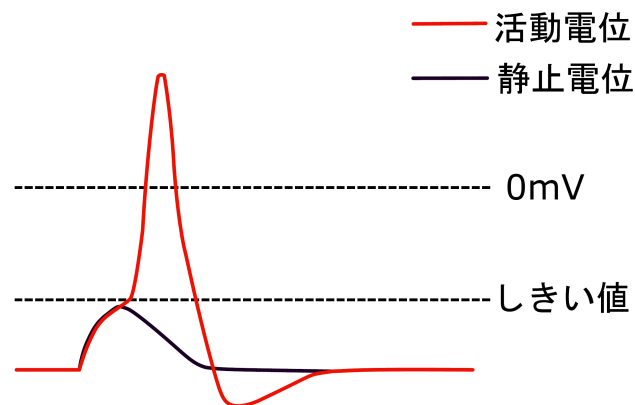


図 2 ニューロンの膜電位

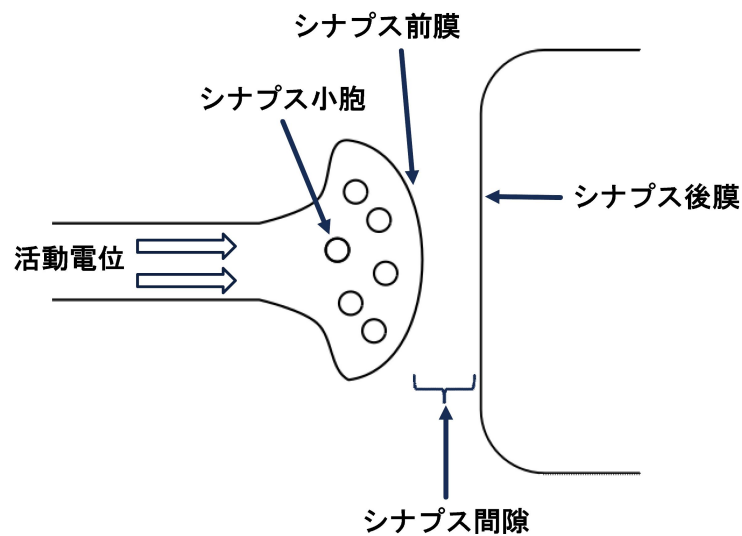


図 3 生体のシナプス

位に収束する [11]. ニューロンからニューロンへ信号を伝達する部分をシナプスと呼ぶ. 図 3 のように, シナプスと次のニューロンの樹状突起との間には, 20nm 程度の間隙 (シナプス間隙) があり, 活動電位がシナプスに到達した時, シナプス間隙の細胞外液中に化学伝達物質が拡散される. このことにより次のニューロンの膜電位を変化させることで情報を伝達している. シナプスを介した信号伝達には, 0.5 ミリ秒程度の時間を必要とし, シナプス遅延と呼ばれている [11]. また, シナプスには前ニューロンの活動電位により次ニューロンの膜電位を上げる興奮性シナプスと次ニューロンの膜電位を下げる抑制性シナプスの 2 種類ある. これは, シナプスから出る化学伝達物質の種類が違ふことと, シナプス後膜の性質が違ふことによる. シナプスによる接続強度の差は化学伝達物質の量が変化することで生じ, このことで脳は記憶や学習を行うと考えられる. これを模倣した人工のニューラルネットワークが数多く研究開発されており, そのなかでハードウェアで実現されているものを, 特にニューロモルフィックシステムと呼ぶ.

2.2 人工ニューラルネットワーク

ソフトウェアによるニューラルネットワークは1950年代のパーセプトロン [12] を始めとし，入力層，隠れ層，出力層などによる階層型のニューラルネットワークを構成することで学習できるようになった．その後，1980年代のネオコグニトロン [13] を始めとし，深層学習と呼ばれる多層のニューラルネットワークの構成で様々なパターンを学習できるようになった．現在では，畳み込みニューラルネットワークと呼ばれる畳み込み演算による局所的な特徴抽出を行うことで画像認識を高精度で行うことができる [9]．しかし，局所的な畳み込み演算により計算量が増加してしまうため，マルチコア CPU や GPU を用いた並列化により計算効率を上げる必要がある．また，FPGA(Field Programmable Gate Array) や ASIC(Application Specific Integrated Circuit) などを用いたアプリケーションに最適化された構成により，計算を効率化することが必要である [14]．低消費電力化，高速化，大規模化が可能であるニューラルネットワークの開発のために，ハードウェアによる開発も盛んに行われている．ハードウェアによるニューラルネットワークの中でも生物学的なニューロンをモデリングしたスパイキングニューラルネットワークを LSI(Large Scale Integration) で作製する研究がある [15]．生体のニューロンを忠実に再現する研究 [16] もあるが，スパイクの再現性を重視すると回路規模が大きくなってしまう．したがって，目的に応じて適切なニューロンを選ばなければならない．スパイキングニューロンは様々なモデルがあるが，その中でも比較的簡略化された積分発火型スパイキングニューロンとシナプスを LSI で構成し， 5×4 の白黒画像を学習させた研究がある [17]．ここでは1つのニューロンとシナプスを構成するために，それぞれ数十個ものトランジスタが必要となる．文献 [18] では54億個のトランジスタを用い，1チップ上に100万個のスパイキングニューロン回路と2億5600万個のシナプスを搭載したニューロモーフィック・チップを開発した．このチップはシミュレーションソフトウェア上で学習したシナプス伝達効率をダウンロードすることで，物体認識や文字認識などのアプリケーションに用いることができる [19]．したがって，事前のシミュレーションによる学習やシナプス伝達効率を保存しておくためのメモリが必要となる．Prezioso は $\text{Al}_2\text{O}_3/\text{TiO}_{2-x}$ で作製された抵抗変化型メモリ (メモリスト) をシナプスとし

て利用し， 3×3 画素から成るモノクロのアルファベットを 3 文字認識させた [20]．これは 12×12 のクロスポイント型メモリストに，発火に対応するニューロンにはプラスの電圧を，非発火に対応するものにはマイナスの電圧をかけ，単純パーセプトロンの構成を実現することで動作している．メモリストを用いているので不揮発性であり，アナログ的にシナプスによる接続強度を記憶することができるというメリットがある．一方，単純パーセプトロンを構成しているため，どの出力ニューロンが最大なのか判定する回路が必要である．

2.3 ニューロモルフィックシステム

ニューロモルフィックシステムは，ニューラルネットワークをハードウェアで実現したシステムである．[21, 22]．従来のノイマン型コンピュータに基づく GPU チップおよび FPGA を用いた積和演算の計算性能を向上させるための技術的アプローチとは異なる．ニューロモルフィックシステムはハードウェアレベルで生体の脳神経回路を模倣したものであるため，生体の脳と同じ利点がある．まず，マシンサイズが非常に小規模という点である．従来のニューラルネットワークで有名な Watson[34] のマシンサイズは，10 個の冷蔵庫程度であることが知られているが，生体の脳を模倣したニューロモルフィックシステムだとコンピュータのチップ程度のサイズで実現することができる．次に，消費電力が少ないという利点が挙げられる．Watson の消費電力は約 100kW にもなるが，ニューロモルフィックシステムであれば，わずか 20W で動作する．最後に，ロバスト性があるという利点を持つ．人間の脳は毎日 10 万個のニューロンを失うことが知られているが，必要な機能を維持することができる．ニューロモルフィックシステムが上記の人間の脳の利点をすべて捉えることができるかどうかは定かではないが，ニューロモルフィックシステムが従来のニューラルネットワークよりも優れた性能を有することは期待できる．

クアルコムの Zeroth プロセッサや TeraDeep の nn-X，DARPA の SyNAPSE，IBM の TrueNorth，九州工業大学の頭脳統合システムなど，一部のニューロモルフィックシステムはよく知られている．これらの大規模集積 (LSI) チップはノイマン型コンピュータとニューロモルフィックシステムのハイブリッドシステムで

あり，わずか数個のニューロン要素が準備され，時分割アルゴリズムを使用して多数のニューロン要素が事実上エミュレートされ，離散値が実際にデジタルメモリに保存され，連続値がアナログメモリなどのように事実上近似される．すなわち，ニューロモルフィックシステムの利点は限定的にしか得られない．また，従来の半導体製造技術を用いているため，原理的には二次元構造しか得られないが，生体の脳では三次元構造が利用されており，多数のプロセッシングエレメントが用意されており接続の構造も単純である．



図 4 TrueNorth

ニューロモルフィックシステムの一例として，IBM の TrueNorth の説明をする [23]．TrueNorth チップは，IBM のチップとしては最大となる 54 億のトランジスタを使用しており，プログラム可能な 100 万個のニューロンとプログラム可能な 2 億 5600 万個のシナプスを備えている．1000 億個のニューロンと 100 兆～150 兆個のシナプスを持つ人間の脳には遠く及ばないが，わずか 70mW ほどの電力消費で実行される．ここで，人間の脳と同数のシナプスを TrueNorth で実現するこ

とを考える．人間の脳には 100 兆個のシナプスが存在し，TrueNorth の持つ 2 億 5600 万個のシナプスの約 40 万倍である．すなわち，人間の脳を再現するには 40 万個の TrueNorth チップと， $70\text{mW} \times 40 \text{ 万個} = 28\text{kW}$ の消費電力が必要となり，巨大なサーバーならば可能であるが，独立した機器への組み込みは現実的ではないことが分かる．

3. 要素技術

3.1 酸化物半導体

酸化物半導体は、低温でアモルファス相で堆積した場合でも優れた均一な性能を発揮するため、有望視されている [24]。さらに、酸化物半導体は潜在的に印刷法を使用して形成することができ、これはニューロモルフィックシステムのための三次元層構造を実現するのに便利である。アモルファス In-Ga-Zn-O (α -IGZO) は代表的なものであり [25]、最近では高解像度 LCD や OLED などの FPD 用の TFT として使用されている [26]。平面型の α -IGZO デバイスを図 5 に示す [27]。まず、厚さ 1mm、サイズ 3×3 cm の石英ガラス基板に高周波 (RF) マグネトロンスパッタリングを用いて、 α -IGZO 薄膜を堆積する。スパッタリングターゲットは、組成が In:GaZn=1:1:1 の IGZO セラミックであり、スパッタリングガスが Ar である IGZO セラミックである。図 5 に点線で示すように、 α -IGZO 薄膜をメタルマスクでパターニングする。 α -IGZO 薄膜の厚さは 70nm である。これらの製造条件は、最高の性能を有する TFT に対するものと同じである。最後に、真空蒸着を用いて Ti および Au 薄膜を順次堆積させる。図 5 に示すように、Ti と Au の薄膜もメタルマスクを通してパターニングされる。Ti および Au 薄膜の厚さはそれぞれ 50nm である。Ti 薄膜は適切な仕事関数を持ち接着性を改善するために α -IGZO 薄膜へのオーミック接触を得るために使用され、Au 薄膜は表面酸化を回避し、プロービングを容易にするために使用される。追加のアニーリングは実行されない。平面型 α -IGZO デバイスを通る電流を図 6 に示す。ここでは、Ti と Au の薄膜の左右端子間に 3.3V を印加し、平面型 α -IGZO 素子を通る電流を測定した。電流が流れるとコンダクタンスは連続的に減少することがわかった。コンダクタンスの減少は不可逆的であるが、比較的ゆっくりである。この現象を利用して、後述の修正ヘブの学習則を利用することができる。

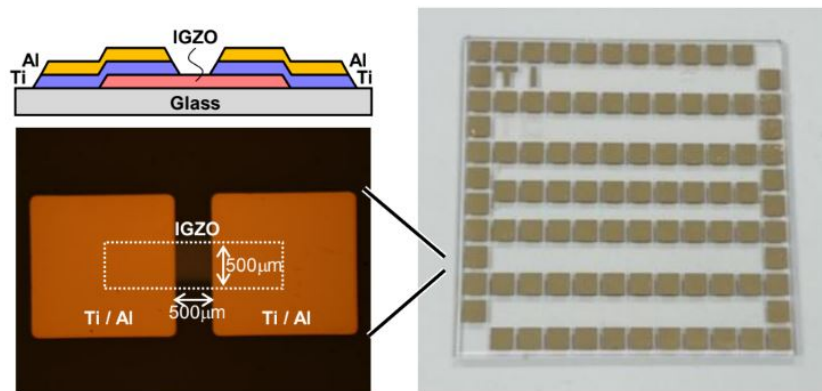


図 5 平面型 α -IGZO デバイス

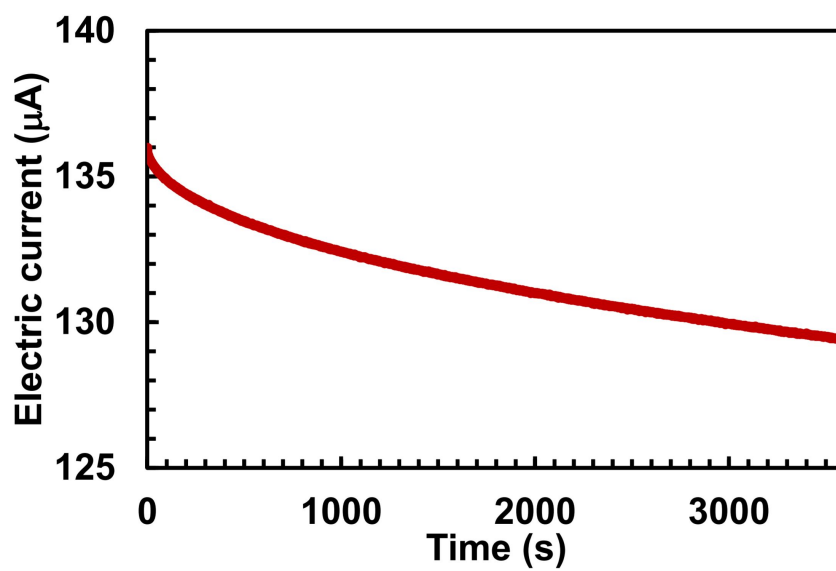


図 6 平面型 α -IGZO デバイスの電流の劣化

3.2 セルラニューラルネットワーク

我々が作製するセルラニューラルネットワーク (CNN) の構造は図 7 のようになり、隣り合っているニューロンをシナプスで接続する構造となっている。CNN は、網膜細胞に構造が似ていることからパターン認識、画像処理などに適しているとされる。さらに、ハードウェアでの作成時にシナプスによるニューロンの接続が複雑にならないため、簡単にスケールアップすることができる。しかし、シナプスの数が少ないことで、学習の効率が低くなることが懸念され、シミュレーションや実機での動作確認が重要となる。

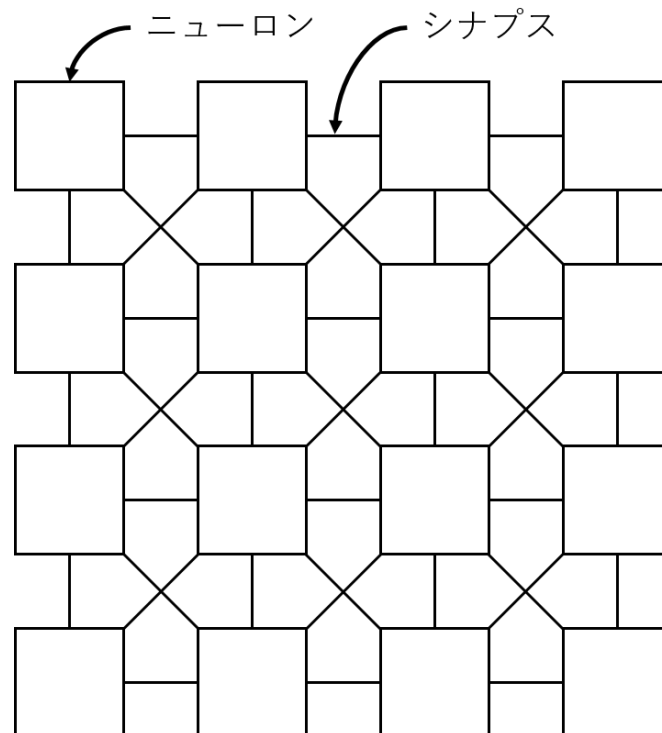


図 7 セルラニューラルネットワーク

3.3 ニューロン回路

ニューロンの機能として、電圧の状態（発火、非発火の状態）を維持できることが必要である。また、ニューロン自身と接続されたニューロンとの電位差にシナプスの結合強度を重みづけした値に応じて、そのニューロン自身の状態が変化することが必要である。図8の構成でニューロン回路を作製する。1個のインバータを2個のトランジスタで構成すると必要なトランジスタ数は全部で4個だけでよく、従来のものと比べてたいへん少ない数で作製でき、高集積化に向いている。この回路はニューロンの閾値を与えるシグモイド関数[28]に特性が似ており、ニューラルネットワークモデルにおいて都合よく動作することが考えられる。我々のニューラルネットワークでは、電圧の状態を維持でき、ある閾値によって発火(HIGH)、非発火(LOW)のどちらかに変化するという単純な特性を持ったニューロン回路を用いる。なお後章では、このニューロン回路についても最適化を試みる。

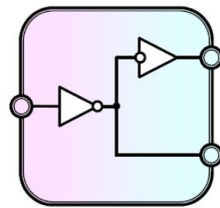


図8 ニューロン回路

4. 提案手法

本章では、先に述べた要素技術を用いてニューラルネットワークを構成する方法を提案し実装する．酸化物半導体を用いて、ハードウェアで実装することが容易なセルラニューラルネットワークの構成を示し、その後ネットワークがどのように学習するかを示す．

4.1 酸化物半導体シナプス

学習時のシナプスに必要な機能は、ニューロンとニューロンを接続し、その2つのニューロンの状態によって接続強度が適切な大きさに変化し、その強度を保持することである．また、想起時はニューロンからの信号に接続強度による重みづけされた信号を、該当するニューロンへ送ることが必要となる．したがって、シナプスとして用いるデバイスは電流が流れた時に劣化し、抵抗値が増加するという特性を持つものを選んだ．シナプスの抵抗値が増加するとニューロンからの信号を伝達し辛くなるため、接続強度が弱くなるといえる．接続されている2つのニューロンが同じ状態の時は接続強度を維持し、2つのニューロンが異なった状態の時は電気が流れるので、シナプスが劣化し接続強度が下がる．この学習方法は前ニューロンの発火により次ニューロンが発火した場合、シナプスの接続強度を上げる Hebb の学習則 [29] とは異なっている．文献 [30] ではこの学習方法を修正 Hebb の学習則と言い、poly-Si TFTs を用いこの学習則に基づいて学習させることで、OR 回路や XOR 回路を覚えることを確認した．我々はアモルファス In-Ga-Zn-O (α -IGZO) の酸化物半導体をシナプスとして利用する．成膜したまま、または成膜した後低温でアニーリングを行うことで電流が流れると劣化するという特性を持ったデバイスになる [26]．光を当てながら電流を流すと劣化した箇所の抵抗値が下がるという特性も持っているが、不安定なため今回は劣化という特性だけを用いる．

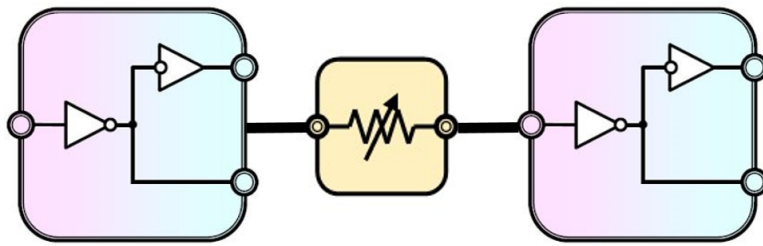


図 9 酸化物半導体シナプスとニューロンの接続

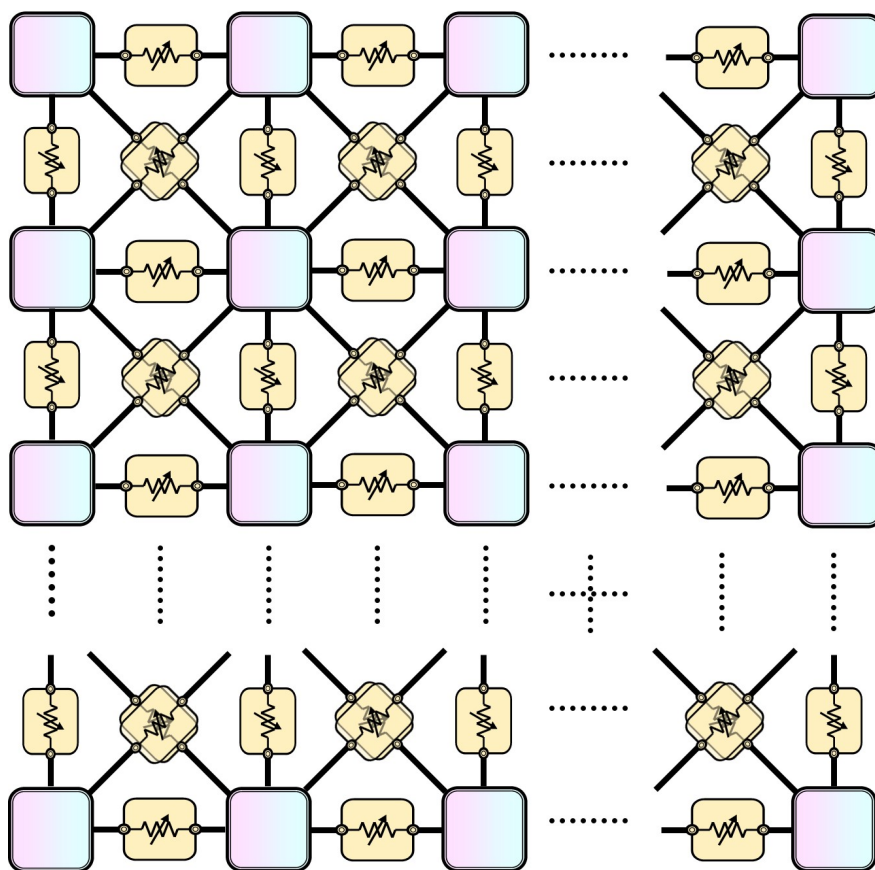


図 10 セルラニューラルネットワークの構成

4.2 ニューラルネットワークの構成

ニューラルネットワーク全体の構成を図10に示し，図11にニューロン間の接続を示す．セルラニューラルネットワークは隣接するニューロンがシナプスによって接続されるネットワークであるため，各ニューロンが上下左右及び斜めのニューロンに接続される．図11にあるようにシナプスの接続は，協調性シナプスと対立性シナプスの2種類の接続がある．協調性シナプスは前段のニューロンの正の出力側と後段のニューロンの入力側を接続し，双方のニューロンを同じ状態にさせるように動作する．一方で対立性シナプスは前段のニューロンの負の出力側と後段のニューロンの入力側を接続し，双方のニューロンを異なる状態にさせるように動作する．この2つのシナプス結合によって実際のシナプスのように正味の結合強度を増加させたり減少させたりすることが可能となる．例えば協調性シナプスが劣化することによって，相対的に正味のシナプス結合強度が増加する．

隣接するニューロンの出力側から流れる電流が各シナプスの結合強度に応じて重み付けされ入力される．すなわち，前段の8個のニューロンからの電流がそれぞれ協調性シナプスと対立性シナプスの2種類のシナプスを流れ，すべての電流が合計されて後段のニューロンに入力される．後段のニューロンは入力された電流に応じてニューロン回路により，発火状態か非発火状態のどちらかをとる．さらにこのニューラルネットワークは，シナプスが前段のニューロンから後段のニュー

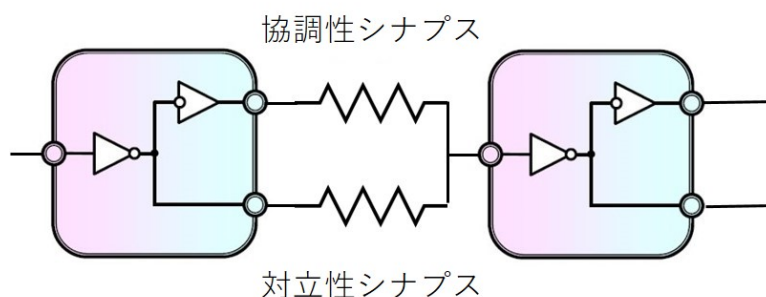


図 11 協調性シナプスと対立性シナプス

ロンへの方向のみではなく，双方向に接続されているため，各ニューロン間には4つのシナプスがある．これにより，電子デバイスという特徴をもちながらシナプスが増えニューラルネットワークの精度が向上することが期待される．

4.3 学習原理

ヘブの学習則は生物学および人工的なニューラルネットワークにおける典型的な学習則である [29]．ヘブの学習則ではシナプスによって接続された各ニューロンの状態が同じ発火・非発火状態であるときにシナプス結合強度が増加し，異なる状態であるときに減少する．これに対して，修正ヘブの学習則 [30] は協調性シナプスと対立性シナプスの2つのシナプスで結合強度を表現するものである．隣接するニューロンが同じ状態の場合は図 12 で示されるように，対立性シナプスに多くの電流が流れ，劣化する．その結果，シナプス対の対立性が弱くなるため，相対的にシナプス結合強度が増加する．一方で，隣接するニューロンが異なる状態の場合は図 13 で示されるように，協調性シナプスに多くの電流が流れ，劣化

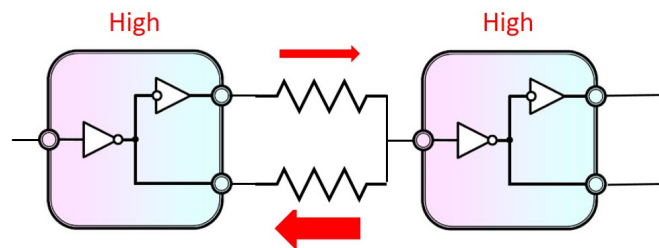


図 12 シナプス結合の増加

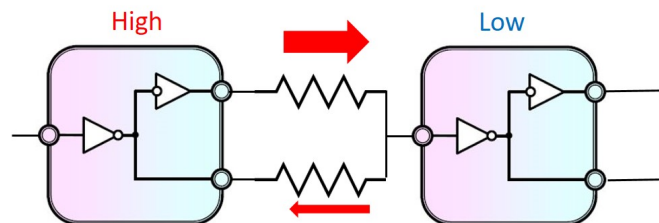


図 13 シナプス結合の減少

する．その結果，シナプス対の協調性が弱くなるため，相対的にシナプス結合強度が減少する．

修正ヘブの学習則の利点は，シナプス結合強度が局所的な電流や電圧を用いて自動的に制御されるため，シナプス結合強度を制御する回路を追加する必要がないということである．したがって，修正ヘブの学習則はニューラルネットワークをハードウェアレベルで実装することを容易にすると考えられる．一方で修正ヘブの学習則の欠点は，シナプスの劣化は1方向のみであるため，完全に劣化してしまうとそれ以上は学習できないことである．

5. シミュレーション方法

本研究では，ニューラルネットワークを評価するために文字補正アルゴリズムを想定し，シミュレーションによる評価を行った．本章では，まず文字補正アルゴリズムの概要を説明する．

5.1 文字補正アルゴリズム

25 × 25 のニューロンにより構成されたセルラニューラルネットワークを図 14 に示す．本研究のセルラニューラルネットワークでは 12 × 12 の入出力が可能なニューロンと入出力機能のない隠れニューロンの 2 種類のニューロンを用いて，入出力ニューロンの間に 1 つの隠れニューロンが入るよう配置した．単純パーセプトロンでは隠れニューロンが無く XOR の学習ができないことが指摘された．多層にすることで学習できる幅が広がったが，層を増やし過ぎると入力データが出

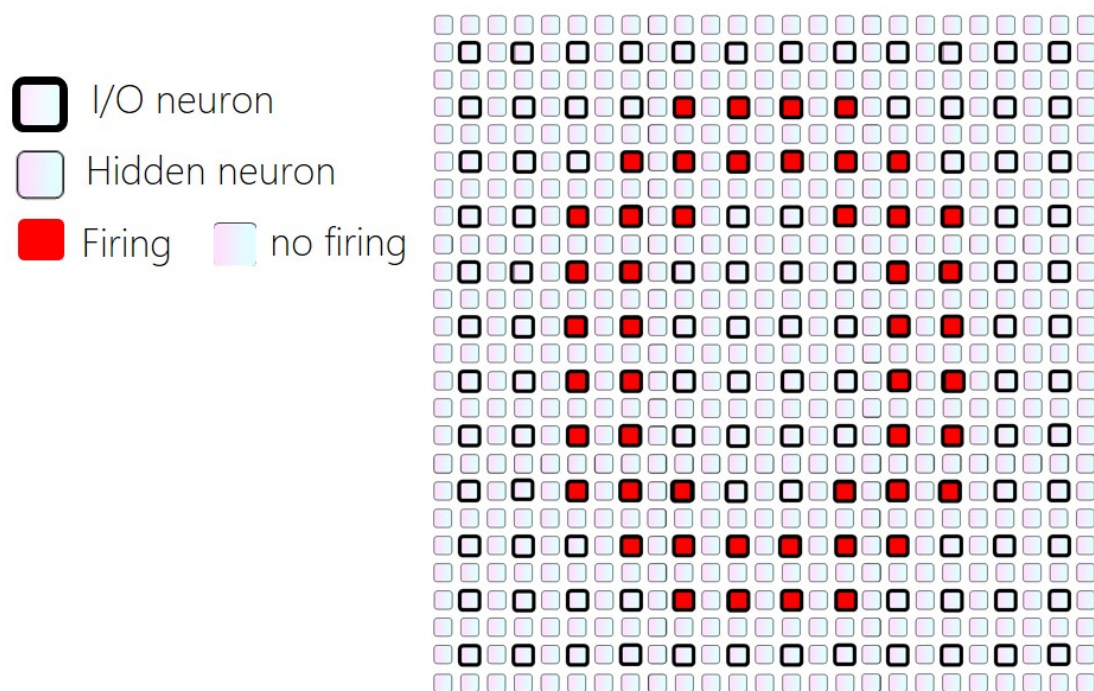


図 14 文字補正アルゴリズム

力まで届きにくくなる問題がある．そこで，我々は前述のような配置を採用した．図 14 の例では，入出力ニューロンに`0`の文字を入力しており，発火状態のニューロンが赤色で非発火状態のニューロンが白色で表されている．

シミュレーションでは，まず各ニューロンとシナプスに初期値を与える．ニューロンには 0.9V の電圧を初期値として入力し，シナプスには，実際に酸化物半導体を作製した時の初期値を特性ばらつきを考慮して入力する．次に，図 15 のような学習させる文字パターンを入力し，それに対応する入出力ニューロンを発火または非発火状態とし，発火状態のニューロンには 1.8V を入力し，非発火状態のニューロンには 0V を入力する．その後，隣接するニューロン間の酸化物半導体シナプスの結合強度に従って，入出力ニューロンと隠れニューロンを含む全てのニューロンの発火，非発火が決定する．次に，ニューロンの状態に従って，酸化物半導体シナプスに電流が流れることにより，劣化が起き，シナプス結合強度が低下する．学習させる文字パターンをしばらく入力させた後，多少異なる文字パターンを入出力ニューロンに入力した時に，出力された文字パターンが学習させた文字パターンと一致しているかを確認する．一致していた場合，文字補正成功となり，一致していない場合，同様の手順を複数回繰り返す．

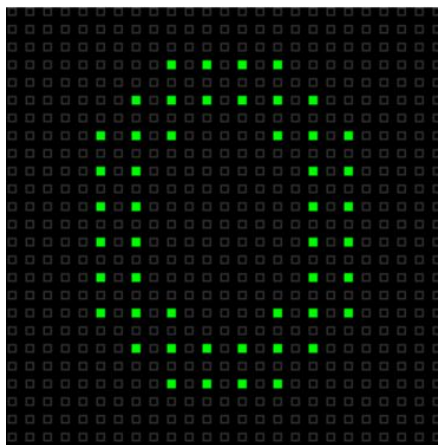


図 15 学習させる文字パターンの例

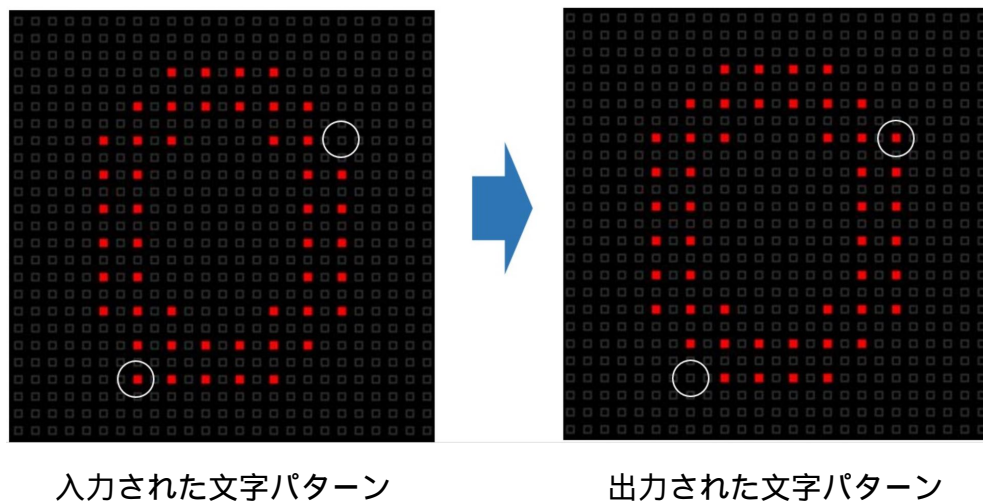


図 16 文字補正成功例

異なる文字パターンを入力し文字補正が成功した例を図 16 に示す．学習が終わり，文字補正を行うときに図 16 の左側のパターンを入力し，しばらく待つと図 16 の右側のパターンが出力され，文字補正成功となる．

5.2 結果出力

文字補正アルゴリズムのシミュレーションの動作の過程の例を図 17 に示す．シミュレーションの初期段階では学習が進んでいないため，発火状態のニューロンが学習させた文字パターンと大きく異なっているが，繰り返し学習をさせていくと徐々に学習させた文字パターンに近づいていることが分かる．

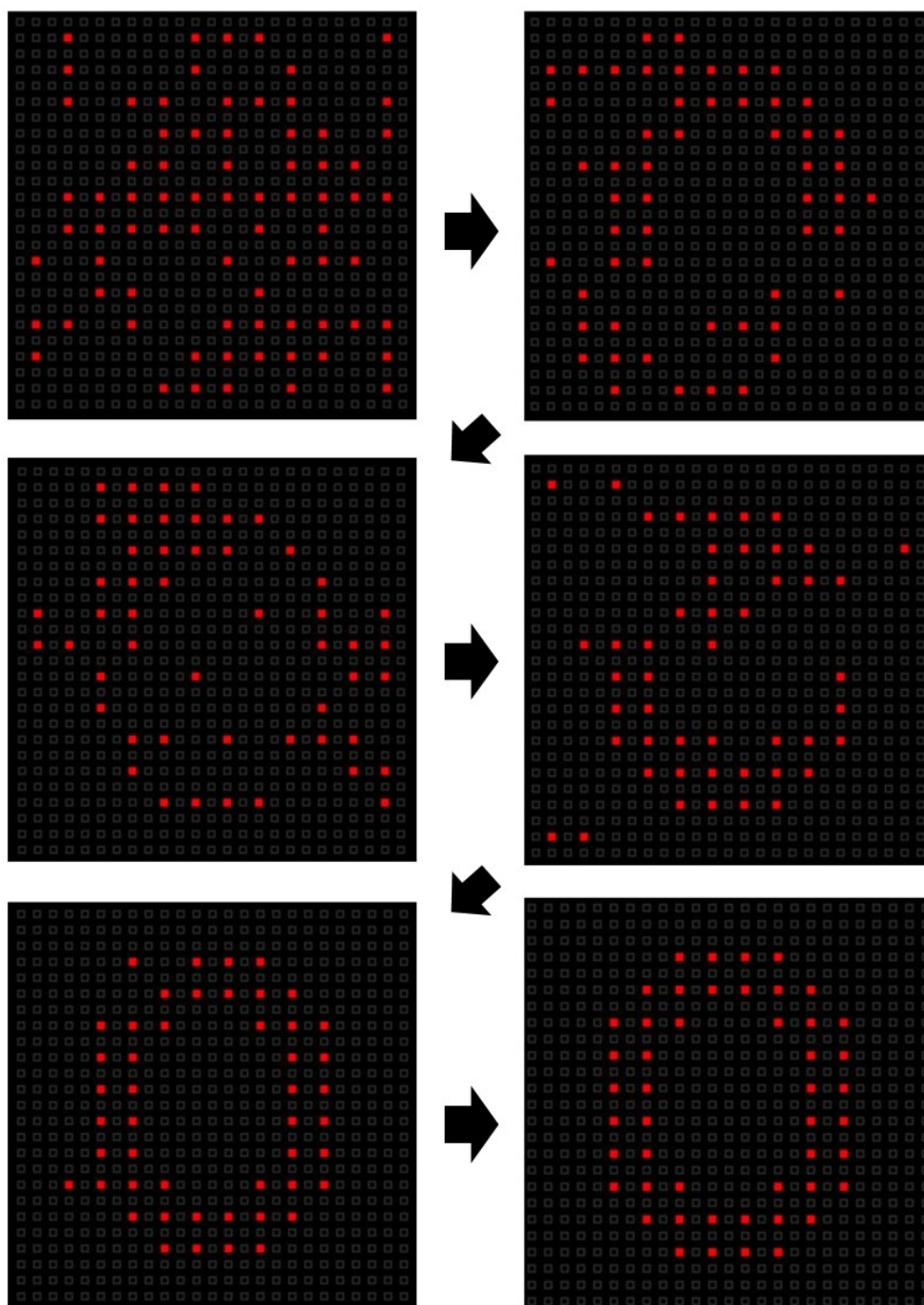


図 17 文字補正の過程

6. 初期値のばらつきの影響の評価

6.1 初期値のばらつき

実際に酸化物半導体を作製し，抵抗の初期値を測定するとサンプルによってばらつきがあることが分かっている．12個の a-IGZO のサンプルを作製し，抵抗値を測定した時の結果を図 18 に示す．この結果より，平均が $3.75\text{M}\Omega$ で標準偏差が $2.5\text{M}\Omega$ であることが分かる．多くのサンプルが $3\text{M}\Omega$ から $4\text{M}\Omega$ 程度の値ではあるが， $8\text{M}\Omega$ を超えるサンプルもあり，標準偏差が大きくなってしまっている．そのため，酸化物半導体の初期値のばらつきがニューラルネットワークに与える影響をシミュレーションにより評価する．

今回行ったシミュレーションでは，酸化物半導体の初期値のばらつきが標準正規分布に従うと仮定し，ニューラルネットワーク全体のシナプスにランダムに入力するというモンテカルロ法を用いた．図 19 は平均が $3.75\text{M}\Omega$ ，標準偏差が $1\text{M}\Omega$ の標準正規分布のヒストグラムである．標準偏差を 0 から $4\text{M}\Omega$ まで変化させ，文字補正の成功率を求めた．

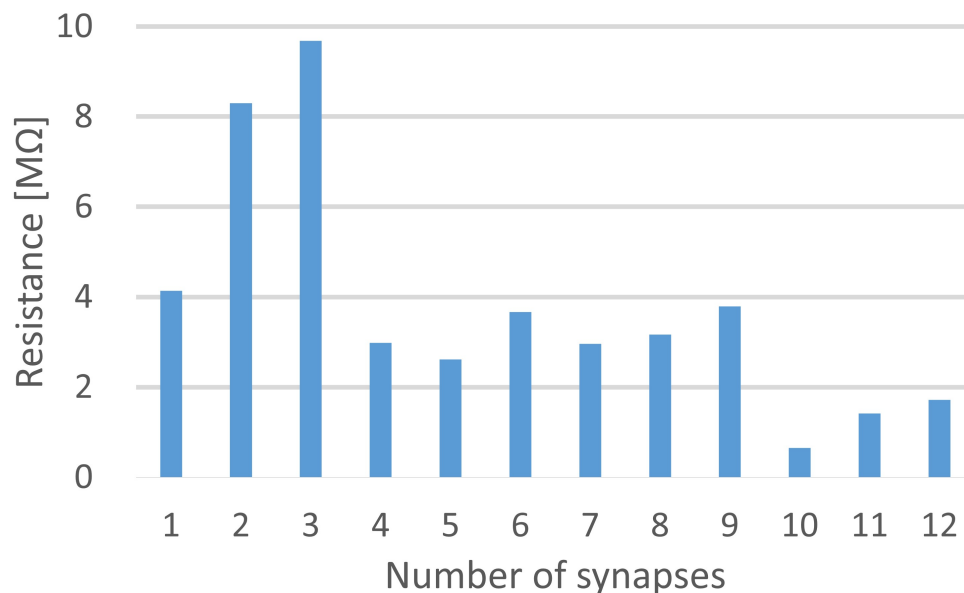


図 18 酸化物半導体シナプスの抵抗の初期値のばらつき

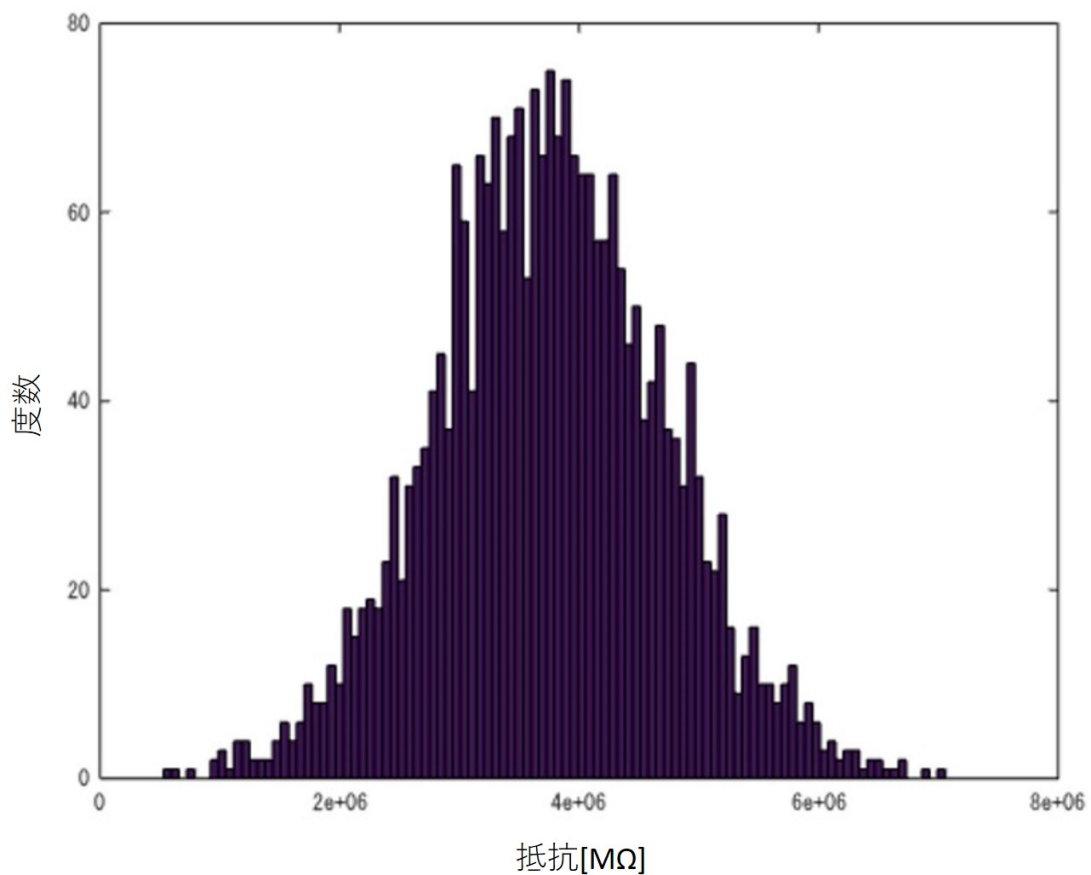


図 19 酸化物半導体の抵抗の初期値のヒストグラム

標準正規分布のヒストグラムを求めたアルゴリズムには，Marsaglia polar 法を用いた．図 20 に，標準正規分布の乱数を返す関数のソースコードを示す．このアルゴリズムはまず do 文で，

$$\begin{aligned} -1 < r1 < 1 \\ -1 < r2 < 1 \end{aligned} \tag{1}$$

のランダムな点 $(r1, r2)$ 選び，while の条件で

$$r1^2 + r2^2 < 1 \tag{2}$$

```
double normal_dist(double mean, double deviation) {
    static int sw = 0;
    static double r1, r2, s;
    if (sw == 0) {
        sw = 1;
        do {
            r1 = 2.0 * drand48() - 1.0;
            r2 = 2.0 * drand48() - 1.0;
            s = r1 * r1 + r2 * r2;
        } while (s > 1.0 || s == 0.0);
        s = sqrt(-2.0 * log(s) / s);
        return mean + (r1 * s) * deviation;
    } else {
        sw = 0;
        return mean + (r2 * s) * deviation;
    }
}
```

図 20 Marsaglia polar 法

を満たす点 $(r1, r2)$ を求める。この時、

$$s = r1^2 + r2^2 \quad (3)$$

とすると、標準正規分布に従う乱数を次の 2 つの式で求めることができる。

$$r1 * \sqrt{\frac{-2 \ln(s)}{s}}, r2 * \sqrt{\frac{-2 \ln(s)}{s}} \quad (4)$$

一度で 2 つの乱数を生成することができるため、static 変数の `sw` をフラグとして用いて、再度関数が呼ばれたときに、もう一方を返す。

6.2 評価結果

抵抗の初期値の標準偏差が補正率に与える影響をシミュレーションした結果を図 21 に示す。横軸が初期抵抗値の標準偏差で、縦軸が文字補正の成功率である。この結果から、補正率を 90 % 以上にするためには、初期値の標準偏差を 1.2 Ω

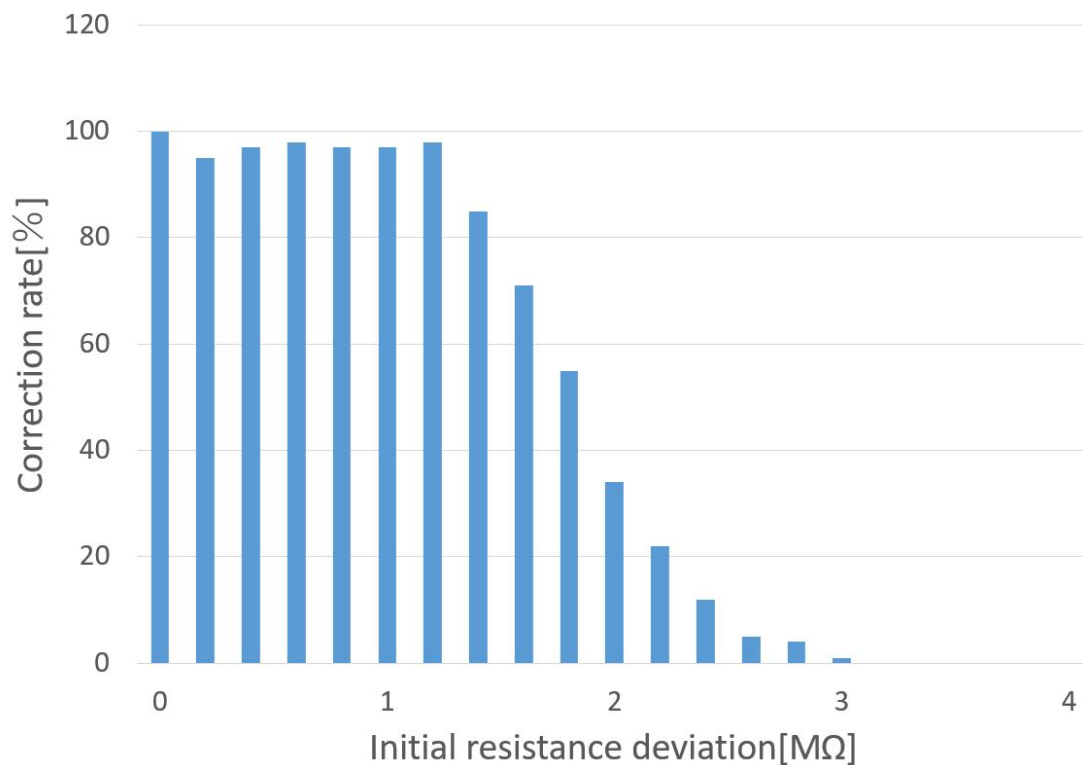


図 21 初期値のばらつきの影響の評価結果

以内に抑える必要があることが分かった．1.2M Ω の標準偏差は平均 3.75M Ω に対して 32 %であり，電子デバイスにおいて十分に大きいと言える．したがって，酸化物半導体を作製するための装置や環境の均一性が向上すれば，今回想定している文字補正システムは十分に動作することが可能であると考ええる．

7. 劣化速度のばらつきの影響の評価

7.1 劣化速度のばらつき

次に、酸化物半導体に電流を流し劣化させる過程でサンプルによって劣化速度に差があるため、劣化速度のばらつきがニューラルネットワークに与える影響をシミュレーションにより評価した。図 22 にサンプルによる劣化速度のばらつきを示す。図 22 より、劣化の変動率は 12 % 程度であることが分かる。

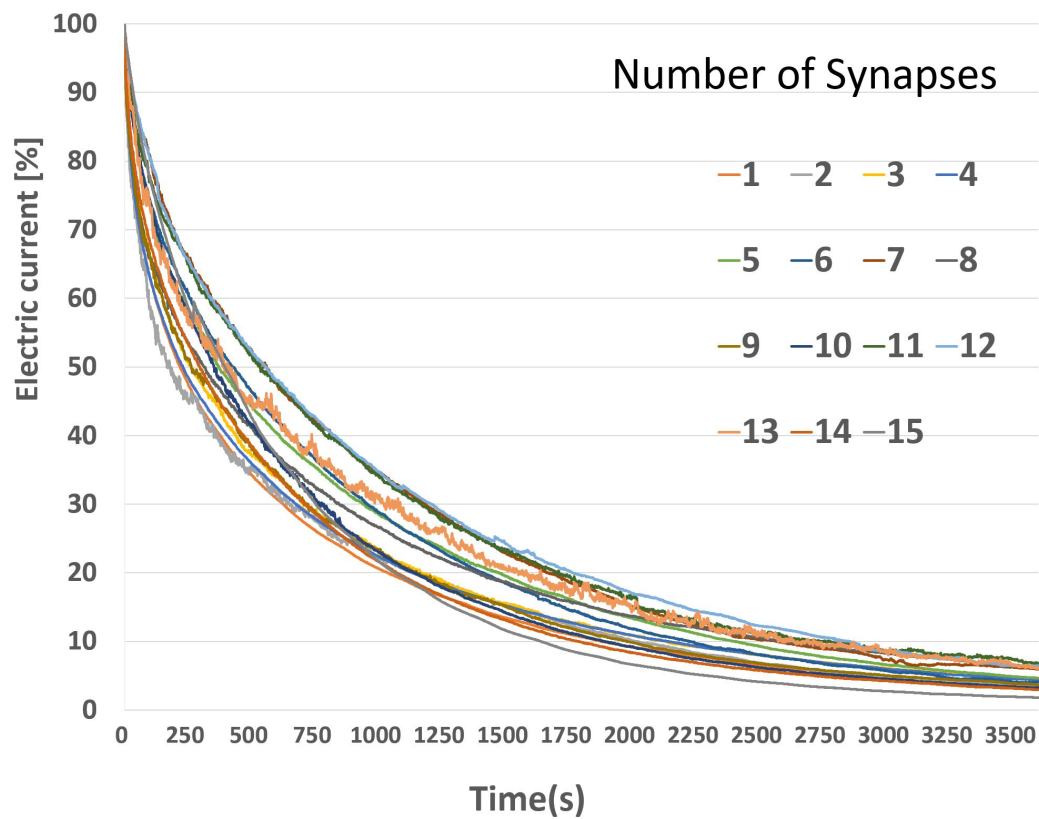


図 22 劣化速度のばらつき

7.2 評価結果

酸化物半導体の劣化速度のばらつきが補正率に与える影響をシミュレーションした結果を図 23 に示す。横軸が劣化率の標準偏差で、縦軸が文字補正率である。劣化率の標準偏差が平均の 12 %を超えたあたりで文字補正率が下がっており、初期値のばらつきによる影響より大きいということが分かった。

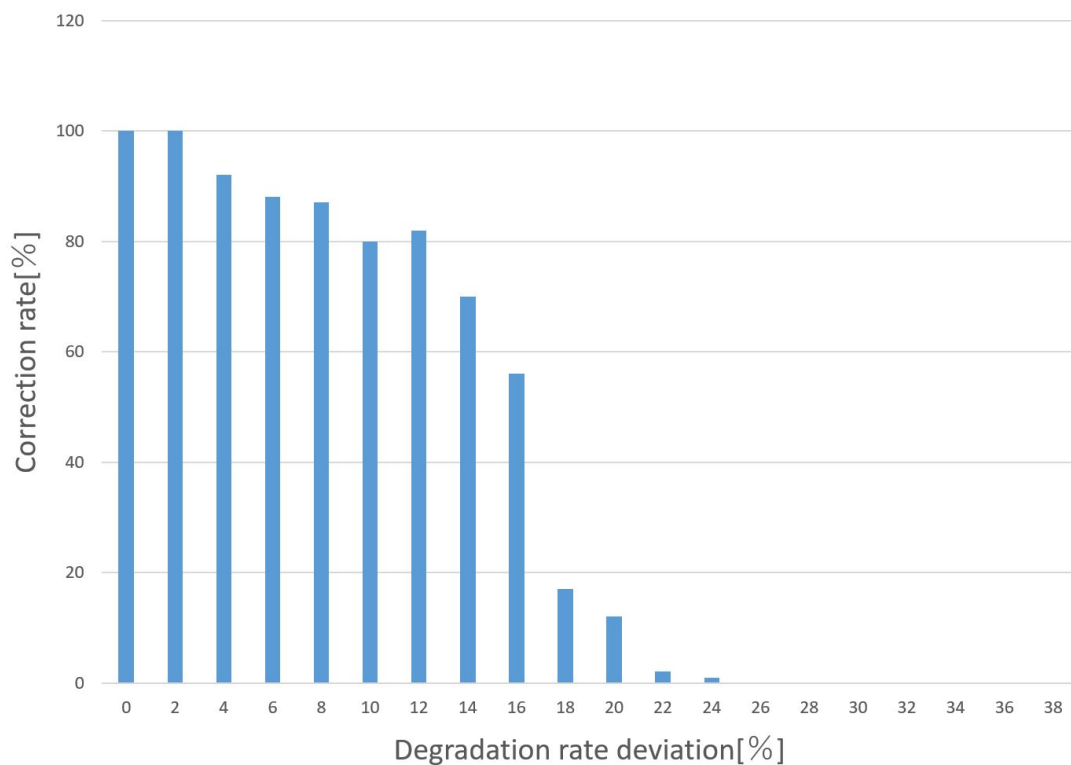


図 23 劣化速度のばらつきの影響の評価結果

8. 活性化関数に対する評価

前章まで，酸化物半導体の特性ばらつきがニューラルネットワークに与える影響を評価し，特性ばらつきが大きいときは，補正率が悪化することが明らかになった．そこでニューラルネットワークのアーキテクチャとして，補正率を向上する必要があると考える．

本章では，ニューロン回路の活性化関数が文字補正率に与える影響を評価するために，いくつかの活性化関数を用いてシミュレーションを行った結果を示す．

8.1 活性化関数

活性化関数とは，ニューラルネットワークにおいて線形変換をした後に適応する恒等関数である．図 24 に活性化関数の役割を示す．前段のニューロンの状態にシナプスの重みづけされ，それぞれの総和を計算し，活性化関数に渡すことで，後段のニューロンの状態を求める．

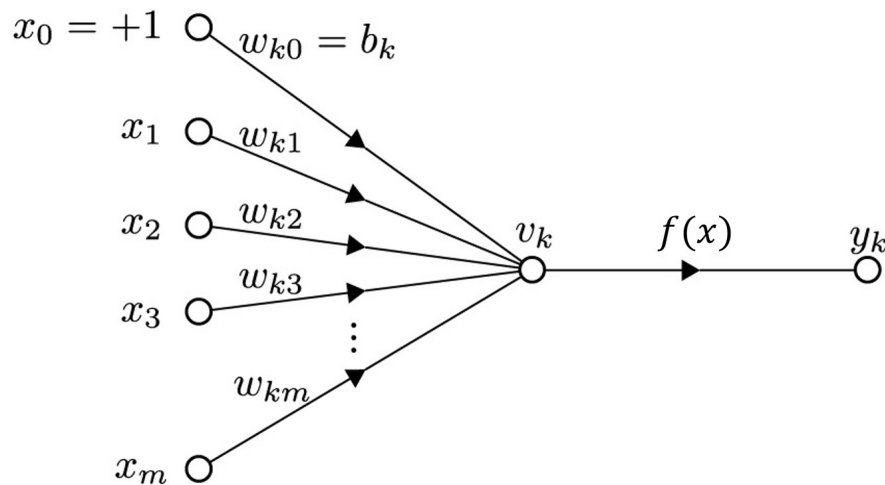


図 24 活性化関数の役割

本研究で評価の対象とした活性化関数は Step 関数と Sigmoid 関数と ReLU 関数である．Step 関数はパーセプトロンの考え方が登場した 1950 年頃に使われていた，最も単純な活性化関数である．Sigmoid 関数は 1986 年にバックプロパゲー

ションが登場した頃に一般的に使われていた関数である．そして ReLU 関数は，ソフトウェアにおけるニューラルネットワークにおいて層を増やした時に勾配が消失してしまう Sigmoid 関数関数よりも優れているため，現在よく使われている活性化関数である．

8.1.1 Step 関数

Step 関数は式 5 で表すことができ，ニューロンの出力を 0 か 1 で表す．

$$f(x) = \begin{cases} 1 & x \geq 0 \\ 0 & x < 0 \end{cases} \quad (5)$$

8.1.2 Sigmoid 関数

Sigmoid 関数は，ステップ関数と比較すると入力に対して連続的に出力が変化する．これを用いることにより，ニューロンの出力を連続的な実数値の信号として表すことができる．シグモイド関数は，式 6 で表される．

$$f(x) = \frac{1}{1 + e^{-x}} \quad (6)$$

8.1.3 ReLU 関数

ReLU 関数は，入力が 0 を超えていれば，その入力をそのまま出力し，0 以下ならば 0 を出力する．ReLU 関数は，式 7 で表される．

$$f(x) = \begin{cases} x & x \geq 0 \\ 0 & x < 0 \end{cases} \quad (7)$$

8.2 MOS 回路による表現

MOS 回路で活性化関数を表現するために、前述したニューロン回路を用いることで Step 関数を表現することができる。前述したニューロン回路は 2 つのインバータでできており、それぞれのインバータは図 25 のように MOS 回路で表される。これは一般的な CMOS インバータであり、nMOS と pMOS からなる。このインバータを図 26 のように pMOS を nMOS に変更し、入力側を電源に接続することによって、ReLU 関数を表現することができる。

それぞれのニューロン回路を HSPICE による回路シミュレーションで入力側の電圧を増加させた場合の動作を図 27 と図 28 に示す。

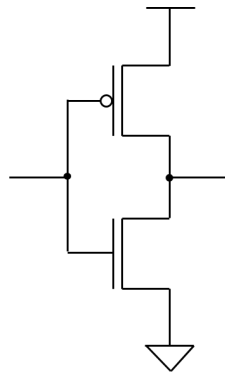


図 25 Step 関数を表現する MOS 回路

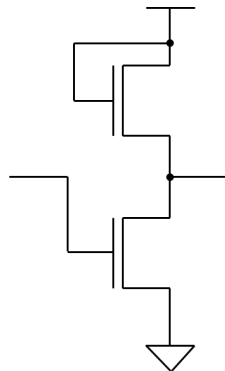


図 26 ReLU 関数を表現する MOS 回路

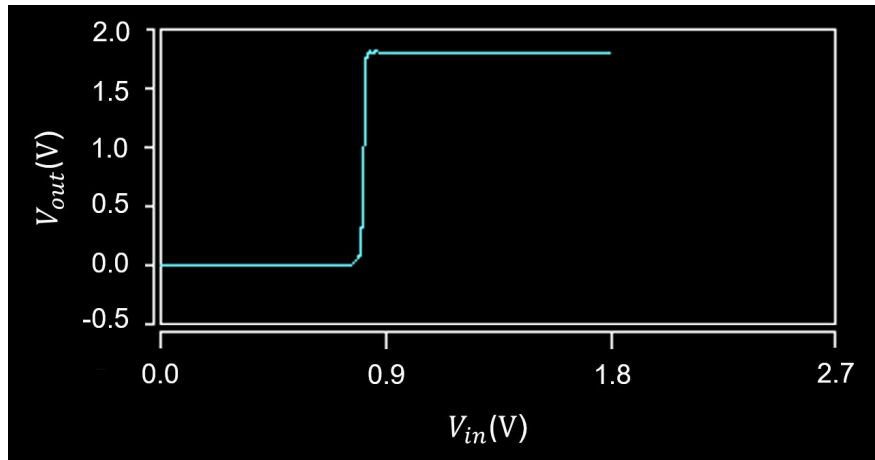


図 27 Step 関数の HSPICE シミュレーション結果

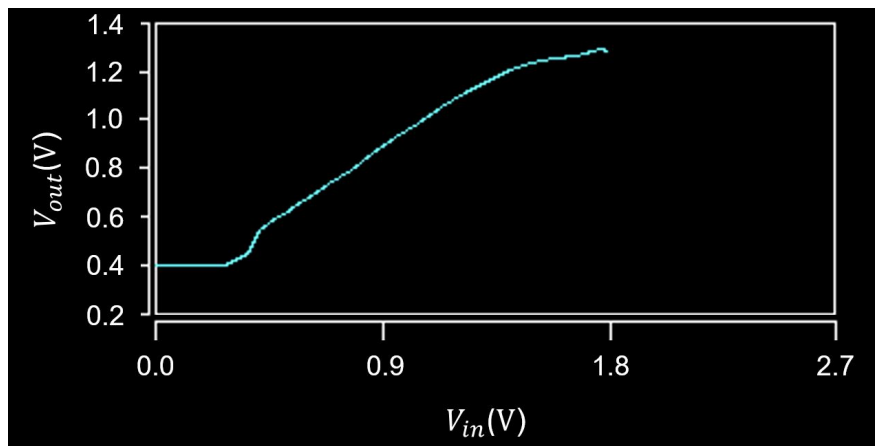


図 28 ReLU 関数の HSPICE シミュレーション結果

8.3 評価結果

活性化関数による補正率の違いの結果を図 29 に示す．左から step 関数，sigmoid 関数，ReLU 関数のグラフである．この結果より，sigmoid 関数は最も早く補正率が低下し始め，そのまま緩やかに低下し続けていることがわかる．一方で，補正率を最も長く高い水準を保っていたのは ReLU 関数である．したがって，本研究で提案したニューラルネットワークでは活性化関数を ReLU 関数にすることが適しているといえる．

一般的に、ソフトウェアによるニューラルネットワークには ReLU 関数がバックプロパゲーションに適していることが知られていが、本研究で提案するニューラルネットワークではバックプロパゲーションを用いないため、ReLU 関数が最も良い結果を示したのには、他の異なる要因があると推測される。

図 30 に示すように、あるシナプスの接続強度が特性ばらつきによって偶然的に他のシナプスよりも強くなってしまった時に、Step 関数や Sigmoid 関数では、そのニューロンが非発火から発火へ極端な出力の変化が起きる可能性がある。すなわち、特性ばらつきの影響が出力に変化を起こしやすいと考えられる。一方で、ReLU 関数であれば出力の変化も緩やかであり、そのような変化が起こらないということが ReLU 関数が最も活性化関数に適している要因であると考えられる。

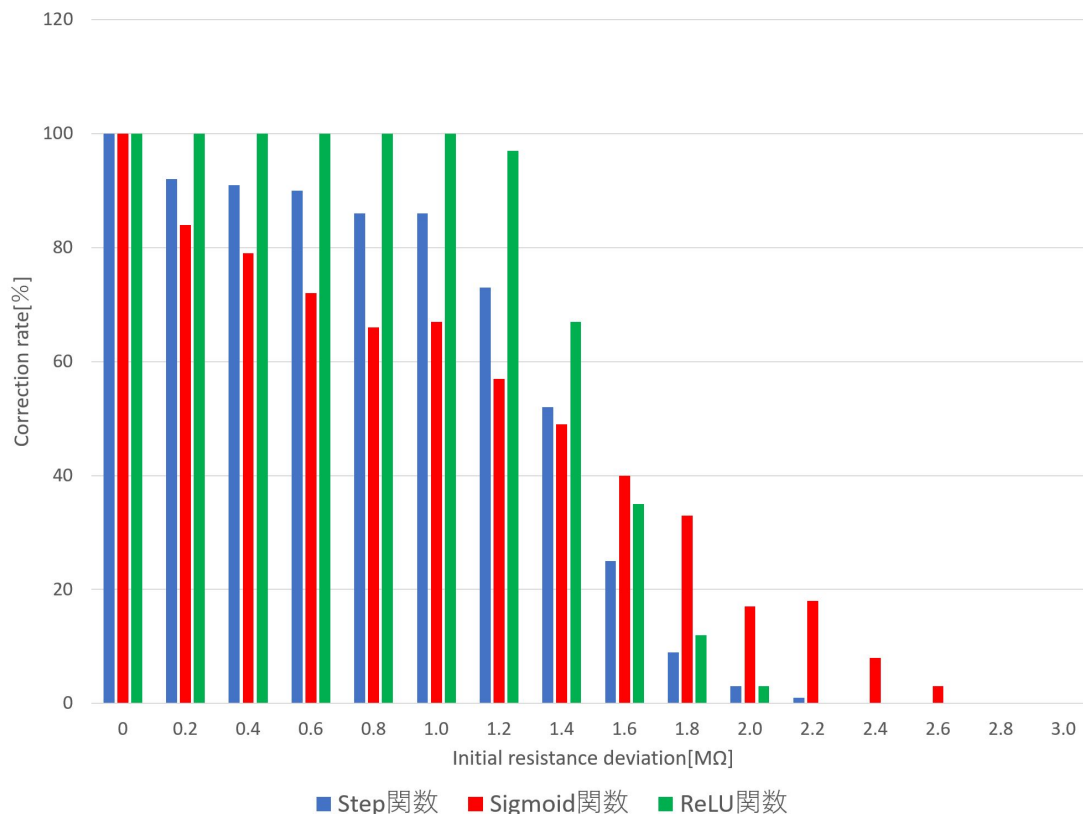


図 29 活性化関数ごとの補正率

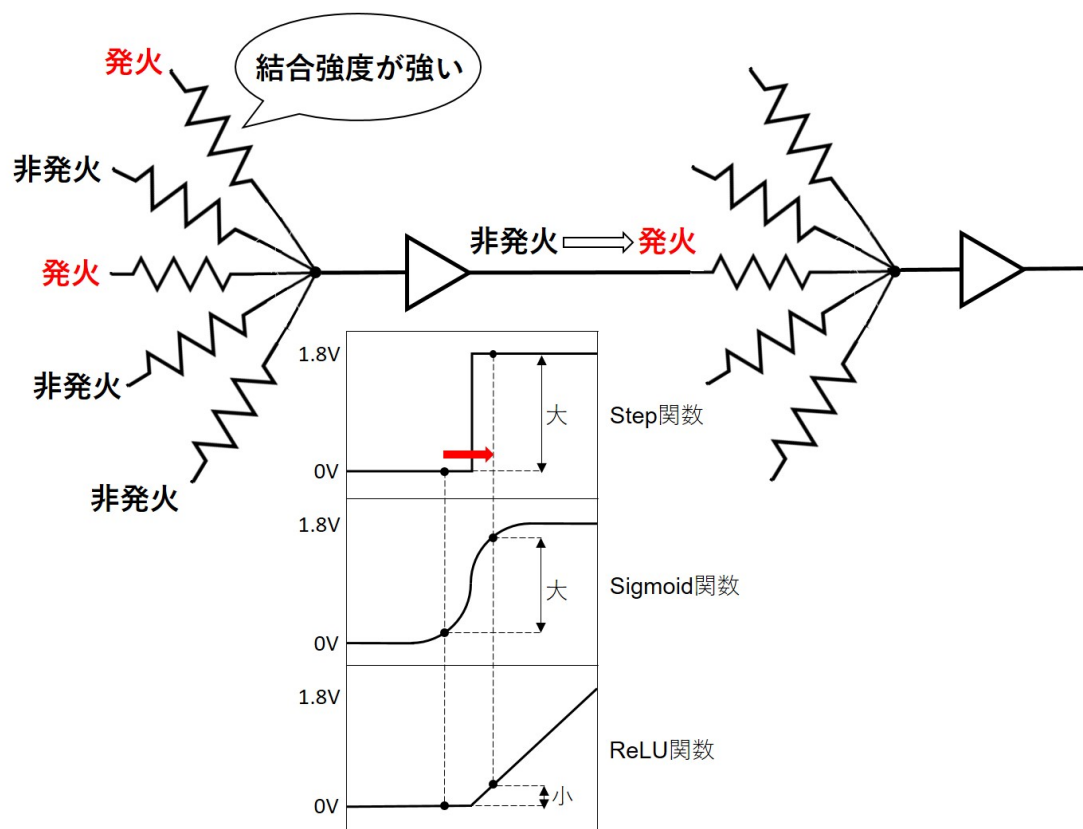


図 30 活性化関数の比較

9. まとめ

本論文では、酸化物半導体を用いたセルラニューラルネットワークにおいて、酸化物半導体の特性ばらつきがニューラルネットワークに与える影響をシミュレーションにより評価した。

酸化物半導体の抵抗の初期値のばらつきの影響を評価した結果、ばらつきの標準偏差が平均の 32 % を超えると急激に文字補正率が低下することが分かった。電子デバイスにおいて、32 % の標準偏差は平均に対して十分に大きいと言える。したがって、酸化物半導体を作製するための装置や環境の均一性が向上すれば、今回想定している文字補正システムは十分に動作することが可能であると考えられる。

また、劣化速度のばらつきの影響を評価した結果、劣化速度のばらつきの標準偏差が平均の 12 % を超えると文字補正率が下がっており、初期値のばらつきによる影響より高いということが分かった。

さらに、ニューロン回路を変更し、様々な活性化関数で補正率を求めた結果、ReLU 関数が最も初期値のばらつきの標準偏差に強いということが分かった。

今後の展望として、酸化物半導体の特性ばらつきの影響を受けにくいセルラニューラルネットワーク以外のニューラルネットワーク構造を考案することが挙げられる。さらに、酸化物半導体の製造過程で特性ばらつきを抑えることができれば、より精度の高いニューラルネットワークを作製することが可能となる。

謝辞

研究活動において、多大なる御指導を頂いた本学の中島康彦教授に深く感謝の意を表します。本論文をご精読頂き、研究発表を通じて貴重な御意見を頂いた本学の池田和司教授に深く感謝致します。また研究活動において適切な御助言を頂いた中田尚准教授、TRAN Thi Hong 助教、張任遠助教に深く感謝致します。本研究を行うにあたり、多大なご尽力と有益なご指導を頂きました、客員教授の木村睦教授に心より深謝致します。2年間をともに過ごし、支えてくれた同輩の上竹規之氏、菊谷雄真氏、平賀由利亜氏、吉田怜矢氏に深く感謝致します。また、一倉孝宏氏、池田裕哉氏、岩本淳氏、西本宏樹氏、新谷隆太氏をはじめとするコンピューティング・アーキテクチャ研究室の皆様には感謝の念に堪えません。最後に、大学院での生活を支えてくださった家族に心より感謝致します。

参考文献

- [1] N. Rochester J. McCarthy, M. L. Minsky and C. E. Shannon. A proposal for the dartmouth summer research project on arti cial intelligence. *Dartmouth Conference*, 1956.
- [2] S. Russell and P. Norvig. *Artificial Intelligence: A Modern Approach*, Pearson Education. Prentice Hall, 2009.
- [3] J.E.Dayhoff. *Neural network architectures: An introduction*. Van Nstrand Reinhold, 1990.
- [4] R. Hecht-Nielsen. *Neurocomputing*. Addison-Weley, Reading, MA, 1990.
- [5] Suzanna Becker and Geoffrey E. Hinton. Self-organizing neural network that discovers surfaces in random-dot stereograms. *Nature*, Vol. 355, pp. 161–3, 02 1992.
- [6] J. V. Stone, N. M. Hunkin, and A. Hornby. Neural-network models: Predicting spontaneous recovery of memory. *Nature*, Vol. 414, pp. 167–168, nov 2001.
- [7] V.B. Moutcastle. *The cerebral cortex*. Harvard College, 1998.
- [8] Y. Lecun, L. Bottou, Y. Bengio, and P. Haffner. Gradient-based learning applied to document recognition. *Proceedings of the IEEE*, Vol. 86, No. 11, pp. 2278–2324, Nov 1998.
- [9] Alex Krizhevsky, Ilya Sutskever, and Geoffrey E. Hinton. Imagenet classification with deep convolutional neural networks. *Neural Information Processing Systems*, Vol. 25, , 01 2012.
- [10] 神経による筋収縮の指令-ニューロン. <http://www.tmd.ac.jp/artsci/biol/textlife/neuron.htm>.

- [11] 合原一幸. ニューラルコンピュータ. 東京電機大学出版局, 1992.
- [12] F. Rosenblatt. The perceptron: A probabilistic model for information storage and organization in the brain. *Psychological Review*, pp. 65–386, 1958.
- [13] Kunihiro Fukushima. Cybernetics 9 by springer-verlag 1980 neocognitron: A self-organizing neural network model for a mechanism of pattern recognition unaffected by shift in position. *Biol. Cybernetics*, Vol. 36, pp. 193–202, 1980.
- [14] M. Tanomoto, S. Takamaeda-Yamazaki, J. Yao, and Y. Nakashima. A cgra-based approach for accelerating convolutional neural networks. In *2015 IEEE 9th International Symposium on Embedded Multicore/Many-core Systems-on-Chip*, pp. 73–80, Sep. 2015.
- [15] C. Liu, B. Yan, C. Yang, L. Song, Z. Li, B. Liu, Y. Chen, H. Li, Qing Wu, and Hao Jiang. A spiking neuromorphic design with resistive crossbar. In *2015 52nd ACM/EDAC/IEEE Design Automation Conference (DAC)*, pp. 1–6, June 2015.
- [16] Takuya Nanami, Kazuyuki Aihara, and Takashi Kohno. Elliptic and parabolic bursting in a digital silicon neuron model. 11 2016.
- [17] SASAKI Kan'ya, Takashi MORIE, and Atsushi IWATA. A vlsi spiking feedback neural network with negative thresholding and its application to associative memory. *IEICE transactions on electronics*, Vol. 89, No. 11, pp. 1637–1644, nov 2006.
- [18] Paul A. Merolla, John V. Arthur, Rodrigo Alvarez-Icaza, Andrew S. Cassidy, Jun Sawada, Filipp Akopyan, Bryan L. Jackson, Nabil Imam, Chen Guo, Yutaka Nakamura, Bernard Brezzo, Ivan Vo, Steven K. Esser, Rathinakumar Appuswamy, Brian Taba, Arnon Amir, Myron D. Flickner, William P. Risk, Rajit Manohar, and Dharmendra S. Modha. A million spiking-neuron integrated circuit with a scalable communication network and interface. *Science*, Vol. 345, No. 6197, pp. 668–673, 2014.

- [19] P. Merolla, J. Arthur, F. Akopyan, N. Imam, R. Manohar, and D. S. Modha. A digital neurosynaptic core using embedded crossbar memory with 45pj per spike in 45nm. In *2011 IEEE Custom Integrated Circuits Conference (CICC)*, pp. 1–4, Sep. 2011.
- [20] Mirko Prezioso, Farnood Merrih-Bayat, Brian Hoskins, Gina Adam, Konstantin K. Likharev, and Dmitri B. Strukov. Training and operation of an integrated neuromorphic network based on metal-oxide memristors. *Nature*, Vol. 521, , 12 2014.
- [21] Mead C. *Analog VLSI and Neural Systems*. Addison-Wesley Publishing, 1989.
- [22] Y. Arima, K. Mashiko, K. Okada, T. Yamada, A. Maeda, H. Notani, H. Kon-doh, and S. Kayano. A 336-neuron, 28 k-synapse, self-learning neural network chip with branch-neuron-unit architecture. *IEEE Journal of Solid-State Circuits*, Vol. 26, No. 11, pp. 1637–1644, Nov 1991.
- [23] F. Akopyan, J. Sawada, A. Cassidy, R. Alvarez-Icaza, J. Arthur, P. Merolla, N. Imam, Y. Nakamura, P. Datta, G. Nam, B. Taba, M. Beakes, B. Brezzo, J. B. Kuang, R. Manohar, W. P. Risk, B. Jackson, and D. S. Modha. Truenorth: Design and tool flow of a 65 mw 1 million neuron programmable neurosynaptic chip. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 34, No. 10, pp. 1537–1557, Oct 2015.
- [24] John. F. Wager. Transparent electronics. *Science*, Vol. 300, No. 5623, pp. 1245–1246, 2003.
- [25] Kenji Nomura, Hiromichi Ohta, Akihiro Takagi, Toshio Kamiya, Masahiro Hirano, and Hideo Hosono. Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors. *Nature*, Vol. 432, pp. 488–92, 12 2004.

- [26] S. Imai M. Kimura. Degradation evaluation of α -igzo tfts for application to am-oleds. *Electron Device Letters, IEEE*, Vol. 31, pp. 963 – 965, 10 2010.
- [27] M. Kimura, Y. Koga, H. Nakanishi, T. Matsuda, T. Kameda, and Y. Nakashima. In-Ga-Zn-O thin-film devices as synapse elements in a neural network. *IEEE Journal of the Electron Devices Society*, Vol. 6, pp. 100–105, 2017.
- [28] 木村睦. 搭載!! 人工知能. 電気書院, 1992.
- [29] Hebb, d. o. the organization of behavior: A neuropsychological theory. new york: John wiley and sons, inc., 1949. 335 p. \$4.00. *Science Education*, Vol. 34, No. 5, pp. 336–337, 1950.
- [30] T. Kasakawa, H. Tabata, R. Onodera, H. Kojima, M. Kimura, H. Hara, and S. Inoue. An artificial neural network at device level using simplified architecture and thin-film transistors. *IEEE Transactions on Electron Devices*, Vol. 57, No. 10, pp. 2744–2750, Oct 2010.

業績

国際会議

1. Hiroki Yamane, Tomoya Kameda, Mutsumi Kimura, and Yasuhiko Nakashima Development and Evaluation of Neural Networks using Oxide Semiconductor Synapses for Letter Reproduction 2017 International Symposium on Nonlinear Theory and its Applications, NOLTA 2017, pp. 91-94, Dec. 2017
2. Hiroki Yamane, Mutsumi Kimura, and Yasuhiko Nakashima Development and Evaluation of Letter Reproduction System using Cellular Neural Network and Oxide Semiconductor synapses 2018 International Symposium on Nonlinear Theory and its Applications, NOLTA 2018, pp. 114-117, Sep. 2018
3. Mutsumi Kimura, Hiroki Yamane, and Yasuhiko Nakashima Neuromorphic Systems using Simplified Elements and Thin-Film Devices FOSCOM 2018, March 2018
4. Hiroya Ikeda, Hiroki Yamane, Yuki Shibayama, Mutsumi Kimura, and Yasuhiko Nakashima Evaluation of Letter Reproduction System using Cellular Neural Network and Oxide Semiconductor Synapses by Logic Simulation CANDAR '18, pp. 145, Nov. 2018
5. Keisuke Ikushima, Junpei Shimura, Tokiyoshi Matsuda, Mutsumi Kimura, Hiroki Yamane, and Yasuhiko Nakashima Research and Development of Ga-Sn-O Thin Films for Application to Neural Networks AM-FPD '18, 4-3, July 2018
6. Daiki Yamakawa, Yuki Shibayama, Hiroki Yamane, Yasuhiko Nakashima, and Mutsumi Kimura Cellular Neural Network using IGZO Thin Film as Synapses and LSI as Neurons AM-FPD '18, P-34, July 2018

国内会議

学会発表（査読あり）

7. 生島 恵典, 新村 純平, 松田 時宜, 山根 弘樹, 中島 康彦, 木村 睦ニューラルネットワークに応用するための Ga-Sn-O 薄膜の研究開発薄膜材料デバイス研究会 第 15 回研究集会, pp. 179-181, 2018 年 11 月
8. 山川 大樹, 柴山 友輝, 山根 弘樹, 中島 康彦, 木村 睦 IGZO を用いたセルラニューラルネットワーク -酸化物半導体シナプス評価と文字学習実験- 薄膜材料デバイス研究会 第 15 回研究集会, pp. 57-59, 2018 年 11 月

学会発表（査読なし）

9. 山根弘樹, 木村睦, 中島康彦 ”セルラニューラルネットワークと酸化物半導体を用いた文字補正システムの開発と評価” 信学技報, vol. 118, no. 92, CPSY2018-3, pp. 87-91, 2018 年 6 月.
10. 木村 睦, 山根 弘樹, 中島 康彦薄膜デバイスを用いたニューロモルフィックシステム電子情報通信学会 2018 年総合大会, D-6-11, pp. 49, 2018 年 3 月

ポスター発表

11. Hiroki Yamane, Daiki Yamakawa, Yasuhiko Nakashima, Hiroya Ikeda, Mutsumi Kimura”Development and Evaluation of Letter Reproduction System Using Cellular Neural Network and Oxide Semiconductor Synapses” ACM SRC at MICRO-51, October 2018